

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年9月29日(29.09.2022)



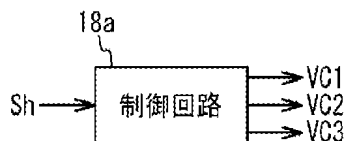
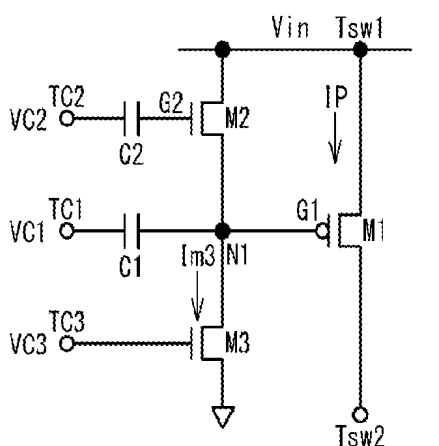
(10) 国際公開番号

WO 2022/202609 A1

- (51) 国際特許分類:
H03K 17/687 (2006.01) H02M 3/155 (2006.01)
H02M 1/08 (2006.01)
- (21) 国際出願番号: PCT/JP2022/012286
- (22) 国際出願日: 2022年3月17日(17.03.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-051423 2021年3月25日(25.03.2021) JP
- (71) 出願人: 国立研究開発法人科学技術振興機構(JAPAN SCIENCE AND TECHNOLOGY AGENCY) [JP/JP]; 〒3320012 埼玉県川口市本町四丁目1番8号 Saitama (JP).
- (72) 発明者: 矢嶋 越彬 (YAJIMA, Takeaki); 〒8190395 福岡県福岡市西区元岡7-4-4 九州大学内 Fukuoka (JP).
- (74) 代理人: 片山 修平 (KATAYAMA, Shuhei); 〒1040031 東京都中央区京橋1-6-1 三井住友海上テプコビル Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,

(54) Title: SWITCH CIRCUIT AND POWER SUPPLY CIRCUIT

(54) 発明の名称: スイッチ回路および電源回路



18a Control circuit

25

(57) Abstract: Provided are a switch circuit and a power supply circuit capable of reducing power consumption. A switch circuit (25) comprises: an electric field effect switch element (M1) that can switch between an ON state and an OFF state according to the potential (VC1) of a control terminal (TP1); and a control circuit (18a) which, when maintaining one among the ON state and the OFF state of the switch element (M1), supplies the control terminal (TC1) with a first level potential that causes the switch element (M1) to be in the one state, and when changing the switch element (M1) from the one state to the other state among the ON state and the OFF state, charges or discharges and then floats the control terminal (node N1) via resistors (M2, M3), and supplies a second level potential that causes the switch element (M1) to be in the other state.

WO 2022/202609 A1

DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

(57) 要約：消費電力を削減することが可能なスイッチ回路および電源回路を提供する。スイッチ回路 (25) は、制御端子 (TC1) の電位 (VC1) に応じてオン状態とオフ状態が切り替えられる電界効果型スイッチ素子 (M1) と、前記スイッチ素子 (M1) のオン状態およびオフ状態のいずれか一方を維持させる際に、前記制御端子 (TC1) に前記スイッチ素子 (M1) を前記いずれか一方の状態にさせる第1レベルの電位を供給し、前記スイッチ素子 (M1) を前記いずれか一方の状態からオン状態およびオフ状態の他方の状態にさせる際に、前記制御端子 (ノードN1) を、抵抗 (M2, M3) を介し充電または放電した後フローティングとし、前記スイッチ素子 (M1) を前記他方の状態にさせる第2レベルの電位を供給する制御回路 (18a) と、を備える。

明 細 書

発明の名称：スイッチ回路および電源回路

技術分野

[0001] 本発明は、スイッチ回路および電源回路に関する。

背景技術

[0002] 環境発電素子等の発電素子が発電した電力の電圧を変換しながら、キャパシタ等の蓄電器に蓄電する電源回路が知られている。このような電源回路において、電力の電圧を変換するためのスイッチングをFET (Field Effect Transistor) と、そのゲート電圧を制御する制御回路により実現している（例えば特許文献1）。

先行技術文献

特許文献

[0003] 特許文献1：特開2014-33494号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献1では、MOSFET (M1) をオン状態とするゲート電圧を、発電素子とMOSFET (M1) との間のノードとグランドとの間の電圧を抵抗器R2とR3とにより抵抗分割することで生成している（特許文献1の図1参照）。しかし、MOSFET (M1) がオン状態の期間において抵抗器R2およびR3を介し電流が流れ続け、消費電力が大きくなる。このため、特許文献1の電源回路を低消費電力が求められる回路、例えば電力供給素子として、いわゆる環境発電素子を用いた回路の消費電力に影響を与える。この影響は特許文献1の回路に限らず、同様のスイッチ機能を有する回路では同様に発生する。

[0005] 本発明は、上記課題に鑑みなされたものであり、消費電力を削減することが可能なスイッチ回路および電源回路を提供することを目的とする。

課題を解決するための手段

- [0006] 本発明は、制御端子の電位に応じてオン状態とオフ状態が切り替えられる電界効果型スイッチ素子と、前記スイッチ素子のオン状態およびオフ状態のいずれか一方を維持させる際に、前記制御端子に前記スイッチ素子を前記いずれか一方の状態にさせる第1レベルの電位を供給し、前記スイッチ素子を前記いずれか一方の状態からオン状態およびオフ状態の他方の状態にさせる際に、前記制御端子を、抵抗を介し充電または放電した後フローティングとし、前記スイッチ素子を前記他方の状態にさせる第2レベルの電位を供給する制御回路と、を備えるスイッチ回路である。
- [0007] 上記構成において、前記制御回路は前記制御端子に前記第1レベルの電位を供給する際に、前記制御端子をフローティングとする構成とすることができる。
- [0008] 上記構成において、前記スイッチ素子は発電素子から供給される起電力のオンオフを行う素子である構成とすることができる。
- [0009] 上記構成において、前記スイッチ素子はセンサ回路への電力供給のオンオフを行う素子である構成とすることができる。
- [0010] 上記構成において、前記制御端子の電位を所定の範囲内に維持する維持回路を有する構成とすることができる。
- [0011] 上記構成において、前記維持回路は前記制御端子に接続されたダイオードを含む構成とすることができる。
- [0012] 上記構成において、前記スイッチ素子は、第1端子に接続されたソースと、第2端子に接続されたドレインと、第1制御端子に容量結合する第1ノードに接続されたゲートと、を有する第1FETである構成とすることができる。
- [0013] 上記構成において、前記第1ノードに接続されたソースと、前記第1端子に接続されたドレインと、ゲートと、を有する第2FETを備え、前記いずれか一方の状態はオフ状態であり、前記制御回路は、前記第1FETをオフ状態からオン状態とするときに、前記第2FETのソースとドレインとの間をオフ状態とし前記第1ノードを前記抵抗を介し基準電位に接続し、その後

前記第1ノードを前記第1端子および前記基準電位から切断しかつ前記第1制御端子に前記第2レベルの電位を供給する構成とすることができる。

[0014] 上記構成において、前記基準電位に接続されたソースと、前記第1ノードに接続されたドレインと、ゲートと、を有する第3FETを備え、前記抵抗は前記第3FETのソースとドレインとの間の抵抗であり、前記第1ノードを前記第2FETを介し前記基準電位に接続するとき前記第3FETに飽和電流が流れる構成とすることができる。

[0015] 上記構成において、前記第1ノードから第2制御端子に容量結合する第2ノードの方向が順方向となる整流素子を備え、前記第2FETはNタイプであり、前記第2FETのゲートは前記第2ノードに接続され、前記第1FETはPタイプであり、前記第1ノードは、前記整流素子、前記第2ノードおよび前記抵抗を介し前記基準電位に接続される構成とすることができる。

[0016] 上記構成において、第2制御端子に容量結合する第2ノードから前記第1ノードの方向が順方向となる整流素子を備え、前記第2FETはPタイプであり、前記第2制御端子に容量結合する第2ノードに接続され、前記第1FETはNタイプであり、前記第1ノードは、前記整流素子、前記第2ノードおよび前記抵抗を介し前記基準電位に接続される構成とすることができる。

[0017] 上記構成において、前記制御回路は、前記第1FETがオン状態を維持するときに、前記第1制御端子に前記第2レベルの電位を供給し、かつ前記第2制御端子に前記第2FETをオフ状態とさせる第3レベルの電位を供給し、前記第1FETをオン状態からオフ状態とさせるときに、前記第2制御端子に前記第2FETをオン状態とさせる第4レベルの電位を供給し、その後、前記第1制御端子に前記第1レベルの電位を供給しかつ前記第2制御端子に前記第3レベルの電位を供給する構成とすることができる。

[0018] 上記構成において、前記制御回路は、前記第1FETをオン状態からオフ状態とするときに、前記第2制御端子に前記第3レベルの電位を供給した後、前記第1制御端子に前記第1レベルの電位を供給する構成とすることができる。

[0019] 上記構成において、前記第1 F E Tがオフ状態を維持するときに、前記第1端子に入力する入力電圧が前記第1 F E Tがオン状態からオフ状態に前回切り替わったときの入力電圧から一定電圧変化したことを判定する判定回路を備え、前記制御回路は、前記入力電圧が一定電圧変化したと判定したとき、前記第1制御端子に前記第2レベルを供給しかつ前記第2制御端子に前記第4レベルを供給し、その後、前記第1制御端子に前記第1レベルを供給しかつ前記第2制御端子に前記第3レベルを供給する構成とすることができる。

[0020] 上記構成において、前記判定回路は、前記第1端子に容量結合された第3ノードの電圧と一定電圧とを比較し、比較結果を前記制御回路に出力する比較器を備える構成とすることができる。

[0021] 上記構成において、前記第1端子に入力する入力電圧は前記基準電位より高く、前記第1 F E TはP F E Tである構成とすることができる。

[0022] 上記構成において、前記第1端子に入力する入力電圧は前記基準電位より低く、前記第1 F E TはN F E Tである構成とすることができる。

[0023] 上記構成において、前記発電素子は振動発電素子である構成とすることができる。

[0024] 本発明は、上記スイッチ回路を備える電源回路である。

発明の効果

[0025] 本発明によれば、消費電力を削減することが可能なスイッチ回路および電源回路を提供することができる。

図面の簡単な説明

[0026] [図1]図1は、詳細を図3に示すスイッチ回路が用いられる電源回路の実施例1を示す回路図である。

[図2]図2は、図1に示す電圧変換回路を構成するスイッチのオン/オフおよびインダクタを流れる電流 I_L を示すタイミングチャートである。

[図3]図3は、実施例1の電源回路を構成するスイッチ回路の詳細の回路図で

あって、図1にH S Wとして示されるスイッチの詳細およびその制御回路とを示す回路図である。

[図4]図4は、図3に示すスイッチ回路の各電圧およびオン/オフの時間変化を示すタイミングチャートである。

[図5]図5は、実施例2の電源回路を構成するスイッチ回路の詳細の回路図であって、図1にH S Wとして示されるスイッチの詳細およびその制御回路とを示す回路図である。

[図6]図6は、図5に示すスイッチ回路の各電圧およびオン/オフの時間変化を示すタイミングチャートである。

[図7]図7は、実施例3の電源回路を構成するスイッチ回路の詳細の回路図であって、図1にH S Wとして示されるスイッチの詳細およびその制御回路とを示す回路図である。

[図8]図8は、図7に示すスイッチ回路の各電圧、電流およびオン/オフの時間変化を示すタイミングチャートである。

[図9]図9は、実施例4の電源回路を構成するスイッチ回路の詳細の回路図であって、図1にH S Wとして示されるスイッチの詳細およびその制御回路とを示す回路図である。

[図10]図10(a)は、本発明の電源回路の実施例を示すブロック図であり、その電圧変換回路64内に実施例1から4およびその変形例の何れかのスイッチ回路が用いられる、図10(b)は、実施例1から4およびその変形例のいずれかのスイッチ回路が用いられるセンサ回路のシステムを示すブロック図である。

発明を実施するための形態

[0027] 以下、図面を参照し実施例について説明する。

実施例 1

[0028] 図1は、詳細を図3に示すスイッチ回路が用いられる電源回路の実施例1を示す回路図である。図1の電圧変換回路12の入力端子T_{in}には、発電素子10の出力電流が入力する。発電素子10として出力電流が交流の発電

素子を用いた場合、整流回路11によって発電素子10の出力電流は整流され入力端子T_{in}に入力する。

[0029] 発電素子10は、例えば振動発電素子等の環境発電素子である。振動発電素子は、例えば圧電材料を用いた圧電素子またはMEMS (Micro Electro Mechanical Systems) を用いたMEMS素子である。振動発電素子は、例えば道路または橋梁等に設けられており、歩行者または車両など通過時の振動により発電する。発電素子10として振動発電素子を用いた場合には、その発電電力は交流の微小電力であり、振動の状態とともに変化する。圧電素子を用いた場合には、その出力電圧は、一般に電子回路動作に必要な数ボルトよりも、比較的高い。実施例1では、整流回路11によって、入力端子T_{in}への入力はグラウンドに対し正である。

[0030] 電圧変換回路12の入力端子T_{in}と出力端子T_{out}との間にノードN01~N04が設けられている。本実施例の電圧変換回路12は、発電素子10からの比較的高い電圧を、降圧して出力端子T_{out}へ出力する。スイッチHSWは、電圧変換回路12の高圧側（ハイサイドと称する）に設けられたハイサイドスイッチである。スイッチHSWの一端である端子T_{sw1}はノードN01に接続され、他端である端子T_{sw2}はノードN02に接続されている。インダクタL1の一端はノードN02に接続され、他端はノードN03に接続されている。スイッチSW3の一端はノードN03に接続され、他端はノードN04に接続されている。電圧変換回路12の1次側のキャパシタC01の一端はノードN01に接続され、他端はグラウンド（基準電位）に接続されている。電圧変換回路12の2次側のキャパシタC02の一端はノードN04に接続され、他端はグラウンドに接続されている。スイッチSW1の一端はノードN02に接続し、他端はグラウンドに接続されている。スイッチSW2の一端はノードN03に接続され、他端はグラウンドに接続されている。

[0031] 制御部14は、スイッチHSWおよびSW1~SW3にそれぞれ制御信号ShおよびS1~S3を出力する。スイッチHSWおよびSW1~SW3は

それぞれ制御信号 S_h および $S_1 \sim S_3$ に基づきオン状態またはオフ状態となる。制御部 14 は、本実施例においては、制御信号 S_h は一定周期で発生する。その周波数は、発電素子 10 および整流回路 11 から出力される起電力に含まれる交流成分の周波数よりも充分高い。制御信号 S_h の周波数は、この周波数は発電素子 10 および整流回路 11 から出力される起電力を電圧変換回路 12 へ効率よく伝達するためのインピーダンスマッチングがされるように考慮される。なお、制御部 14 は電圧 V_{in} および V_{out} を検出し、電圧 V_{in} および V_{out} に基づき制御信号 S_h および $S_1 \sim S_3$ を出力してもよい。

[0032] 発電素子 10 から整流回路 11 を介して入力端子 T_{in} にグラウンドに対し正の電流が入力すると、キャパシタ C_{01} が充電される。キャパシタ C_{01} のノード N_{01} 側のグラウンドに対する電位を入力端子 T_{in} の入力電圧 V_{in} と称する。電圧変換回路 12 の動作、すなわち、電圧変換回路 12 内のスイッチ H_{SW} 、スイッチ SW_1 、 SW_2 および SW_3 の後述の動作により、キャパシタ C_{01} の電荷がキャパシタ C_{02} に移動する。キャパシタ C_{02} のノード N_{04} 側のグラウンドに対する電位を出力端子 T_{out} の電圧 V_{out} と称する。

[0033] 図 2 は、図 1 に示す電圧変換回路を構成するスイッチのオン/オフおよびインダクタを流れる電流 I_L を示すタイミングチャートである。図 2 では、入力電圧 V_{in} の値、図 1 の各スイッチのオンおよびオフの状態、インダクタ L_1 を流れる電流 I_L 、出力電圧 V_{out} の値を示す。図 2 の時刻 t_{00} は、電源回路が動作中のあるタイミングであり、その時刻には、発電素子 10 からの電流がキャパシタ C_{01} に蓄積されている状態であり、その電圧 V_{in} は電圧 V_{in1} 、後述する電圧変換動作によってキャパシタ C_{02} にも電荷が蓄積されており、その電圧 V_{out} は電圧 V_{out1} とする。時刻 t_{00} においては、制御部 14 はスイッチ H_{SW} および $SW_1 \sim SW_3$ をオフ状態に維持している。

[0034] 発電素子 10 の発電電流によりキャパシタ C_{01} に蓄積された電荷が増加

し、電圧 V_{in} が予め定められた閾値電圧を越えた後、時刻 t_{01} において制御部14は、スイッチHSWおよびSW2をオン状態とする一方、スイッチSW1およびSW3のオフ状態を維持する。これにより、キャパシタC01からノードN01、スイッチHSW、インダクタL1およびスイッチSW2を介しグラウンドに電流 I_L が流れはじめる。制御部14は、入力端子 T_{in} における電圧 V_{in} を検出し、電圧 V_{in} が所定の閾値電圧を越えたときにスイッチHSWおよびSW2をオン状態としてもよいし、所定周期でスイッチHSWおよびSW2をオン状態としてもよい。時刻 t_{01} と t_{02} の間において、電流 I_L は徐々に増加し、キャパシタC01の電荷が放出されるにつれて、電圧 V_{in} は徐々に減少する。インダクタL1には磁界エネルギーが蓄積される。

[0035] 時刻 t_{02} において、電圧 V_{in} は電圧 V_{in2} となる。電圧 V_{out} は電圧 V_{out1} である。電流 I_L が I_{L1} となった時刻 t_{02} の時点において、制御部14は、スイッチHSWおよびSW2をオフ状態とし、スイッチSW1およびSW3をオン状態とする。制御部14は、入力端子 T_{in} における電圧 V_{in} を検出し、電圧 V_{in} が V_{in2} になったときにスイッチHSWおよびSW2をオフ状態としかつスイッチSW1およびSW3をオン状態としてもよいし、所定周期でスイッチHSWおよびSW2をオフ状態としかつスイッチSW1およびSW3をオン状態としてもよい。時刻 t_{02} と t_{03} の間において、インダクタL1に蓄積された磁界エネルギーにより電流 I_L がグラウンドからスイッチSW1、インダクタL1およびスイッチSW3を流れ、キャパシタC02が充電されるにしたがって、電圧 V_{out} が上昇する。

[0036] 時刻 t_{03} において、制御部14は、スイッチSW1およびSW3をオフ状態にし、スイッチHSWおよびSW2のオフ状態を維持する。制御部14は出力端子 T_{out} における電圧 V_{out} を検出し、電圧 V_{out} が所定の閾値電圧になったときにスイッチSW1およびSW3をオフ状態としてもよいし、所定周期でスイッチSW1およびSW3をオフ状態としてもよい。時

刻 t_{03} 以降において、電流 I_L は0であり、電圧 V_{in} は電圧 V_{in2} 、電圧 V_{out} は電圧 V_{out2} である。電圧 V_{out1} および V_{out2} は電圧 V_{in1} および V_{in2} より低くてもよいし、高くてもよい。キャパシタ C_{01} 、 C_{02} の容量値、スイッチ HSW 、 $SW1 \sim SW3$ のオン/オフのタイミングを適切に設定することにより、電圧 V_{out1} および V_{out2} を設定できる。

[0037] 図3は、実施例1の電源回路を構成するスイッチ回路の詳細の回路図であって、図1に HSW として示されるスイッチの詳細およびその制御回路とを示す回路図である。以下では、チャンネルの導電型がPタイプのFETをPFETと称し、チャンネルの導電型がNタイプのFETをNFETと称する。PFETM1のオン/オフがスイッチ HSW のオン/オフに相当する。図3に示すように、実施例1のスイッチ回路25では、PFETM1（第1FET）のソースは端子 T_{sw1} （第1端子）に接続され、ドレインは端子 T_{sw2} （第2端子）に接続され、ゲートはノード $N1$ （第1ノード）に接続されている。キャパシタ $C1$ （第1キャパシタ）は、一端に制御信号 $VC1$ （第1制御信号）が入力し、他端がノード $N1$ に接続されている。すなわち、ゲートは、制御端子 $TC1$ （第1制御端子）に容量結合されている。NFETM2（第2FET）のソースはノード $N1$ に接続され、ドレインは端子 T_{sw1} に接続され、ゲートは、キャパシタ $C2$ （第2キャパシタ）を介し制御信号 $VC2$ が入力する制御端子 $TC2$ に接続されている。NFETM3（第3FET）のソースはグラウンド（基準電位）に接続され、ドレインはノード $N1$ に接続され、ゲートは制御信号 $VC3$ が入力する制御端子 $TC3$ に接続されている。制御回路18aには図1の制御部14が出力する制御信号 Sh が入力する。制御回路18aは、制御信号 Sh に基づいたタイミングで制御信号 $VC1$ 、 $VC2$ および $VC3$ のレベルを変えることにより、PFETM1、NFETM2 および NFETM3 の状態を制御する。

[0038] 図4は、図3に示すスイッチ回路の各電圧およびオン/オフの時間変化を示すタイミングチャートである。図4に示すように、スイッチ HSW がオフ

状態を維持する期間である時刻 t_{10} と t_{11} の間において、制御回路 18 a は、制御信号 V_{C1} をハイレベル H（電圧 X）、制御信号 V_{C2} をハイレベル H、制御信号 V_{C3} をローレベル L とする。NFETM2 がオン状態のため電圧 G_1 は電圧 V_{in} であり、PFETM1 はオフ状態である。

[0039] 図 1 の制御部 14 は、入力端子 T_{in} の電圧 V_{in} を検出しており、図 2 の時刻 t_{01} において、電圧 V_{in} が所定の閾値電圧を越えたと判定すると制御信号 S_h として、スイッチ HSW をオフ状態からオン状態に切り替える指示を出力する。制御部 14 は所定期間でスイッチ HSW をオフ状態からオン状態に切り替える制御信号 S_h を出力してもよい。制御信号 S_h がスイッチ HSW をオフ状態からオン状態に切り替える指示をすると、時刻 t_{11} と t_{13} の間において、制御回路 18 a は PFETM1 をオフ状態からオン状態に切り換える動作を実行する。時刻 t_{11} において、制御回路 18 a は、制御信号 V_{C2} をローレベル L とし、制御信号 V_{C3} をハイレベル H とし、制御信号 V_{C1} をハイレベル H に維持する。これにより、NFETM2 がオフ状態となり、NFETM3 がオン状態となる。ノード N1 からグラウンドに電流 I_{m3} が流れる。ノード N1 とグラウンドとの電圧差が NFETM3 の飽和領域（ドレイン電流が飽和する領域）の場合、電流 I_{m3} はノード N1 とグラウンドとの電圧差によらずほぼ一定である。これにより、ノード N1 の電圧 G_1 が図 4 の時刻 t_{11} と t_{12} との間において、電流 I_{m3} により徐々に低下する。

[0040] 制御回路 18 a は、時刻 t_{11} から所定期間経過したと判定すると、時刻 t_{12} において、制御信号 V_{C3} をローレベル L とし、制御信号 V_{C1} をハイレベル H に維持し、制御信号 V_{C2} のローレベル L を維持する。NFETM3 がオフ状態となる。時刻 t_{12} と t_{13} の間において、電圧 G_1 はほぼ一定である。制御回路 18 a は、時刻 t_{12} から所定期間経過したと判定すると、時刻 t_{13} において、制御信号 V_{C1} をローレベル L とし、制御信号 V_{C3} をローレベル L に維持し、制御信号 V_{C2} のローレベル L を維持する。これにより、電圧 G_1 は、電圧 V_{in} から電圧差 X（制御信号 V_{C1} のハ

イレベルHとローレベルLとの差)低くなり、電圧 V_{in-X} となる。PFETM1はオン状態となる。電流 I_P は図1のインダクタ L_1 を流れるため、時刻 t_{12} 以降徐々に大きくなる。このように、NFETM2はPFETM1がオン状態を維持するときオフ状態である。時刻 t_{12} 以降においてノードN1はフローティングとなるが、時刻 t_{12} と t_{13} との間が例えば数 μ 秒程度と短ければ、電圧 G_1 の変動が実質的に問題となることはない。電圧 G_1 を電圧 V_{in-X} とするため、制御信号 VC_1 をローレベルLとするタイミングは制御信号 VC_3 をローレベルLとするタイミング以降であることが好ましい。

[0041] 以上のように、実施例1によれば、制御回路18aは、PFETM1をオフ状態からオン状態とするときに、ノードN1を抵抗(NFETM3)を介し充電または放電する(時刻 t_{11} と t_{12} の間)。その後ノードN1をフローティングとし(時刻 t_{12})、所定時間後に制御信号 VC_1 をローレベルL(PFETM1をオン状態とする第2レベル)にする(時刻 t_{13})。これにより、PFETM1がオン状態となる。時刻 t_{11} と t_{12} との間においてNFETM3に電流が流れるものの、時刻 t_{13} 以降においてNFETM3はオフ状態であるので、ノードN1の電位はフローティングである。このため、端子 T_{sw1} とグランドとの間に電流が流れない。よって、特許文献1のように、MOSFET(M1)(特許文献1の図1参照)がオン状態の期間において抵抗器 R_2 および R_3 に電流が流れ続ける場合に比べ、消費電力を抑制できる。

[0042] また、制御回路18aは、PFETM1をオフ状態からオン状態とするときに、NFETM2をオフ状態とし、ノードN1を端子 T_{sw1} から切断し(時刻 t_{11})てから、ノードN1をNFETM3を介しグランドに接続する(時刻 t_{11} と t_{12} の間)。その後、制御回路18aは、ノードN1をグランドから切断し(時刻 t_{12})かつ制御端子 TC_1 にローレベルLを供給する(時刻 t_{13})。これにより、キャパシタ C_1 の容量結合による電圧 G_1 の低下とNFETM3の電流 I_{m3} による電圧 G_1 の低下により、電圧 G_1

1を安定に電圧 V_{in-X} とすることができる。よって、PFETM1を安定にオフ状態からオン状態とすることができる。これにより、電圧変換回路12が動作すべきときに、電圧変換回路12が安定に動作し、変換効率を向上できる。

[0043] ここで、本実施例においてはNFETM3に相当する第3FETにPFETを用いてもよい。第3FETにPFETを用いるためには、第1スイッチをオン状態とさせる制御信号VC3を電圧 $G1-X$ とすることになる。電圧 $G1$ は図4のグラフに記載されたように変動するために、電圧 $G1$ の変動に追従して制御信号VC3を生成する生成回路を設ければよい。一方、NFETM3に相当する第3FETにNFETを用いた場合には、第3FETをオン状態とさせるときには制御信号VC3をグラウンドに対し一定の電圧（ハイレベルH）とすればよく、制御信号VC3の生成が容易である。よって、第1スイッチを所定のタイミングで安定にオン状態にできる。第1スイッチにNFETを用いた場合、PFETを用いた場合と比較して、前述の生成回路が必要ではなく、その生成回路の消費電力が電源回路全体の消費電力を増加させずに済む。また、第3FETにNFETを用いた場合には制御信号VC3がハイレベルH（第1レベル）のとき、NFETM3のソースとドレインの間に飽和電流が流れるように設定された電圧値である制御信号VC3を制御回路18aが出力するように構成されている。これにより、ノードN1とグラウンドの電圧差に依存せず電流 I_{m3} を一定にできる。よって、時刻 t_{11} と t_{12} との間隔を設定することで、電圧 V_{in} の電圧値に依存せず、時刻 t_{12} における時刻 t_{11} からの電圧 $G1$ の低下をほぼ一定にできる。よって、電圧 V_{in} の電圧値に依存せず、時刻 t_{13} における電圧 $G1$ をほぼ電圧 V_{in-X} とすることができる。よって、PFETM1を安定にオフ状態からオン状態とすることができる。これにより、電圧変換回路12が動作すべきときに電圧変換回路12が動作し、変換効率を向上できる。

[0044] ここで、本実施例においてはNFETM2に相当する第2FETにPFETを用いてもよい。第2FETにPFETを用いるためには、第2FETを

オン状態にさせる制御信号VC2として電圧 V_{in-X} を生成する生成回路を設ければよい。一方、NFETM2に相当する第2スイッチにNFETを用いた場合には、第2FETをオン状態にさせる際には制御信号VC2を電圧G1またはグラウンドに対し一定の電圧（ハイレベルH）とすればよく、制御信号VC2の生成が容易である。よって、第2FETを所定のタイミングで安定にオン状態にできる。第2FETにNFETを用いた場合、PFETを用いた場合と比較して、前述の生成回路が必要ではなく、その生成回路の消費電力が電源回路全体の消費電力を増加させずに済む。

[0045] 上記実施例1においては、発電素子10に接続される第1端子Tsw1と、第2端子Tsw2と、第1端子Tsw1に接続されたソースと、第2端子Tsw2に接続されたドレインと、第1制御端子TC2に容量結合する第1ノードN1に接続されたゲートと、を有する第1FETを、図3のPFETM1とした。

[0046] 第1FETM1がオフ状態およびオン状態のいずれか一方の状態を維持するとき、第1制御端子TC1に第1FETM1が前記いずれか一方の状態となる第1レベルを供給し、第1FETM1を前記いずれか一方の状態からオフ状態およびオン状態の他方の状態とするときに、第1ノードN1を抵抗を介し充電または放電し、その後第1ノードN1をフローティングとし、第1制御端子TC1に第1FETM1が他方の状態となる第2レベルを供給する制御回路18aを、NFETM2、NFETM3、およびVC1、VC2、VC3を供給する制御回路18aから構成した。

[0047] 本実施例においては、制御信号Shは一定周期であり、その周波数は、発電素子10および整流回路11から出力される起電力に含まれる交流成分の周波数よりも充分高いが、制御信号Shの周波数が高くなることに比例してFETM1~M3の消費電力が大きくなる。したがって、発電素子10において発生した電力をできるだけ効率よく、後段のキャパシタC02に電伝送するためには、制御信号Shの周波数は低い方が好ましい。

[0048] また、上述したように本実施例1においては、制御信号Shは一定周期で

発生するようにしたが、一定周期ではなく、二次側キャパシタC02（ノードN04）の電圧が負荷を駆動するために必要な所定の電圧となったことを比較器で検出して、制御信号Shを発生するようにしてもよい。また、一次側キャパシタC01（ノードN01）の電圧が所定の電圧となったことを比較器で検出して、制御信号Shを発生するようにしてもよい。図4において、スイッチSW5がオフ状態となった以降に制御信号VC3がハイレベルHとなってもよい。

[0049] 実施例1の変形例1において、制御端子TC2とNFETM2のゲートとは容量結合されている。これにより、制御回路18aが制御信号VC2をローレベルLからハイレベルHに切り替えることでNFETM2のゲートの電圧G2がハイレベルHとなる。これにより、NFETM2がオン状態となる。しかしながら、NFETM2のゲートはフローティングのため、電圧G2が安定しない。

実施例 2

[0050] 実施例1では、制御信号VC1をハイレベルとローレベルとする周期またはNFETM3のソースとドレインの間の飽和電流値などの回路定数によっては、NFETM2のゲートがフローティングである期間において、電圧G2が安定しない場合が考えられる。この場合、スイッチHSW（PFETM1）の動作が安定せずに、電源回路全体として所望の性能を発揮しない可能性がある。実施例2は、かかる場合においても電源回路として所望の性能を発揮するスイッチ回路について説明する。

[0051] 図5は、実施例2の電源回路を構成するスイッチ回路の詳細の回路図であって、図1にHSWとして示されるスイッチの詳細およびその制御回路とを示す回路図である。図5に示すように、実施例2のスイッチ回路26では、キャパシタC2（第2キャパシタ）の一端に制御信号VC2が入力し、他端がノードN2（第2ノード）に接続されている。ダイオードD（整流素子）は、ノードN1に接続されたアノードと、NFETM2とキャパシタC2との間のノードN2に接続されたカソードと、を有する。ノードN1からN2

の方向が順方向である。NFETM3のドレインは、ノードN2とダイオードDを介しノードN1に接続されている。NFETM2（第2FET）は、ノードN1に接続されたソースと、端子Tsw1に接続されたドレインと、制御端子TC2（第2制御端子）に容量結合されたノードN2に接続されたゲートと、を有する。電源回路としてのその他の構成は実施例1と同じであり説明を省略する。

[0052] 図6は、図5に示すスイッチ回路の各電圧およびオン／オフの時間変化を示すタイミングチャートである。図6に示すように、スイッチHSWがオフ状態を維持する時刻t10とt11の間において、制御回路18bは、制御信号VC1をハイレベルH（電圧X）、制御信号VC2をローレベルL、制御信号VC3をローレベルLとする。時刻t16以降と同じ状態で電圧G1は電圧Vinに設定されている。電圧G2は電圧Vin-ΔVとなる。ΔVはダイオードDの順方向の電圧降下である。

[0053] 制御信号ShがスイッチHSWのオフ状態からオン状態への切り替えを指示すると、時刻t11とt13の間において、制御回路18bはPFETM1をオフ状態からオン状態に切り換える動作を行う。時刻t11において、制御回路18bは、制御信号VC3をハイレベルHに立ち上げる一方、制御信号VC1およびVC2をそれぞれハイレベルHおよびローレベルLに維持する。これにより、NFETM3がオン状態となり、ノードN2およびN1からグラウンドに電流Im3が流れる。時刻t11とt12の間において、電流Im3により電圧G2が低下し、ダイオードDを介しノードN1からN2に電流が流れるため電圧G1が低下する。

[0054] 時刻t12において、制御回路18bは、制御信号VC3をローレベルLとし、制御信号VC1およびVC2をそれぞれハイレベルHおよびローレベルLに維持する。NFETM3がオフ状態となる。電圧G2はVG2となる。電圧G1はVG2+ΔVとなる。時刻t12とt13の間において、電圧G1はほぼ一定である。時刻t13において、制御回路18bは、制御信号VC1をローレベルLとし、制御信号VC2およびVC3をローレベルLに

維持する。これにより、電圧 G_1 は電圧 V_{in-X} となる。PFETM1はオン状態となり、電流 I_P が流れる。スイッチHSWがオン状態を維持する時刻 t_{13} と t_{14} の間において、制御回路18bは、制御信号 $VC_1 \sim VC_3$ をローレベルLとする。

[0055] 図1の制御部14は、入力端子 T_{in} の電圧 V_{in} を検出しており、図2の時刻 t_{02} において、電圧 V_{in} が所定の閾値電圧になったと判定すると制御信号 S_h として、スイッチHSWをオン状態からオフ状態に切り替える指示を出力する。制御部14は所定周期でスイッチHSWをオン状態からオフ状態に切り替える制御信号 S_h を出力してもよい。制御信号 S_h がスイッチHSWのオン状態からオフ状態への切り替えを指示すると、時刻 t_{14} と t_{16} の間において、制御回路18bはPFETM1をオン状態からオフ状態に切り換える動作を実行する。時刻 t_{14} において、制御回路18bは、制御信号 VC_2 をハイレベルHとし、制御信号 VC_1 および VC_3 をローレベルLに維持する。時刻 t_{14} と t_{15} との間において、制御端子 TC_2 と容量結合したノード N_2 の電圧 G_2 は上昇する。NFETM2がオン状態となるため、電圧 G_1 が徐々に上昇する。電圧 G_1 がPFETM1の閾値電圧以上に上昇した時点でPFETM1はオフ状態となり、電流 I_P は0となる。電圧 G_1 がPFETM1の閾値電圧以上となる時刻が時刻 t_{14} より遅い場合、PFEM1は時刻 t_{14} より遅い時刻にオン状態となる。

[0056] 時刻 t_{15} において、制御回路18bは、制御信号 VC_2 をローレベルLとし、制御信号 VC_1 および VC_3 をローレベルLに維持する。電圧 G_2 は低くなる。電圧 G_2 が電圧 $G_1 - \Delta V$ より低くなると、ダイオードDを介しノード N_1 から N_2 に電流が流れる。これにより、電圧 G_1 は若干低下し、電圧 G_2 は若干上昇し、電圧 G_1 および G_2 は平衡状態の電圧となる。

[0057] 時刻 t_{16} において、制御回路18bは、制御信号 VC_1 をハイレベルHとし、制御信号 VC_2 および VC_3 をローレベルLに維持する。制御端子 TC_1 と容量結合したノード N_1 の電圧 G_1 が上昇する。ダイオードDを介しノード N_1 から N_2 に電流が流れ、電圧 G_2 が上昇する。NFETM2が完

全にオン状態とするため電圧G1は電圧 V_{in} となる。電圧G2は電圧 $V_{in} - \Delta V$ となる。電圧G2が安定するため、電圧G1が安定し、PFETM1はオフ状態で安定する。

[0058] 実施例2によれば、PFETM1をオフ状態からオン状態とするときに加え、PFETM1をオン状態からオフ状態とするときに、制御回路18bはノードN2を抵抗（すなわち、NFETM2のソースとドレインとの間の抵抗）を介し充電または放電する（時刻 t_{14} と時刻 t_{15} の間）。その後、制御回路18bはノードN2をフローティングとし（時刻 t_{15} ）、制御端子TC2にローレベルLを供給する（時刻 t_{16} ）。このように、実施例2では、PFETM1がオフ状態およびオン状態のいずれか一方の状態を維持するとき、制御回路18bは、制御端子TC1に第1レベル（PFETM1をオフ状態およびオン状態のいずれか一方の状態とさせるレベル）の電位を供給する。PFETM1をオフ状態およびオン状態のいずれか一方の状態からオフ状態およびオン状態の他方の状態とするときに、制御回路18bはノードN1を抵抗を介し充電または放電する（時刻 t_{11} と t_{12} の間および t_{14} と t_{15} の間）。その後、制御回路18bはノードN1をフローティングとし（時刻 t_{12} および t_{15} ）、制御端子TC1に第2レベル（PFETM1をオフ状態およびオン状態の他方の状態とさせるレベル）の電位を供給する（時刻 t_{13} および t_{16} ）。

[0059] このように、PFETM1（スイッチ素子）は、制御端子であるゲートの電位（電圧G1）に応じてオン状態とオフ状態が切り替えられる電界制御型のスイッチ素子である。制御回路18aは、PFETM1の状態を維持させる際に、ゲートにPFETM1をオフ状態およびオン状態のいずれか一方の状態にさせる第1レベルの電位を供給する。PFETM1を前記いずれか一方の状態からオフ状態およびオン状態の他方の状態とさせる際に、ゲートを、抵抗を介し充電または放電した後フローティングとし、PFETM1を前記他方の状態とさせる第2レベルの電位を供給する。これにより、PFETM1がオン状態またはオフ状態を維持するとき、ノードN1はフローティン

グであるため、消費電力を抑制できる。

[0060] また、実施例2では、電圧G1を所定の範囲内に維持する維持回路としてキャパシタC2、ダイオードDおよびNFETM2を設ける。これにより、PFETM1をオフ状態からオン状態とするときに、時刻t11からt12において、NFETM3がオン状態となると、ノードN1からダイオードDおよびノードN2を介しグラウンドに電流が流れるため、電圧G1およびG2が低下する。よって、電圧Vinの電圧値に依存せず、NFETM2をオン状態からオフ状態にすることができ、PFETM1をオフ状態からオン状態に切り替えることができる。

[0061] 制御回路18bは、時刻t13とt14のように、PFETM1がオン状態を維持するときに、制御端子TC1にローレベルL（第2レベル）を供給し、かつ制御端子TC2にローレベルL（NFETM3をオフ状態とさせる第3レベル）の電位を供給する。制御回路18bは、時刻t14からt16のように、PFETM1をオン状態からオフ状態とするときに、制御端子TC2にハイレベルH（NFETM3をオン状態とさせる第4レベル）の電位を供給し、その後、制御端子TC2にローレベルL（第3レベル）を供給し、続いて、制御端子TC1にハイレベルH（第1レベル）を供給する。制御信号VC2がハイレベルHとなり、電圧G2が上昇することにより、NFETM2がオン状態となり、電圧G1およびG2を上昇させる。その後、制御信号VC1をハイレベルHとすることで、電圧G1をさらに上昇させることができる。これにより、電圧G1を電圧Vinで、電圧G2を電圧Vin+ΔVで安定させることができる。

[0062] 制御回路18bは、PFETM1をオン状態からオフ状態とするときに、時刻t15において制御端子TC2にローレベルL（第3レベル）を供給した後、所定時間経過後の時刻t16において制御端子TC1にハイレベルH（第1レベル）を供給する。これにより、キャパシタC2を介した電圧G2の過渡応答が安定した後に制御端子TC1にハイレベルH（第2レベル）を供給することができる。よって、電圧G1およびG2がより安定する。これ

により、PFETM1をオン状態からオフ状態とするときに、PFETM1を安定にオフ状態とすることができる。このため、電圧変換回路12に意図しない電流が流れることが抑制でき、電圧変換回路12における変換効率を向上できる。

- [0063] 制御信号VC2のハイレベルHは例えば2Vであり、制御信号VC1のハイレベルHは例えば1Vである。このように、制御信号VC2のハイレベルHは制御信号VC1のハイレベルHより高いことが好ましい。これにより、時刻t14とt15の間において、電圧G2をより上昇させることができる。これにより、PFETM1をより安定にオフ状態にすることができるため、電圧変換回路12における変換効率を向上できる。

実施例 3

- [0064] 図7は、実施例3の電源回路を構成するスイッチ回路の詳細の回路図であって、図1にHSWとして示されるスイッチの詳細およびその制御回路とを示す回路図である。実施例1および2においては制御信号Shは一定周期であり、その周波数は、発電素子10および整流回路11から出力される起電力に含まれる交流成分の周波数よりも充分高い。制御信号Shの周波数が高くなることに比例してFETM1~M3の消費電力が大きくなる。このため、発電素子10において発生した電力をできるだけ効率よく、後段のキャパシタC02に伝送するためには、制御信号Shの周波数は低い方が好ましい。しかしながら、発電素子10の起電力が大きく、制御信号Shがハイレベルとローレベルとなる間隔のスイッチHSWがオフ状態の期間、すなわち、ノードN1にFETM1のソースドレイン間に電流が流れないような電圧をフローティング状態で与えるように設定している期間において、電圧Vinが大きく上昇（例えば0.3V以上）し、FETM1のソースドレイン間に微小電流として流れてしまう電圧となってしまうと、その微小電流の分だけ、キャパシタC01の電荷が、電圧変換に寄与しなくなり、電圧変換効率が低下する怖れがある。

- [0065] 実施例3はかかる怖れに鑑み、さらに電圧変換効率を向上させるために、

図7に示すように、実施例3のスイッチ回路27は、判定回路15は、比較器16、NFETM4およびキャパシタC3を備え、電圧 V_{in} が V_{ref} 以上に変動すると、リセット信号 V_r を制御回路18cへ出力する。このリセット信号 V_r は実施例2の制御信号 S_h と同様にPFETM1のゲート電位を電圧 V_{in} と同じ電位にリセットする。図7において、キャパシタC3の一端はPFETM1のソースと端子 T_{sw1} との間のノードN4に接続され、他端はノードN3（第3ノード）に接続されている。すなわち、ノードN3は端子 T_{sw1} に容量結合されている。NFETM4は、グラウンドに接続されたソースと、ノードN3に接続されたドレインと、制御信号 V_{C4} が入力する制御端子 T_{C4} に接続されたゲートと、を有する。比較器16は、ノードN3に接続された正入力端子と、参照電圧 V_{ref} が入力する負入力端子と、リセット信号 V_r を出力する出力端子と、を有している。比較器16は、ノードN3の電圧 V_m が参照電圧 V_{ref} 以上のときリセット信号 V_r としてハイレベルHを出力し、電圧 V_m が参照電圧 V_{ref} より低いときリセット信号 V_r としてローレベルLを出力する。参照電圧 V_{ref} は例えば0.3Vである。

[0066] 制御回路18cには、制御部14が出力する制御信号 S_h および比較器16が出力するリセット信号 V_r が入力する。制御回路18cは、制御信号 S_h およびリセット信号 V_r に基づき、制御信号 $V_{C1} \sim V_{C4}$ を出力する。その他の構成は実施例2と同じであり説明を省略する。

[0067] 図8は、図7に示すスイッチ回路の各電圧、電流およびオン/オフの時間変化を示すタイミングチャートである。図8に示すように、整流回路11から端子 T_{sw1} に入力する入力電流 I_{in} は発電素子10の発電量に依存し変化するが、ここでは、時刻 t_{20} までは非常に小さい I_{in1} とし、時刻 t_{20} 以降は I_{in2} とする。電流 I_{in1} はこのタイミングチャートでは電圧 V_{in} 等にはほとんど影響しない。よって、時刻 t_{10} から t_{13} および t_{14} から t_{20} の電圧 V_{in} はほぼ一定である。時刻 t_{13} と t_{14} の間では、電荷がキャパシタC1からC2に移動するため、電圧 V_{in} は若

干低下する。その他の時刻 t_{10} から t_{16} の間における制御信号 V_{C1} ~ V_{C3} 、電圧 G_1 、 G_2 および電流 I_P の変化は実施例 2 の図 6 と同じであり説明を省略する。後述するように NFE_{TM4} が所定のタイミングでオン状態となるので、時刻 t_{10} における電圧 V_m は 0 である。時刻 t_{10} から t_{16} の間における制御信号 V_{C4} はローレベル L であり、リセット信号 V_r はローレベル L を維持している。

[0068] 時刻 t_{20} 以降に、発電素子 10 からの電流 I_{in} が I_{in2} と大きくなり電圧 V_{in} が電圧 V_{in0} から徐々に上昇するとノード N_4 の電圧が徐々に上昇する。ノード N_4 に容量結合されたノード N_3 の電圧 V_m は 0 から徐々に上昇する。

[0069] 時刻 t_{21} において、制御回路 18c は端子 T_{sw1} の電圧 V_{in} を検出しており、電圧 V_{in} が電圧 $V_{in0} + V_{ref}$ を超えると、電圧 V_m が参照電圧 V_{ref} を超え、比較器 16 はリセット信号 V_r としてハイレベル H を出力する。制御回路 18c は、リセット信号 V_r がハイレベル H となると、制御信号 V_{C1} をローレベル L とすると共に制御信号 V_{C2} をハイレベル H とする一方、制御信号 V_{C3} および V_{C4} のローレベル L を維持する。制御端子 TC_1 に容量結合されたノード N_1 の電圧 G_1 は低下する。制御端子 TC_2 に容量結合されたノード N_2 の電圧 G_2 が上昇する。なお、制御信号 V_{C1} をローレベル L とするタイミングと制御信号 V_{C2} をハイレベル H とするタイミングとは、上記動作が可能な範囲において、若干異なってもよい

[0070] 時刻 t_{21} と t_{22} との間において、ダイオード D を介しノード N_1 から N_2 に電流が流れ、電圧 G_1 および G_2 が若干上昇する。時刻 t_{22} において、制御回路 18c は、制御信号 V_{C2} をローレベル L とし、制御信号 V_{C1} 、 V_{C3} および V_{C4} のローレベル L を維持する。制御端子 TC_2 に容量結合されたノード N_2 の電圧 G_2 は低下する。ダイオード D を介しノード N_1 から N_2 に電流が流れ、電圧 G_1 が若干低下する。時刻 t_{23} において、制御回路 18c は、制御信号 V_{C1} および V_{C4} をハイレベル H とし、制御

信号VC2およびVC3のローレベルLを維持する。時刻t16において電圧G1が電圧Vinの電圧Vin0となったのと同様に、電圧G1は電圧Vinの電圧であるVin0+Vrefとなる。NFETM4がオン状態となり、ノードN3の電圧Vmは0Vとなる。なお、制御信号VC1をハイレベルHとするタイミングと制御信号VC4をハイレベルHとするタイミングとは、ノードN3の電圧Vmを適切に0Vにできる範囲において、若干異なってもよい。時刻t24において、制御回路18cは、制御信号VC4をローレベルLとし、制御信号VC1のハイレベルHを維持し、制御信号VC2およびVC3のローレベルLを維持する。

[0071] 図5で説明した実施例2のスイッチ回路では、前述の時刻t16において、電圧Vinが電圧Vin0のときに、PFETM1がオン状態からオフ状態に切り替わると、電圧G1は電圧Vin0であり、PFETM1のソースとゲートの電圧差はほぼ0であり、PFETM1はオフ状態である。その後、時刻t20以降において電圧Vinが高くなくても電圧G1は電圧Vin0を維持する。このため、PFETM1のソースの電圧に対しゲートの電圧が低くなる。これにより、PFETM1がオン状態になってしまう可能性がある。PFETM1がオン状態になるとPFETM1を介し電流が流れるため電圧変換回路12における変換効率が低下する。

[0072] 比較器16は、ノードN3の電圧Vmと参照電圧Vrefとを比較し、比較結果を制御回路18cに出力する。これにより、判定回路15は、電圧Vinが電圧Vin0から高い方（基準電位0Vから遠い方）に参照電圧Vrefに相当する一定電圧変化したか否かを判定できる。

[0073] 実施例3によれば、判定回路15は、PFETM1がオフ状態のときに、電圧Vinが電圧Vin0（PFETM1がオン状態からオフ状態に前回切り替わったときの電圧）から高い方（基準電位0Vから遠い方）に一定電圧（Vref）変化したことを判定する。制御回路18cは、電圧Vinが一定電圧（Vref）変化したと判定したとき、制御端子TC1にローレベルL（第2レベル）を供給しかつ制御端子TC2にハイレベルH（第4レベル

)とし、その後、制御端子TC1にハイレベルH(第1レベル)としかつ制御端子TC2にローレベルL(第3レベル)を供給する。これにより、電圧Vinが電圧Vin0から参照電圧Vref以上高くなると、PFETM1のゲートの電圧G1を電圧Vinに再度設定できる。よって、電圧Vinが電圧Vin0から高くなって、本来、FETM1がオフ状態として制御されている期間に、FETM1のソースドレイン間に微小電流が流れてしまうことを抑制でき、1次キャパシタの電荷が流出することを抑制できる。これにより、電圧変換回路12の変換効率が低下することを抑制できる。

[0074] なお、実施例3において制御信号Shは一定周期であり、前述したように、その周波数は低い方が望ましいが、制御信号SHとリセット信号Vrとがほぼ同時に発生した際には、制御信号Shにしたがった動作が優先される。

実施例 4

[0075] 実施例4は、発電素子10からの入力電圧Vinがグラウンドの電位に対し低い場合の例である。図9は、実施例4の電源回路を構成するスイッチ回路の詳細の回路図であって、図1にHSWとして示されるスイッチの詳細およびその制御回路とを示す回路図である。図9に示すように、実施例4のスイッチ回路28では、実施例3の図7のPFETM1、NFETM2、M3およびM4の代わりにそれぞれNFETM1a、PFETM2a、M3aおよびM4aを用いている。ダイオードDのカソードがノードN1に接続されアノードがノードN2に接続され、ノードN2からN1の方向が順方向である。比較器16aの負入力端子がノードN3に接続され、正入力端子に参照電圧Vrefが入力する。制御回路は18dである。その他の構成は実施例3の図7と同じであり説明を省略する。制御信号VC1~VC4のハイレベルHとローレベルLとは図8と反対である。電圧X、電圧Vin0および参照電圧Vrefは負である。

[0076] 実施例1から3のように、入力電圧Vinがグラウンド(基準電位)より高い場合、第1FETはPFETM1であり、第2FETおよび第3FETはそれぞれNFETM2およびM3である。第1レベルおよび第4レベルはハ

イレベルHであり、第2レベルおよび第3レベルはローレベルLである。一方、入力電圧 V_{in} がグランド（基準電位）より低い場合、第1FETはNFETM1aであり、第2FETおよび第3FETはそれぞれPFETM2aおよびM3aである。第1レベルおよび第4レベルはローレベルLであり、第2レベルおよび第3レベルはハイレベルHである。このように、第2FETおよび第3FETはNFETとPFETのうち第1FETとチャンネルの導電型が反対のタイプである。

[0077] 実施例1から4において、PFETは、ゲート電圧（ソースに対するゲートの電圧）が0Vのときオフ状態であり、ゲート電圧が負の閾値電圧より低くなるとオン状態となる。NFETは、ゲート電圧が0Vのときオフ状態であり、ゲート電圧が正の閾値電圧より高くなるとオン状態となる。PFETおよびNFETは、例えばシリコンを用いたMOS（Metal Oxide Semiconductor）FETである。ダイオードDは例えばFETをダイオード接続したダイオードである。スイッチ素子としてFETを例に説明したが、スイッチ素子は、その制御端子（ゲート）の電位がフローティング状態で動作する電界効果型素子であれば、実施例1から4に適用することができる。スイッチ素子は、制御端子に与えられる電位が、導電チャンネルに形成する電界に応じ、導電チャンネルのオン状態とオフ状態が切り替えられる電界効果型スイッチ素子であればよい。例えば、FETと組み合わせされたバイポーラトランジスタまたはIGBT（Insulated Gate Bipolar Transistor）でもよい。

[0078] 制御信号 $VC1 \sim VC4$ のハイレベルおよびローレベルは、同じ制御信号において、ハイレベルがローレベルより高い電圧であればよく、異なる制御信号のハイレベルの電圧は互いに異なってもよいし、ローレベルは互いに異なってもよい。

[0079] 実施例1から4のスイッチを図1の電圧変換回路12に用いることにより、電圧変換回路12のスイッチを安定に制御することができる。図1では、電源回路として降圧昇圧型の電圧変換回路の例を説明したが、電源回路は降圧型の電圧変換回路、昇圧型の電圧変換回路および反転型の電圧変換回路で

もよい。また、電源回路は、交流を直流に変換する電力変換回路等でもよい。

[0080] 図10(a)は、本発明の電源回路の実施例を示すブロック図であり、その電圧変換回路64内に実施例1から4およびその変形例の何れかのスイッチ回路が用いられる。図10(a)に示すように、システムは、発電素子60、整流回路61、62、整合回路63、電圧変換回路64、充電管理回路65、蓄電器66、コールドスタート回路67および昇圧回路68を備えている。

[0081] 発電素子60は、例えば図1の発電素子10であり、微小電流の交流電力を発電する。整流回路61は例えばダイオードブリッジであり、整流回路62は例えば同期整流回路である。整合回路63は整流回路61および62の出力インピーダンスと電圧変換回路64の入力インピーダンスとを整合させる。電圧変換回路64は、例えば図1の電圧変換回路12であり、DC-DCコンバータである。充電管理回路65は複数の蓄電器66のうち適切な蓄電器66に蓄電する。蓄電器66は例えばキャパシタである。充電管理回路65は複数の蓄電器の両端の電圧をモニターし、適切な蓄電器に発電電力を充電する。コールドスタート回路67は、蓄電器66がほとんど充電されていないときに整流回路61の出力電流を蓄電器66に充電する。昇圧回路68は例えばチャージポンプであり、整流回路62および電圧変換回路64等に用いる電圧を生成する。

[0082] システムの動作について説明する。蓄電器66がほとんど充電されていない状態において、発電素子60が微小電力を生成すると、整流回路61が微小電力を整流する。整流回路61はダイオードブリッジのように外部電源がなくとも整流を行うことができる。整流回路61が整流した電流はコールドスタート回路67を介し充電管理回路65に至り蓄電器66に蓄電される。蓄電器66が十分な電圧まで充電されると、昇圧回路68は、蓄電器66の電圧から整流回路62および電圧変換回路64に使用する電圧に昇圧する。蓄電器66の電圧は例えば1Vであり、昇圧回路68の出力電圧は例えば2

Vである。蓄電器66の電圧を用い整流回路62および電圧変換回路64が動作する場合には昇圧回路68はなくてもよい。

[0083] 整合回路63は、発電素子60の発電量が大きく発電電流が大きいとき、入力電力を大きくし、発電素子60の発電量が小さく発電電流が小さいとき、入力電力を大きくする。これにより、発電素子60の出力インピーダンスと整流回路61および62の入力インピーダンスを整合させる。整合回路63は入力電圧により整流回路61と62を切り替える。例えば整流回路61および62がそれぞれダイオードブリッジおよび同期整流回路の場合、入力電圧が1V以下となるとダイオードのオン電圧による損失が大きくなる。このため、整流回路62を用いる。入力電圧が1V以上の場合、整流回路61を用いる。

[0084] 電圧変換回路64は、整合回路63が設定した入力電圧を蓄電器66が充電する電圧に変換する。蓄電器66の電圧は例えば1Vまたは3.3Vである。充電管理回路65は、複数の蓄電器66の電圧をモニターし、適切な蓄電器66に発電電力を充電する。

[0085] このような微小電力を発電する発電素子60を用いたシステムでは電圧変換回路64の入力電圧が変化する。このため、電圧変換回路64のハイサイドスイッチであるスイッチHSW(図1参照)が安定に動作せず、電圧変換回路64における変換効率が低下することがある。実施例1から4のスイッチ回路を電圧変換回路のスイッチHSWに用いることにより、スイッチHSWを安定に制御することができ、電圧変換回路64の変換効率の低下を抑制できる。

[0086] 図10(b)は、実施例1から4およびその変形例のいずれかのスイッチ回路が用いられるセンサ回路のシステムを示すブロック図である。図10(b)に示すように、実施例1から4のスイッチ回路71のスイッチ素子は、電源70からセンサ回路72への電力供給のオンオフを行う。このように、実施例1から4のスイッチ回路のスイッチ素子は、発電素子から供給される起電力のオンオフを行う素子に限られない。実施例1から4のスイッチ回路

は低消費電力のIoT (Internet of Things) デバイスまたはエッジデバイス等、電源回路以外の回路に用いてもよい。

[0087] 以上、本発明の好ましい実施例について詳述したが、本発明に係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

符号の説明

- [0088] 10 発電素子
12 電圧変換回路
14 制御部
16 比較器
18a～18d 制御回路

請求の範囲

- [請求項1] 制御端子の電位に応じてオン状態とオフ状態が切り替えられる電界効果型スイッチ素子と、
- 前記スイッチ素子のオン状態およびオフ状態のいずれか一方を維持させる際に、前記制御端子に前記スイッチ素子を前記いずれか一方の状態にさせる第1レベルの電位を供給し、前記スイッチ素子を前記いずれか一方の状態からオン状態およびオフ状態の他方の状態にさせる際に、前記制御端子を、抵抗を介し充電または放電した後フローティングとし、前記スイッチ素子を前記他方の状態にさせる第2レベルの電位を供給する制御回路と、
- を備えるスイッチ回路。
- [請求項2] 前記制御回路は前記制御端子に前記第1レベルの電位を供給する際に、前記制御端子をフローティングとする請求項1に記載のスイッチ回路。
- [請求項3] 前記スイッチ素子は発電素子から供給される起電力のオンオフを行う素子である請求項1または2に記載のスイッチ回路。
- [請求項4] 前記スイッチ素子はセンサ回路への電力供給のオンオフを行う素子である請求項1から3のいずれか一項に記載のスイッチ回路。
- [請求項5] 前記制御端子の電位を所定の範囲内に維持する維持回路を有する請求項1から4のいずれか一項に記載のスイッチ回路。
- [請求項6] 前記維持回路は前記制御端子に接続されたダイオードを含む請求項5に記載のスイッチ回路。
- [請求項7] 前記スイッチ素子は、第1端子に接続されたソースと、第2端子に接続されたドレインと、第1制御端子に容量結合する第1ノードに接続されたゲートと、を有する第1FETである請求項1から6のいずれか一項に記載のスイッチ回路。
- [請求項8] 前記第1ノードに接続されたソースと、前記第1端子に接続されたドレインと、ゲートと、を有する第2FETを備え、

前記いずれか一方の状態はオフ状態であり、

前記制御回路は、前記第1 FETをオフ状態からオン状態とするときに、前記第2 FETのソースとドレインとの間をオフ状態とし前記第1ノードを前記抵抗を介し基準電位に接続し、その後前記第1ノードを前記第1端子および前記基準電位から切断しかつ前記第1制御端子に前記第2レベルの電位を供給する請求項7に記載のスイッチ回路。

[請求項9] 前記基準電位に接続されたソースと、前記第1ノードに接続されたドレインと、ゲートと、を有する第3 FETを備え、

前記抵抗は前記第3 FETのソースとドレインとの間の抵抗であり、前記第1ノードを前記第2 FETを介し前記基準電位に接続するとき前記第3 FETに飽和電流が流れる請求項8に記載のスイッチ回路。

[請求項10] 前記第1ノードから第2制御端子に容量結合する第2ノードの方向が順方向となる整流素子を備え、

前記第2 FETはNタイプであり、前記第2 FETのゲートは前記第2ノードに接続され、

前記第1 FETはPタイプであり、

前記第1ノードは、前記整流素子、前記第2ノードおよび前記抵抗を介し前記基準電位に接続される請求項8または9に記載のスイッチ回路。

[請求項11] 第2制御端子に容量結合する第2ノードから前記第1ノードの方向が順方向となる整流素子を備え、

前記第2 FETはPタイプであり、前記第2制御端子に容量結合する第2ノードに接続され、

前記第1 FETはNタイプであり、

前記第1ノードは、前記整流素子、前記第2ノードおよび前記抵抗を介し前記基準電位に接続される請求項8または9に記載のスイッチ

回路。

[請求項12] 前記制御回路は、前記第1 F E Tがオン状態を維持するときに、前記第1制御端子に前記第2レベルの電位を供給し、かつ前記第2制御端子に前記第2 F E Tをオフ状態とさせる第3レベルの電位を供給し、前記第1 F E Tをオン状態からオフ状態とさせるときに、前記第2制御端子に前記第2 F E Tをオン状態とさせる第4レベルの電位を供給し、その後、前記第1制御端子に前記第1レベルの電位を供給しかつ前記第2制御端子に前記第3レベルの電位を供給する請求項10または11に記載のスイッチ回路。

[請求項13] 前記制御回路は、前記第1 F E Tをオン状態からオフ状態とするときに、前記第2制御端子に前記第3レベルの電位を供給した後、前記第1制御端子に前記第1レベルの電位を供給する請求項12に記載のスイッチ回路。

[請求項14] 前記第1 F E Tがオフ状態を維持するときに、前記第1端子に入力する入力電圧が前記第1 F E Tがオン状態からオフ状態に前回切り替わったときの入力電圧から一定電圧変化したことを判定する判定回路を備え、

前記制御回路は、前記入力電圧が一定電圧変化したと判定したとき、前記第1制御端子に前記第2レベルを供給しかつ前記第2制御端子に前記第4レベルを供給し、その後、前記第1制御端子に前記第1レベルを供給しかつ前記第2制御端子に前記第3レベルを供給する請求項12または13に記載のスイッチ回路。

[請求項15] 前記判定回路は、

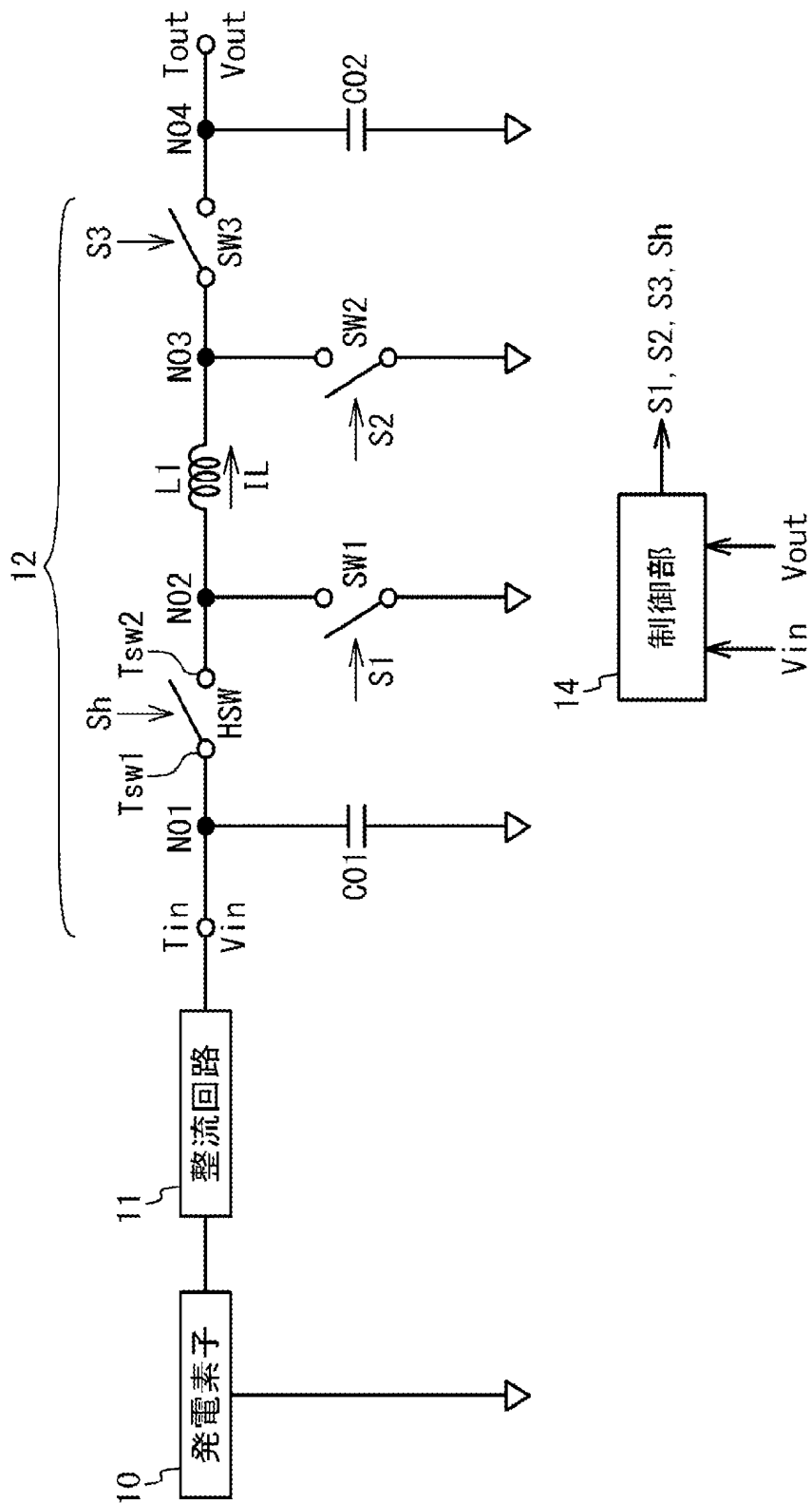
前記第1端子に容量結合された第3ノードの電圧と一定電圧とを比較し、比較結果を前記制御回路に出力する比較器を備える請求項14に記載のスイッチ回路。

[請求項16] 前記第1端子に入力する入力電圧は前記基準電位より高く、前記第1 F E TはP F E Tである請求項8から15のいずれか一項に記載の

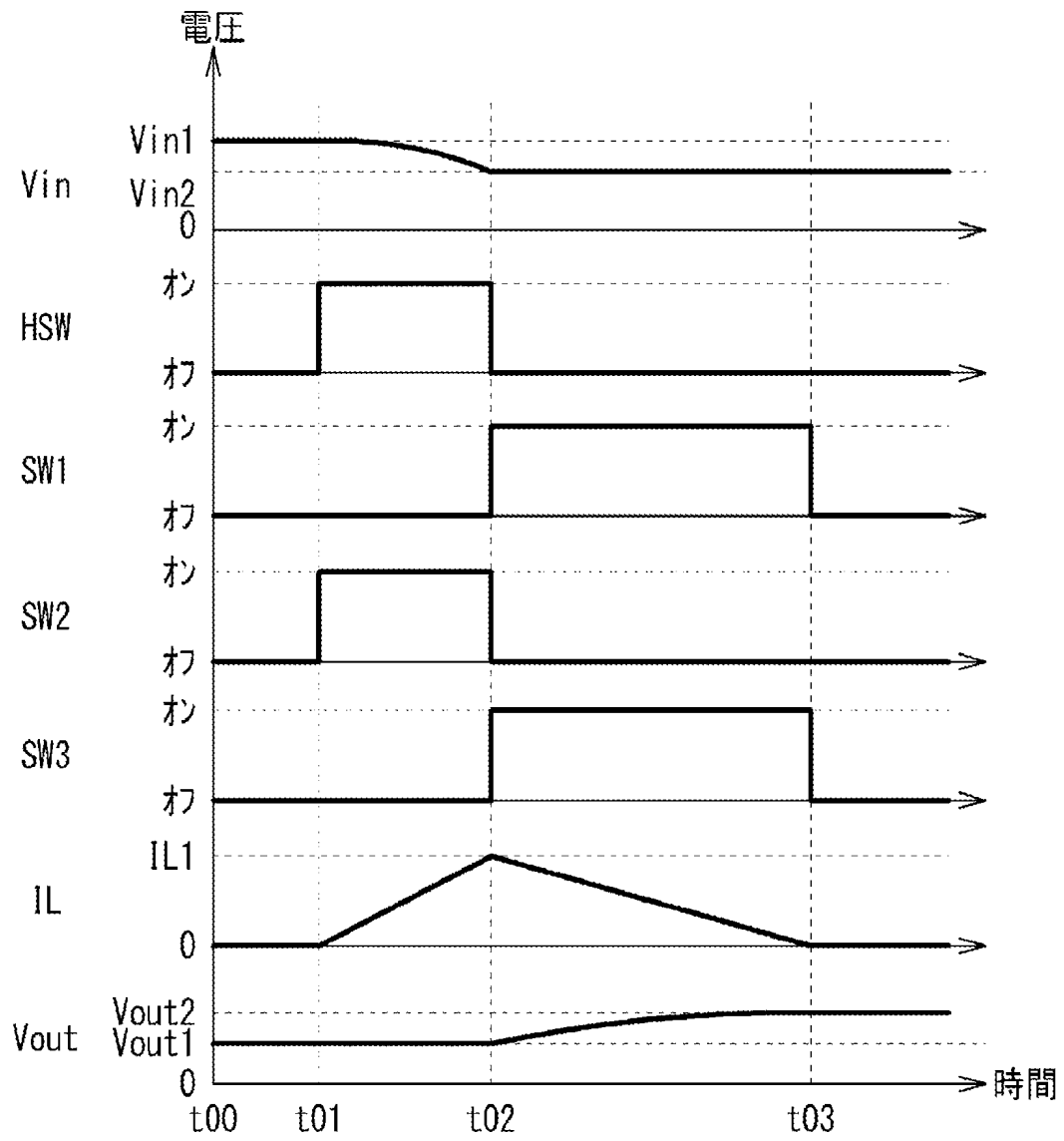
スイッチ回路。

- [請求項17] 前記第1端子に入力する入力電圧は前記基準電位より低く、前記第1 F E TはN F E Tである請求項8から15のいずれか一項に記載のスイッチ回路。
- [請求項18] 前記発電素子は振動発電素子である請求項3記載のスイッチ回路。
- [請求項19] 請求項1から18のいずれか一項に記載のスイッチ回路を備える電源回路。

[図1]

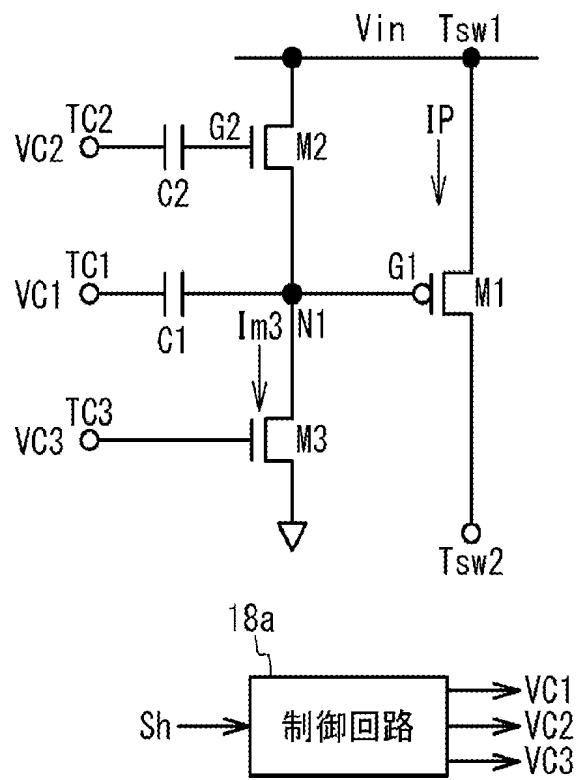


[図2]

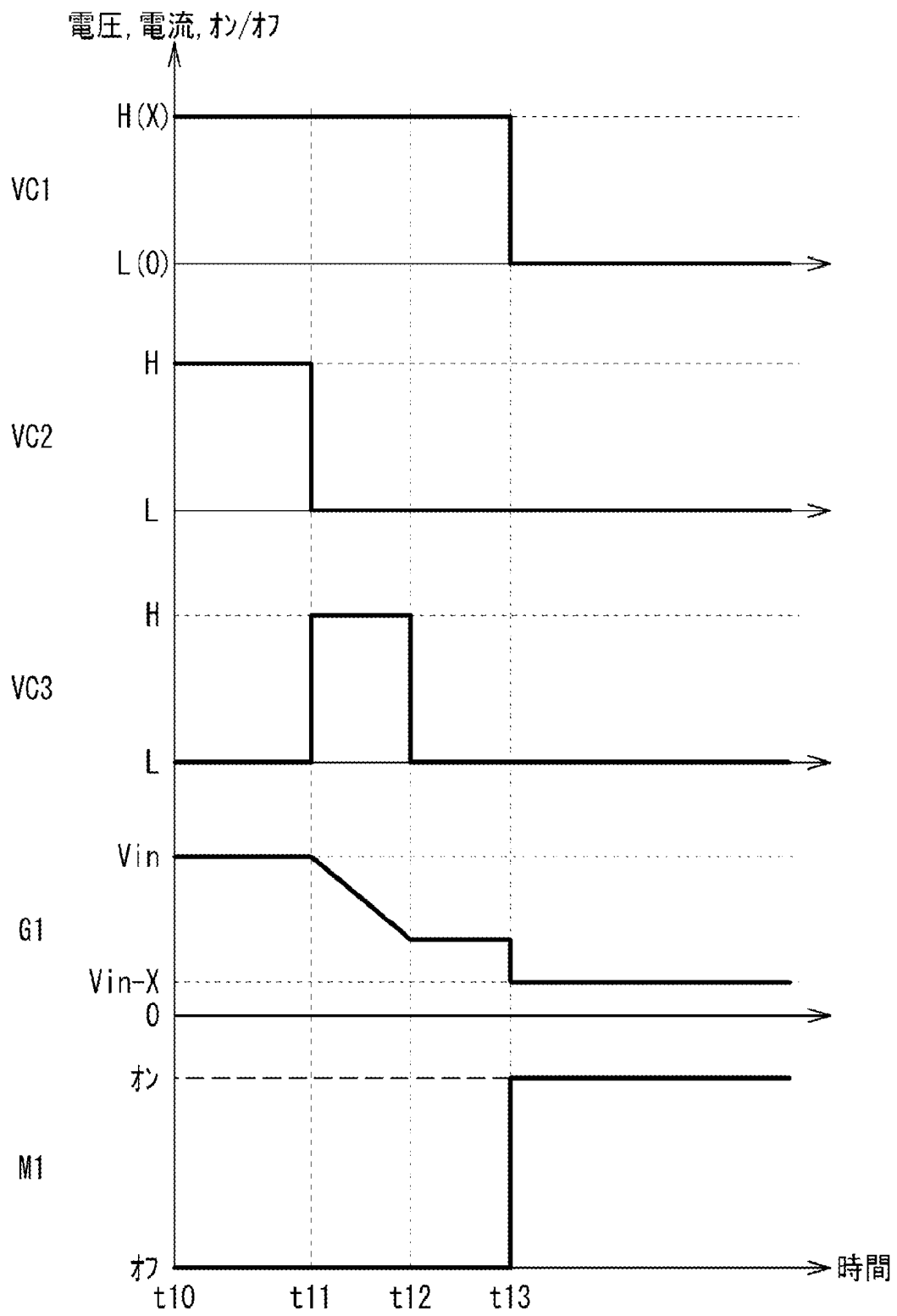


[図3]

25

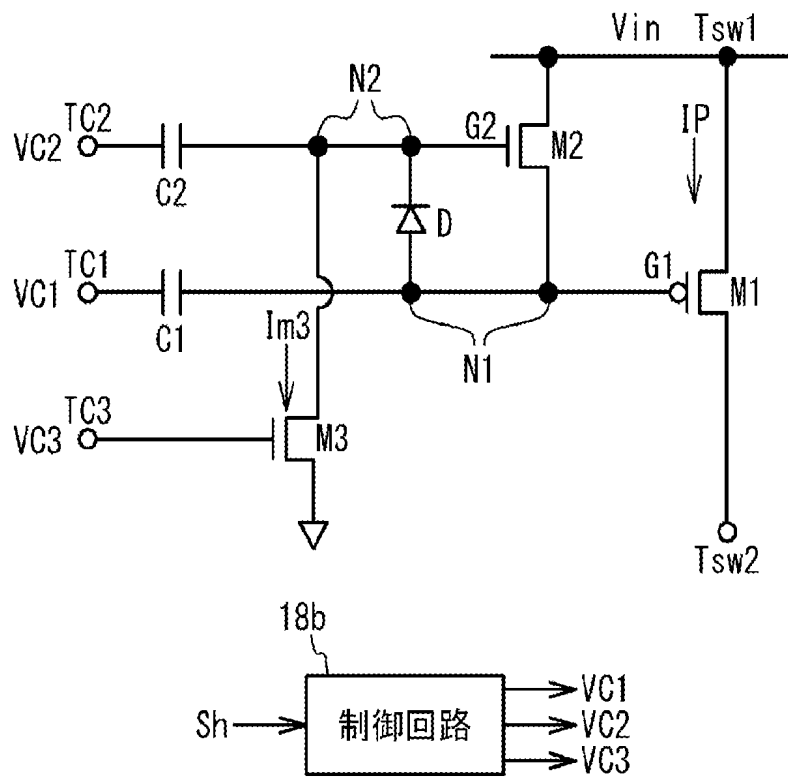


[図4]

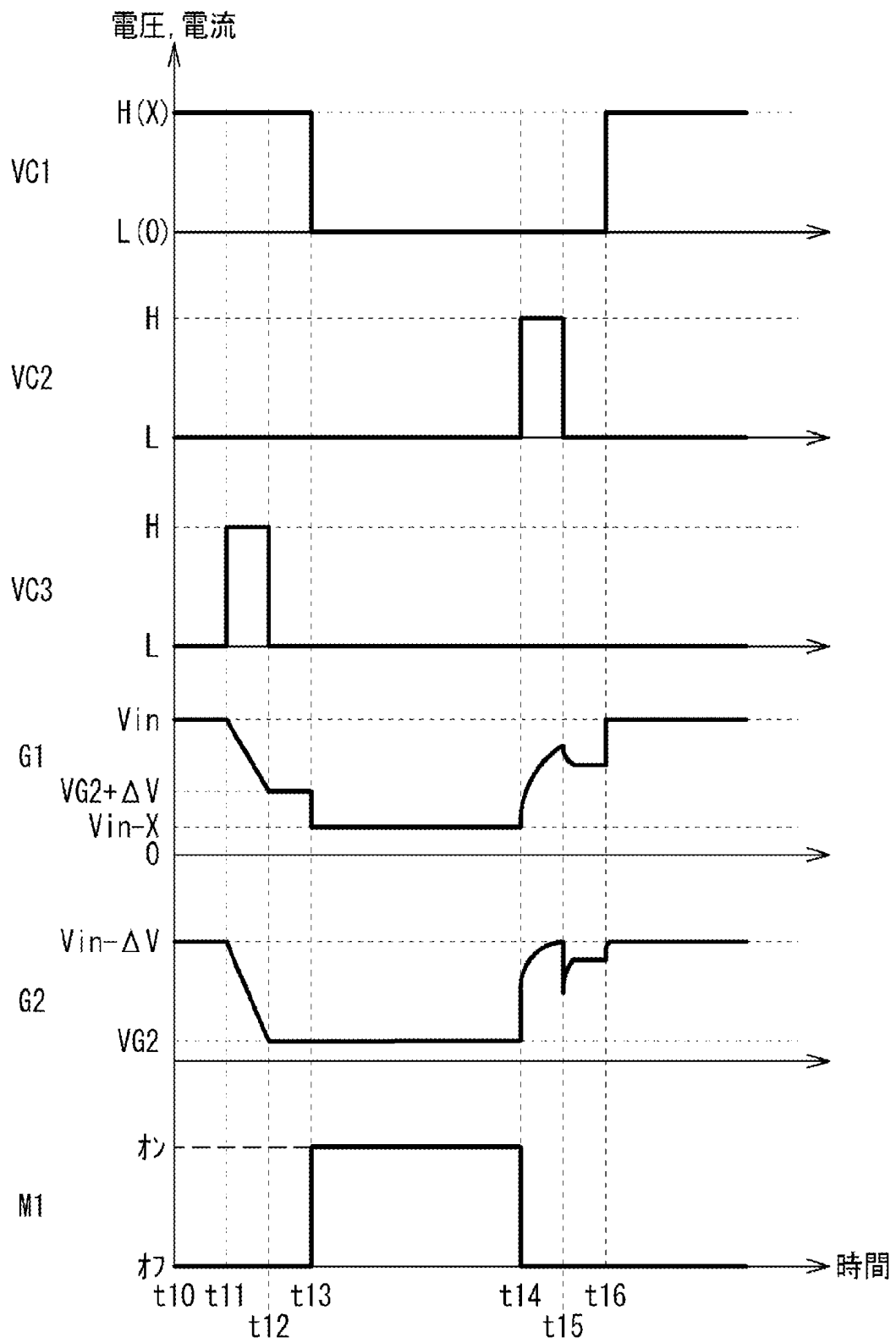


[図5]

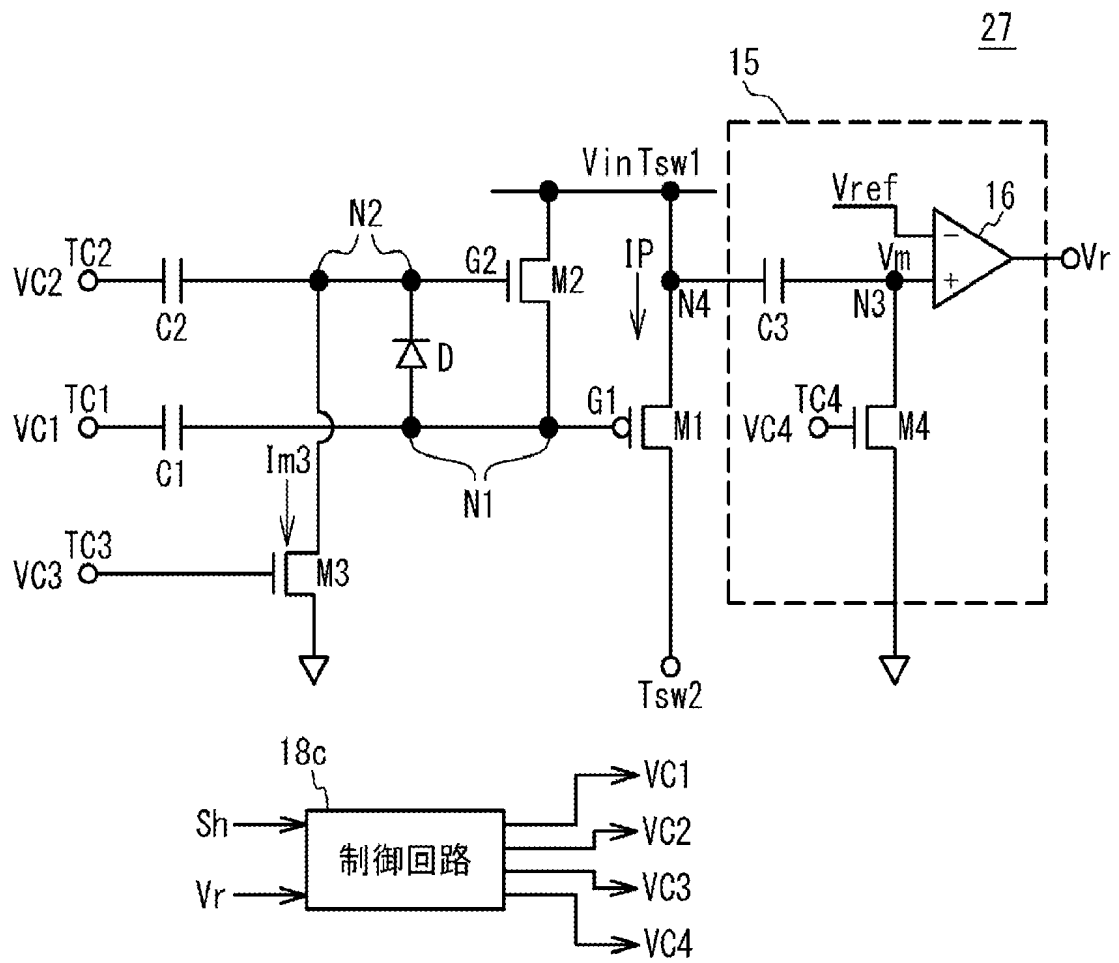
26



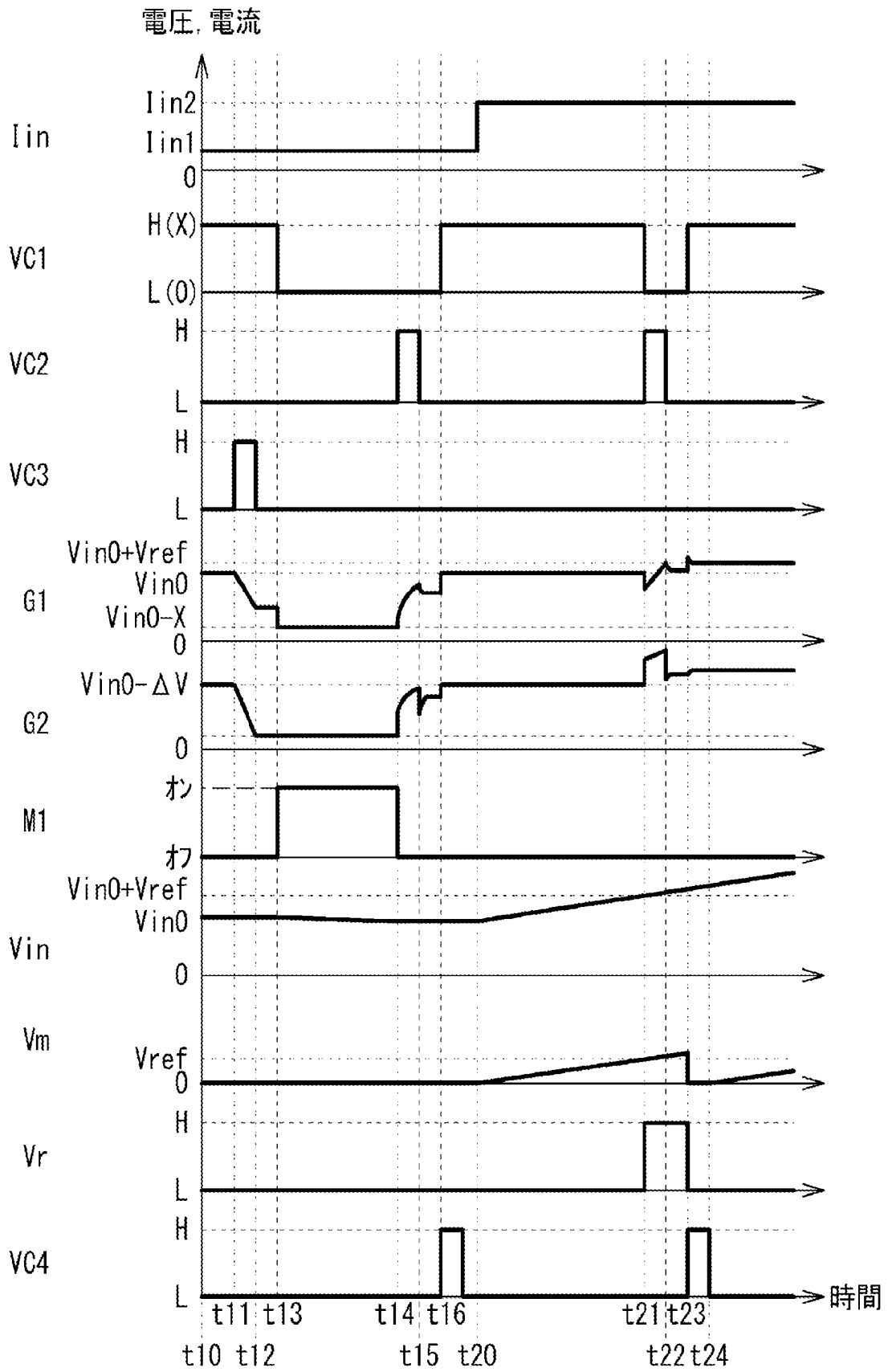
[図6]



[図7]

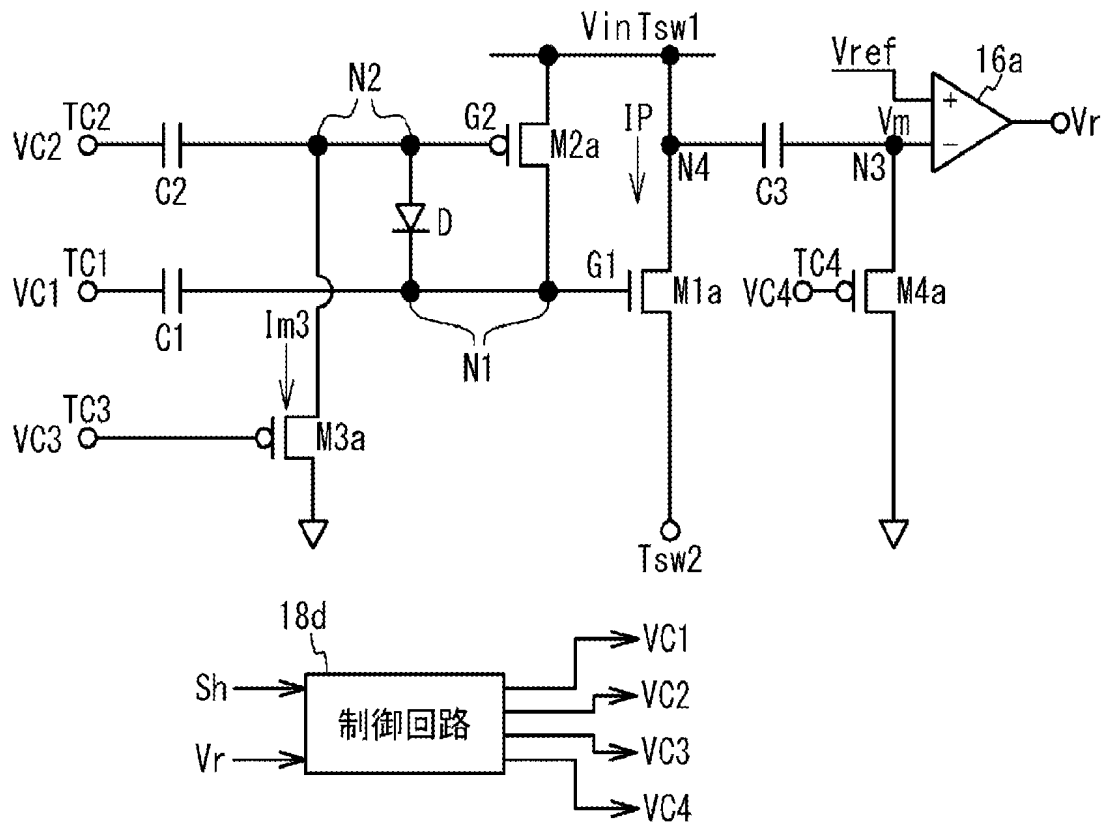


[図8]

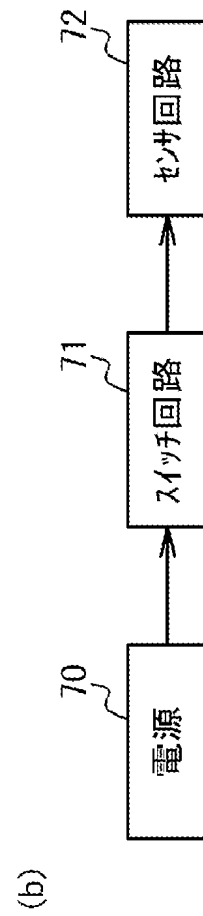
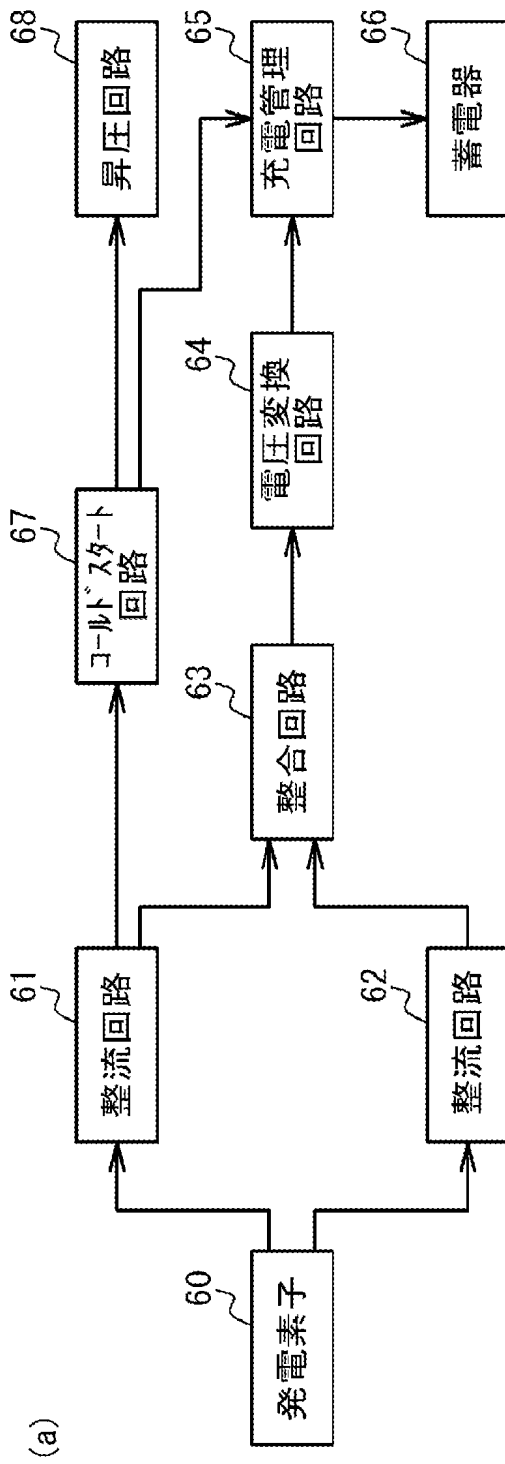


[図9]

28



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/012286

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H03K 17/687</i> (2006.01); <i>H02M 1/08</i> (2006.01); <i>H02M 3/155</i> (2006.01); FI: H02M1/08 A; H02M3/155 T; H03K17/687 A		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H03K17/687; H02M1/08; H02M3/155		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2000/008759 A1 (HITACHI, LTD) 17 February 2000 (2000-02-17) p. 12, line 13 to p. 13, line 13, p. 16, line 20 to p. 18, line 14, fig. 6-7, 12-13	1-7, 18-19
A		8-17
A	JP 2002-10631 A (TEXAS INSTR JAPAN LTD) 11 January 2002 (2002-01-11) paragraphs [0003]-[0012], fig. 2	1-19
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 19 April 2022		Date of mailing of the international search report 10 May 2022
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/012286

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2000/008759	A1	17 February 2000	(Family: none)	
JP	2002-10631	A	11 January 2002	(Family: none)	

<p>A. 発明の属する分野の分類（国際特許分類（IPC）） H03K 17/687(2006.01)i; H02M 1/08(2006.01)i; H02M 3/155(2006.01)i FI: H02M1/08 A; H02M3/155 T; H03K17/687 A</p>										
<p>B. 調査を行った分野</p>										
<p>調査を行った最小限資料（国際特許分類（IPC）） H03K17/687; H02M1/08; H02M3/155</p>										
<p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2022年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2022年	日本国実用新案登録公報	1996 - 2022年	日本国登録実用新案公報	1994 - 2022年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2022年									
日本国実用新案登録公報	1996 - 2022年									
日本国登録実用新案公報	1994 - 2022年									
<p>国際調査で使った電子データベース（データベースの名称、調査に使用した用語）</p>										
<p>C. 関連すると認められる文献</p>										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
X A	WO 2000/008759 A1 (株式会社日立製作所) 17.02.2000 (2000-02-17) 第12頁第13行-第13頁第13行, 第16頁第20行-第18頁第14行, 図6-7, 12-13	1-7, 18-19 8-17								
A	JP 2002-10631 A (日本テキサス・インスツルメンツ株式会社) 11.01.2002 (2002-01-11) 段落3-12, 図2	1-19								
<p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>										
<p>* 引用文献のカテゴリー "A" 特に関連のある文献ではなく、一般的技術水準を示すもの "E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの "I" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） "O" 口頭による開示、使用、展示等に言及する文献 "P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 "T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの "X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの "Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの "&" 同一パテントファミリー文献</p>										
国際調査を完了した日	19.04.2022	国際調査報告の発送日 10.05.2022								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 柳下 勝幸 5G 9561 電話番号 03-3581-1101 内線 3526									

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2022/012286

引用文献			公表日	パテントファミリー文献	公表日
WO	2000/008759	A1	17.02.2000	(ファミリーなし)	
JP	2002-10331	A	11.01.2002	(ファミリーなし)	