

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開2024-166774
(P2024-166774A)

(43)公開日 令和6年11月29日(2024.11.29)

(51)Int. Cl.

H02M 3/155 (2006.01)

F I

H02M 3/155

F

テーマコード(参考)

5H730

審査請求 未請求 請求項の数 11 OL (全 21 頁)

(21)出願番号 特願2023-83110(P2023-83110)

(22)出願日 令和5年5月19日(2023.5.19)

(71)出願人 503360115

国立研究開発法人科学技術振興機構
埼玉県川口市本町四丁目1番8号

(74)代理人 100149548

弁理士 松沼 泰史

(74)代理人 100163496

弁理士 荒 則彦

(74)代理人 100161207

弁理士 西澤 和純

(74)代理人 100147267

弁理士 大槻 真紀子

(72)発明者 矢嶋 赳彬

福岡県福岡市西区元岡744 国立大学法
人九州大学内

最終頁に続く

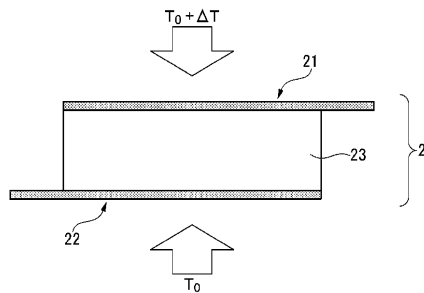
(54)【発明の名称】昇圧装置および昇圧システム

(57)【要約】

【課題】熱電素子から効率的に必要な電力を得ることができる昇圧装置および昇圧システムを提供する。

【解決手段】昇圧装置は、熱電素子の正電極が接続される正極端子と、負電極が接続される負極端子と、第1端子と第2端子とを備え、正極端子に第1端子が接続される誘導素子と、第1制御端子と、第1入力端子と、第1出力端子とを備え、誘導素子の第2端子に第1入力端子が、負極端子に第1出力端子が接続される第1スイッチ素子と、第2制御端子と、第2入力端子と、第2出力端子とを備え、誘導素子の第2端子に第2入力端子が接続される第2スイッチ素子と、熱電素子が出力する直流電力を昇圧する制御部と、を備え、熱電素子の内部抵抗、誘導素子の直流抵抗、第1スイッチ素子のオン抵抗、配線抵抗、入力電圧、出力電力が所定の条件式を満たす。

【選択図】図1



【特許請求の範囲】

【請求項 1】

温度差を直流電力に変換する熱電材料と、前記熱電材料から前記直流電力を取り出す正電極および負電極とからなる熱電素子の前記正電極が接続される正極端子と、

前記負電極が接続される負極端子と、

第 1 端子と第 2 端子とを備え、前記正極端子に前記第 1 端子が接続される誘導素子と、

第 1 制御端子と、第 1 入力端子と、第 1 出力端子とを備え、前記誘導素子の前記第 2 端子に前記第 1 入力端子が、前記負極端子に前記第 1 出力端子が接続される第 1 スイッチ素子と、

第 2 制御端子と、第 2 入力端子と、第 2 出力端子とを備え、前記誘導素子の前記第 2 端子に前記第 2 入力端子が接続される第 2 スイッチ素子と、

前記第 1 スイッチ素子の前記第 1 制御端子に第 1 制御信号を、前記第 2 スイッチ素子の前記第 2 制御端子に第 2 制御信号を、それぞれ所定のデューティ比にして出力し、前記第 1 スイッチ素子および前記第 2 スイッチ素子を交互にオン/オフ制御することにより、前記熱電素子が出力する直流電力を昇圧する制御部と、

を備え、

前記熱電素子の内部抵抗を R_{IN} 、前記誘導素子の直流抵抗を R_L 、第 1 スイッチ素子のオン抵抗を R_{ON} 、前記正極端子から前記誘導素子と前記第 1 スイッチ素子とを經由して前記負極端子に至る配線抵抗を R_{CAB} 、前記正極端子および前記負極端子間の開放時の熱電素子の出力電圧を V_{OC} 、出力端子の両端間に接続される負荷に対して出力される昇圧後の電力を出力電力 P_{OUT} とした場合に、式 (A)

【数 1】

$$R_{IN} + R_L + R_{ON} + R_{CAB} \leq \frac{V_{OC}^2}{4P_{OUT}} \quad \dots (A)$$

を満たす昇圧装置。

【請求項 2】

前記熱電素子は、前記熱電材料と前記正電極および前記負電極との組を、前記直流電力による電流経路上に一組のみ備える単層熱電素子である

請求項 1 に記載の昇圧装置。

【請求項 3】

前記第 1 制御信号が前記第 1 スイッチ素子をオン状態に維持する時間である第 1 時間と、前記第 2 制御信号が前記第 2 スイッチ素子をオン状態に維持する時間である第 2 時間とについて、前記第 1 時間は、前記第 2 時間の 100 倍以上の時間である

請求項 1 に記載の昇圧装置。

【請求項 4】

前記誘導素子のインダクタンスが 0.1 ミリヘンリー以上であり、

前記制御部は、

前記第 1 制御信号が前記第 1 スイッチ素子をオン状態に維持するオン時間と、前記第 1 スイッチ素子をオフ状態に維持するオフ時間とを 1 周期とする第 1 スイッチング周波数と

前記第 2 制御信号が前記第 2 スイッチ素子をオン状態に維持するオン時間と、前記第 2 スイッチ素子をオフ状態に維持するオフ時間とを 1 周期とする第 2 スイッチング周波数と

をいずれも 100 ヘルツから 5 キロヘルツまでにして、前記第 1 スイッチ素子および前記第 2 スイッチ素子をオン/オフ制御する

請求項 1 に記載の昇圧装置。

【請求項 5】

前記制御部は、

前記第 1 制御信号が前記第 1 スイッチ素子をオン状態に維持する時間と、前記第 2 制御信号が前記第 2 スイッチ素子をオン状態に維持する時間とが重ならないようにして、前記第 1 スイッチ素子および前記第 2 スイッチ素子をオン / オフ制御する

請求項 1 に記載の昇圧装置。

【請求項 6】

前記第 1 スイッチ素子のゲート容量を C_1 、前記第 2 スイッチ素子のゲート容量を C_2 、前記第 1 制御端子および前記第 2 制御端子に印加されるゲート電圧を V_{CONT} 、前記誘導素子を流れるコイル電流の波形の周期を、前記熱電素子の内部抵抗 R_{IN} と前記誘導素子の直流抵抗を R_L と第 1 スイッチ素子のオン抵抗を R_{ON} と前記正極端子から前記誘導素子と前記第 1 スイッチ素子とを経由して前記負極端子に至る配線抵抗を R_{CAB} との合成抵抗を R_S 、前記正極端子および前記負極端子間の開放時の熱電素子の出力電圧を V_{OC} として、式 (B)

10

【数 2】

$$\frac{\tau}{4(C_1+C_2)R_S} \gg \left(\frac{V_{CONT}}{V_{OC}^2}\right)^2 \dots (B)$$

を満たす、請求項 1 に記載の昇圧装置。

【請求項 7】

前記熱電素子の内部抵抗 R_{IN} 、前記誘導素子の直流抵抗 R_L 、第 1 スイッチ素子のオン抵抗 R_{ON} 、前記正極端子から前記誘導素子と前記第 1 スイッチ素子とを経由して前記負極端子に至る配線抵抗 R_{CAB} がそれぞれ 10 ミリオーム未満である
請求項 1 に記載の昇圧装置。

20

【請求項 8】

前記正極端子と、前記負極端子と、前記誘導素子と、前記第 1 スイッチ素子と、前記第 2 スイッチ素子とを備える昇圧回路が縦続接続されている
請求項 1 に記載の昇圧装置。

【請求項 9】

温度差を直流電力に変換する熱電材料と、前記熱電材料に接続されて前記熱電材料から前記直流電力を取り出す正電極および負電極とからなる熱電素子と、
請求項 1 から請求項 7 のいずれか一項に記載の昇圧装置と、
を備える昇圧システム。

30

【請求項 10】

前記昇圧装置の出力側に接続される負荷抵抗 R が、前記第 1 スイッチ素子をオン状態に維持している時間を T_1 とし、前記第 1 スイッチ素子をオフ状態に維持している時間を T_2 とした場合に、式 (C)

【数 3】

$$R = \left(\frac{T_1+T_2}{T_2}\right)^2 (R_{IN} + R_L + R_{ON} + R_{CAB}) \dots (C)$$

を満たす請求項 9 に記載の昇圧システム。

【請求項 11】

前記昇圧装置の出力側に負荷抵抗が接続された場合の出力端子の電圧が、出力端子を開放したときの電圧の半分である
請求項 9 に記載の昇圧システム。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、昇圧装置および昇圧システムに関する。

【背景技術】

【0002】

従来、入力される直流電力の電圧を昇圧して出力する、いわゆるDC-DCコンバータに関する技術が開示されている（例えば、非特許文献1を参照。）。

【先行技術文献】

【非特許文献】

【0003】

【非特許文献1】A ±0.5-mV-Minimum-Input DC-DC Converter With Stepwise Adiabatic Gate-Drive and Efficient Timing Control for Thermoelectric Energy Harvesting, Eric J. Carlson, Joshua R. Smith, IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS-I: REGULAR PAPERS, Volume: 70 Issue: 2.

10

【発明の概要】

【発明が解決しようとする課題】

【0004】

近年、IoT(Internet of Things)デバイスが発展している。このようなIoTデバイスにおいては動作電源を確保するために、環境中の熱流から発電する熱電発電が期待されている。しかし、現状の熱電素子は、一つの熱電素子当たりの発電電圧が1mV以下と極めて低い。一方、IoTデバイスが備えるセンサ機能や通信機能などを提供する一般的な電子回路が動作する電圧（例えば、1V程度）を確保する必要がある。上述のような熱電素子から発生する低い電圧から効率よく必要な電圧の電力を得る点で課題があった。

20

【0005】

本発明は、上記事情に鑑みなされたものであり、熱電素子から効率よく必要な電圧の電力を得ることができる昇圧装置および昇圧システムを提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明の一実施形態は、温度差を直流電力に変換する熱電材料と、前記熱電材料から前記直流電力を取り出す正電極および負電極とからなる熱電素子の前記正電極が接続される正極端子と、前記負電極が接続される負極端子と、第1端子と第2端子とを備え、前記正極端子に前記第1端子が接続される誘導素子と、第1制御端子と、第1入力端子と、第1出力端子とを備え、前記誘導素子の前記第2端子に前記第1入力端子が、前記負極端子に前記第1出力端子が接続される第1スイッチ素子と、第2制御端子と、第2入力端子と、第2出力端子とを備え、前記誘導素子の前記第2端子に前記第2入力端子が接続される第2スイッチ素子と、前記第1スイッチ素子の前記第1制御端子に第1制御信号を、前記第2スイッチ素子の前記第2制御端子に第2制御信号を、それぞれ所定のデューティ比にして出力し、前記第1スイッチ素子および前記第2スイッチ素子を交互にオン/オフ制御することにより、前記熱電素子が出力する直流電力を昇圧する制御部と、を備え、前記熱電素子の内部抵抗を R_{IN} 、前記誘導素子の直流抵抗を R_L 、第1スイッチ素子のオン抵抗を R_{ON} 、前記正極端子から前記誘導素子と前記第1スイッチ素子とを經由して前記負極端子に至る配線抵抗を R_{CAB} 、前記正極端子および前記負極端子間の開放時の熱電素子の出力電圧を V_{OC} 、出力端子の両端間に接続される負荷に対して出力される昇圧後の電力を出力電力 P_{OUT} とした場合に、後述の条件式を満たす昇圧装置である。

30

40

【0007】

本発明の一実施形態は、上述の昇圧装置において、前記熱電素子は、前記熱電材料と前記正電極および前記負電極との組を、前記直流電力による電流経路上に一組のみ備える単層熱電素子である。

【0008】

本発明の一実施形態は、上述の昇圧装置において、前記第1制御信号が前記第1スイッチ素子をオン状態に維持する時間である第1時間と、前記第2制御信号が前記第2スイッチ素子をオン状態に維持する時間である第2時間とについて、前記第1時間は、前記第2

50

時間の100倍以上の時間である。

【0009】

本発明の一実施形態は、上述の昇圧装置において、前記誘導素子のインダクタンスが0.1ミリヘンリー以上であり、前記制御部は、前記第1制御信号が前記第1スイッチ素子をオン状態に維持するオン時間と、前記第1スイッチ素子をオフ状態に維持するオフ時間とを1周期とする第1スイッチング周波数と、前記第2制御信号が前記第2スイッチ素子をオン状態に維持するオン時間と、前記第2スイッチ素子をオフ状態に維持するオフ時間とを1周期とする第2スイッチング周波数と、をいずれも100ヘルツから5キロヘルツまでにして、前記第1スイッチ素子および前記第2スイッチ素子をオン/オフ制御する。

【0010】

本発明の一実施形態は、上述の昇圧装置において、前記制御部は、前記第1制御信号が前記第1スイッチ素子をオン状態に維持する時間と、前記第2制御信号が前記第2スイッチ素子をオン状態に維持する時間とが重ならないようにして、前記第1スイッチ素子および前記第2スイッチ素子をオン/オフ制御する。

【0011】

本発明の一実施形態は、上述の昇圧装置において、前記第1スイッチ素子のゲート容量をC1、前記第2スイッチ素子のゲート容量をC2、前記第1制御端子および前記第2制御端子に印加されるゲート電圧をVCONT、前記誘導素子を流れるコイル電流の波形の周期を、前記熱電素子の内部抵抗RINと前記誘導素子の直流抵抗をRLと第1スイッチ素子のオン抵抗をRONと前記正極端子から前記誘導素子と前記第1スイッチ素子とを經由して前記負極端子に至る配線抵抗をRCABとの合成抵抗をRS、前記正極端子および前記負極端子間の開放時の熱電素子の出力電圧をVOCとして、後述の条件式を満たす。

【0012】

本発明の一実施形態は、上述の昇圧装置において、前記熱電素子の内部抵抗RIN、前記誘導素子の直流抵抗RL、第1スイッチ素子のオン抵抗RON、前記正極端子から前記誘導素子と前記第1スイッチ素子とを經由して前記負極端子に至る配線抵抗RCABがそれぞれ10ミリオーム未満である。

【0013】

本発明の一実施形態は、上述の昇圧装置において、前記正極端子と、前記負極端子と、前記誘導素子と、前記第1スイッチ素子と、前記第2スイッチ素子とを備える昇圧回路が縦続接続されている。

【0014】

本発明の一実施形態は、温度差を直流電力に変換する熱電材料と、前記熱電材料に接続されて前記熱電材料から前記直流電力を取り出す正電極および負電極とからなる熱電素子と、請求項1から請求項7のいずれか一項に記載の昇圧装置と、を備える昇圧システムである。

【0015】

本発明の一実施形態は、上述の昇圧システムにおいて、前記昇圧装置の出力側に接続される負荷抵抗Rが、前記第1スイッチ素子をオン状態に維持している時間をT1とし、前記第1スイッチ素子をオフ状態に維持している時間をT2とした場合に、後述の条件式を満たす。

【0016】

本発明の一実施形態は、上述の昇圧システムにおいて、前記昇圧装置の出力側に負荷抵抗が接続された場合の出力端子の電圧が、出力端子を開放したときの電圧の半分である。

【発明の効果】

【0017】

本発明によれば、熱電素子から効率よく必要な電圧の電力を得ることができる昇圧装置および昇圧システムを提供することができる。

【図面の簡単な説明】

【0018】

10

20

30

40

50

- 【図 1】本実施形態の単層熱電素子の構成の一例を示す図である。
- 【図 2】本実施形態の昇圧装置の構成の一例を示す図である。
- 【図 3】本実施形態の昇圧回路の等価抵抗を示す図である。
- 【図 4】本実施形態の制御装置が出力する制御信号の波形の一例を示す図である。
- 【図 5】合成抵抗値と出力電圧との関係の一例を示す図である。
- 【図 6】本実施形態の昇圧回路の誘導素子のインダクタンスごとの、スイッチング周波数と制御電力および出力電力との関係の一例を示す図である。
- 【図 7】本実施形態の昇圧回路の動作特性の一例を示す図である。
- 【図 8】本実施形態の昇圧回路の動作特性の他の一例を示す図である。
- 【図 9】バイレグ構造の多段熱電素子の一例を示す図である。
- 【図 10】ユニレグ構造の多段熱電素子の一例を示す図である。
- 【発明を実施するための形態】

【0019】

以下、本実施形態の昇圧システムについて図を参照して説明する。昇圧システムは、昇圧回路 10 と、単層熱電素子 20 と、制御装置 30 とを備え、単層熱電素子 20 が発電した電力を必要な電圧に昇圧して、負荷 40 に供給する。まず、単層熱電素子 20 について説明する。

【0020】

図 1 は、本実施形態の単層熱電素子 20 の構成の一例を示す図である。単層熱電素子 20 は、正電極 21 と、負電極 22 と、熱電材料 23 とを備える。

熱電材料 23 は、温度差を直流電力に変換する。正電極 21 及び負電極 22 は、熱電材料 23 に接続されて熱電材料 23 から直流電力を取り出す。

本実施形態の一例では、熱電材料 23 は、ビスマス (Bi) とテルル (Te) との化合物 (テルル化ビスマス、ビスマス・テルライドともいう。) を含む。正電極 21 及び負電極 22 は、例えば銅合金 (あるいは純銅) である。

熱電材料 23 は、負電極 22 側の温度 (例えば、温度 T_0 。基準温度ともいう。) と、正電極 21 側の温度 (例えば、温度 $T_0 + T$) との温度差 (すなわち、 T) が与えられた場合に、例えばゼーベック効果によって、正電極 21 及び負電極 22 に電位差を発生させる。

以下の説明において、同図に示す正電極 21 と負電極 22 との間の方向、つまり温度差の方向のことを、熱流方向ともいう。

【0021】

本実施形態の一例では、温度差 T : 5 [K] である。

また、本実施形態の熱電材料 23 について、断面積 : 10 × 0.1 [cm]、熱流方向の寸法 : 5 [cm]、ゼーベック係数 : -240 [μ V/K]、熱伝導率 : 2 W / (m · K)、電気伝導率 : 500 [S/cm] である。

本実施形態の正電極 21 および負電極 22 について、熱伝導率 : 400 W / (m · K)、電気伝導率 : 6.4E5 [S/cm] (E5 は、10 の 5 乗) である。

上述の一例の場合、単層熱電素子 20 の開放電圧は、1.2 [mV] である。

なお、これらの数値は一例であって、これに限られない。

【0022】

ここで、単層熱電素子 20 とは、直流電流経路上に、正電極 21 と、負電極 22 と、熱電材料 23 とを備える熱電素子を一組のみ備えるものをいう。

すなわち、単層熱電素子 20 は、温度差を直流電力に変換する熱電材料 23 と、熱電材料 23 に接続されて熱電材料 23 から直流電力を取り出す正電極 21 および負電極 22 とからなる熱電素子を、直流電力による電流経路上に一組のみ備える。

なお、本実施形態において、単層熱電素子 20 を直列接続して発電電圧を高めてもよい。一方で、直列接続した単層熱電素子 20 を採用する場合、単層熱電素子 20 を積層するための組み立てコストなどにより比較的高価になり、IoT デバイスに搭載するためには、コストの問題を解決しなければならない場合がある。したがって、IoT デバイスに搭載さ

10

20

30

40

50

れる電源としては、熱電素子を直列接続せずに、単一の（単層の）熱電素子（つまり、単層熱電素子 20）を使用できることが好ましい。

【0023】

本実施形態の単層熱電素子 20 との対比のために、従来技術による、単層構造でない熱電素子の例を図 9 および図 10 に示す。

図 9 は、バイレグ構造の多段熱電素子の一例を示す図である。バイレグ構造の多段熱電素子 820 は、p 型熱電材料と n 型熱電材料との複数の熱電材料 823 を交互に接続し、末端の p 型熱電材料に正電極 821 が、末端の n 型熱電材料に負電極 822 がそれぞれ接続された構成である。

【0024】

図 10 は、ユニレグ構造の多段熱電素子の一例を示す図である。ユニレグ構造の多段熱電素子 920 は、複数の分割された n 型熱電材料を順に接続し、両端の n 型熱電材料に正電極 921 または負電極 922 が接続された構成である。

【0025】

これらバイレグ構造の多段熱電素子 820 およびユニレグ構造の多段熱電素子 920 は、いずれも、直流電流経路上に複数の熱電材料が直列に多段接続された構造を有する。熱電材料が直列に多段接続されることにより、例えば単位電池に対する積層電池のように、起電力を向上させることができる。従来の技術によると、例えば数百もの熱電材料を直列に多段接続することにより、数 V（ボルト）程度の起電力を得る熱電素子が提案されている。

しかしながら、熱電素子を多段接続するためには、微細加工や組み立てのコストが発生する。

本実施形態の昇圧装置 1 は、微細加工や組み立てのコストが、上述した多段熱電素子に比べて非常に低い単層熱電素子 20 を利用することにより、安価かつ構成が簡素化された電源装置を提供することを目的としている。

【0026】

なお、本実施形態の昇圧装置 1 は、単層熱電素子 20 を利用するとして説明するが、これに限られない。安価かつ構成が簡素化された電源装置の必要が小さい場合には、本実施形態の昇圧装置 1 は、直流電流経路上に複数の熱電材料が直列にいくつか或いは多段接続された熱電素子を用いてもよい。この場合、「単層熱電素子 20」との記載の一部を「熱電素子」と適宜読み替える。

【0027】

本実施形態の昇圧装置 1 の具体的な構成について、図 2 を参照して説明する。

【0028】

図 2 は、本実施形態の昇圧装置 1 の構成の一例を示す図である。昇圧装置 1 は、昇圧回路 10 と、制御装置 30 とを備える。

【0029】

昇圧回路 10 は、単層熱電素子 20 に接続される端子として、正極電源端子 T11 と、負極電源端子 T12 とを備える。

正極電源端子 T11（正極端子）は、単層熱電素子 20 の正電極 21 が接続される。

負極電源端子 T12（負極端子）は、単層熱電素子 20 の負電極 22 が接続される。

【0030】

昇圧回路 10 は、その内部素子として、誘導素子 11 と、第 1 スイッチ素子 12 と、第 2 スイッチ素子 13 と、容量素子 14 とを備える。

【0031】

誘導素子 11 は、例えばコイルであって、誘導性の電気特性（誘導性リアクタンス）を有している。誘導素子 11 は、第 1 端子 111 と第 2 端子 112 とを備え、正極電源端子 T11 に第 1 端子 111 が接続される。本実施形態の誘導素子 11 は、直流抵抗値が 10 [m] 未満である。すなわち、本実施形態の誘導素子 11 は、直流抵抗値が 10 [m] 未満の素子が選定されている。

10

20

30

40

50

【 0 0 3 2 】

第 1 スイッチ素子 1 2 および第 2 スイッチ素子 1 3 は、いずれも、例えば電界効果トランジスタ (F E T) である。

第 1 スイッチ素子 1 2 は、第 1 制御端子 1 2 1 (例えば、ゲート端子) と、第 1 入力端子 1 2 2 (例えば、ドレイン端子) と、第 1 出力端子 1 2 3 (例えば、ソース端子) とを備える。第 1 スイッチ素子 1 2 は、誘導素子 1 1 の第 2 端子 1 1 2 に第 1 入力端子 1 2 2 が、負極電源端子 T 1 2 (負極端子) に第 1 出力端子 1 2 3 が接続される。

【 0 0 3 3 】

第 2 スイッチ素子 1 3 は、第 2 制御端子 1 3 1 (例えば、ゲート端子) と、第 2 入力端子 1 3 2 (例えば、ドレイン端子) と、第 2 出力端子 1 3 3 (例えば、ソース端子) とを備える。第 2 スイッチ素子 1 3 は、誘導素子 1 1 の第 2 端子 1 1 2 に第 2 入力端子 1 3 2 が接続される。

【 0 0 3 4 】

容量素子 1 4 は、例えばコンデンサであって、容量性の電気特性 (容量性リアクタンス) を有している。容量素子 1 4 は、一端 (第 1 容量端子 1 4 1) が第 2 スイッチ素子 1 3 の第 2 出力端子 1 3 3 に接続され、他端 (第 2 容量端子 1 4 2) が負極電源端子 T 1 2 (負極端子) に接続される。

【 0 0 3 5 】

昇圧回路 1 0 は、負荷 4 0 に接続される端子として、正極負荷端子 T 1 3 と負極負荷端子 T 1 4 とを備える。正極負荷端子 T 1 3 は、容量素子 1 4 の一端 (第 1 容量端子 1 4 1) に接続される。負極負荷端子 T 1 4 は、容量素子 1 4 の他端 (第 2 容量端子 1 4 2) に接続される。

【 0 0 3 6 】

昇圧回路 1 0 は、制御装置 3 0 に接続される端子として、第 1 制御入力端子 T 1 5 と、第 2 制御入力端子 T 1 6 とを備える。第 1 制御入力端子 T 1 5 は、第 1 スイッチ素子 1 2 の第 1 制御端子 1 2 1 (例えば、ゲート端子) に接続される。第 2 制御入力端子 T 1 6 は、第 2 スイッチ素子 1 3 の第 2 制御端子 1 3 1 (例えば、ゲート端子) に接続される。

【 0 0 3 7 】

上述した回路構成により、昇圧回路 1 0 は、いわゆる昇圧型 D C - D C コンバータ (昇圧チョッパ) として機能する。

【 0 0 3 8 】

制御装置 3 0 は、制御部 3 1 を備えている。この制御部 3 1 は、いわゆる演算増幅器 (O P アンプ) や抵抗素子、コンデンサなどのアナログ素子で構成されており、第 1 スイッチ素子 1 2 や第 2 スイッチ素子 1 3 の動作タイミングを制御する。また、制御部 3 1 は、演算増幅器 (O P アンプ) を使用せずに、複数のトランジスタを組み合わせたディスクリート回路として構成されていてもよい。すなわち、制御部 3 1 は、スイッチングのタイミング制御を行うアナログ回路である。このように構成された制御装置 3 0 は、きわめて小さな電力で動作することができる。

なお、制御装置 3 0 は、電力収支が満たせば組み込み型マイクロコンピュータとして構成されていてもよい。この場合、例えば、制御部 3 1 と、記憶部 3 2 とを備えている。記憶部 3 2 は、半導体メモリ等を備えており、制御部 3 1 の動作を規定するプログラムやデータが予め記憶されている。制御装置 3 0 は、昇圧回路 1 0 の容量素子 1 4 に蓄えられている電力で動作する。なお、同図において、昇圧回路 1 0 から制御装置 3 0 に対する電力供給経路の図示は省略している。

制御部 3 1 は、例えば、組み込み型マイクロコンピュータを備えており、記憶部 3 2 に記憶されているプログラムに基づいて動作することにより、各種の機能を提供する。

以下の説明において、制御部 3 1 と記載した場合、上述したアナログ回路であってもよいし、組み込み型マイクロコンピュータであってもよい。

【 0 0 3 9 】

制御部 3 1 は、第 1 スイッチ素子 1 2 の第 1 制御端子 1 2 1 に第 1 制御信号 S 1 を、第

10

20

30

40

50

2スイッチ素子13の第2制御端子131に第2制御信号S2を、それぞれ出力する。

【0040】

第1制御信号S1は、第1スイッチ素子12の第1制御端子121（例えば、ゲート端子）を駆動することにより、第1スイッチ素子12をオン状態またはオフ状態に制御する。

第1スイッチ素子12のオン状態とは、第1スイッチ素子12の第1入力端子122（例えば、ドレイン端子）と第1出力端子123（例えば、ソース端子）との間の抵抗値が十分に低くされ、第1入力端子122（例えば、ドレイン端子）と第1出力端子123（例えば、ソース端子）との間が導通状態になることをいう。

本実施形態の第1スイッチ素子12は、オン状態である場合の直流抵抗値（オン抵抗）が、 $10[m\Omega]$ 未満である。すなわち、本実施形態の第1スイッチ素子12は、オン抵抗が $10[m\Omega]$ 未満の素子が選定されている。

第1スイッチ素子12のオフ状態とは、第1入力端子122（例えば、ドレイン端子）と第1出力端子123（例えば、ソース端子）との間の抵抗値が十分に高くされ、第1入力端子122（例えば、ドレイン端子）と第1出力端子123（例えば、ソース端子）との間が非導通状態になることをいう。

【0041】

第2制御信号S2は、第2スイッチ素子13の第2制御端子131（例えば、ゲート端子）を駆動することにより、第2スイッチ素子13をオン状態またはオフ状態に制御する。

第2スイッチ素子13のオン状態とは、第2スイッチ素子13の第2入力端子132（例えば、ドレイン端子）と第2出力端子133（例えば、ソース端子）との間の抵抗値が十分に低くされ、第2入力端子132（例えば、ドレイン端子）と第2出力端子133（例えば、ソース端子）との間が導通状態になることをいう。

第2スイッチ素子13のオフ状態とは、第2入力端子132（例えば、ドレイン端子）と第2出力端子133（例えば、ソース端子）との間の抵抗値が十分に高くされ、第2入力端子132（例えば、ドレイン端子）と第2出力端子133（例えば、ソース端子）との間が非導通状態になることをいう。

【0042】

なお、本実施形態の第2スイッチ素子13は、オン状態である場合の直流抵抗値（オン抵抗）が、 $10[m\Omega]$ 未満であることが望ましい。すなわち、本実施形態の第2スイッチ素子13は、オン抵抗が $10[m\Omega]$ 未満の素子が選定されることが望ましい。

【0043】

なお、上述した説明では、誘導素子11の直流抵抗値、第1スイッチ素子12のオン抵抗、それぞれ $10[m\Omega]$ 未満であることが好ましいとして説明した。

さらに、単層熱電素子20の内部抵抗である抵抗 R_{IN} （内部抵抗 R_{IN} ）、誘導素子11の直流抵抗値である抵抗 R_L （直流抵抗 R_L ）、第1スイッチ素子12のオン抵抗である抵抗 R_{ON} （オン抵抗 R_{ON} ）、および、これら単層熱電素子20と誘導素子11と第1スイッチ素子12とをつなぐ回路の配線抵抗である抵抗 R_{CAB} （配線抵抗 R_{CAB} ）が、それぞれ $10[m\Omega]$ 未満であれば、より好ましい。

【0044】

具体的には、電圧 V_{OC} を単層熱電素子20の開放電圧、抵抗 R_{IN} を単層熱電素子20の内部抵抗、抵抗 R_L を誘導素子11の直流抵抗、抵抗 R_{ON} を第1スイッチ素子12のオン抵抗、抵抗 R_{CAB} を配線抵抗とした場合、正極負荷端子T13および負極負荷端子T14から見込んだ負荷40の入力インピーダンス（つまり、負荷抵抗）を最適化した場合の最大出力電力 P_{OUT} は、式(1)で表される。熱電素子（例えば、単層熱電素子20。以下の説明において同じ。）と昇圧回路10の間のインピーダンスマッチングを考えると、熱電素子から取り出せる電力の最大値は $V_{OC}^2 / 4R_{IN}$ である（式中の \wedge （ハット）は、べき乗を表す。 V_{OC} は電圧 V_{OC} 、 R_{IN} は内部抵抗 R_{IN} を意味する。以下の説明において同じ。）。しかし、熱電素子と昇圧回路10とを組み合わせたものから取り出せる電力の最大値

10

20

30

40

50

P_{OUT}は、 $V_{OC}^2 / 4R_{IN}$ では与えられず、R_{IN}の部分を、電源回路内部の寄生抵抗も含めたR_{IN} + R_L + R_{ON} + R_{CAB}に置き換えなければならない(式中のR_Lは直流抵抗R_L、R_{ON}はオン抵抗R_{ON}、R_{CAB}は配線抵抗R_{CAB}を意味する。以下の説明において同じ。)。つまり熱電素子のR_{IN}と昇圧回路10の寄生抵抗成分(R_L + R_{ON} + R_{CAB})を個別に考えているのは正しい設計値は得られず、両者をまとめた(R_{IN} + R_L + R_{ON} + R_{CAB})という形で協調設計しなければならない。この点が本実施形態における重要な点である。熱電素子の開放電圧V_{OC}が1[mV]よりも十分大きい場合は、R_{IN}が比較的大きくなるためR_L + R_{ON} + R_{CAB}を無視することができ、従ってこれまでR_L + R_{ON} + R_{CAB}はP_{OUT}に直接影響してこなかった(式中のP_{OUT}は出力電力P_{OUT}を意味する。以下の説明において同じ。)。しかし、熱電素子の開放電圧V_{OC}が1mV程度しか得られない場合は、R_{IN}が極めて小さくなることからR_L + R_{ON} + R_{CAB}がP_{OUT}に強く影響してしまう。その結果、1[mV]からの昇圧回路においてはR_L + R_{ON} + R_{CAB}を十分考慮して小さく設計する必要がある、その値は、必要なP_{OUT}と熱電素子のV_{OC}が与えられたとき、式(1)で与えられる。

【0045】

【数1】

$$P_{OUT} = \frac{V_{OC}^2}{4(R_{IN} + R_L + R_{ON} + R_{CAB})} \dots (1)$$

【0046】

ここで、出力電力P_{OUT}を数十[μW]とする場合、単層熱電素子20からの入力電圧V_{OC}が1[mV]である場合、単層熱電素子20の内部抵抗である抵抗R_{IN}、誘導素子11の直流抵抗値である抵抗R_L、第1スイッチ素子12のオン抵抗である抵抗R_{ON}、および、これら単層熱電素子20と誘導素子11と第1スイッチ素子12とをつなぐ回路の配線抵抗である抵抗R_{CAB}が、それぞれ10[mΩ]未満であることが好ましい。なお、抵抗R_{IN}、抵抗R_L、抵抗R_{ON}および抵抗R_{CAB}を合成した抵抗を合成抵抗R_sともいう。

【0047】

図3は、本実施形態の昇圧回路の等価抵抗を示す図である。昇圧回路10は、単層熱電素子20から正極電源端子T₁₁、誘導素子11、第1スイッチ素子12、負極電源端子T₁₂を通り、単層熱電素子20に戻る回路を構成する。同図には、この回路の各部の等価抵抗を示す。

具体的には、抵抗24は、単層熱電素子20の等価抵抗(抵抗R_{IN})である。なお、抵抗R_{IN}の抵抗値は極めて小さいため、以下の説明においては記載を省略する場合がある。

抵抗114は、誘導素子11の等価抵抗である。

抵抗125は、第1スイッチ素子12のオン抵抗の等価抵抗である。なお、同図においては、第1スイッチ素子12は、オン抵抗を考慮しない等価スイッチ素子124と、オン抵抗の等価抵抗である抵抗125とに分けて示している。

抵抗151は、単層熱電素子20から誘導素子11に至る配線の等価抵抗である。抵抗152は、誘導素子11から第1スイッチ素子12に至る配線の等価抵抗である。抵抗153は、第1スイッチ素子12から単層熱電素子20に至る配線の等価抵抗である。

【0048】

なお、抵抗151は、単層熱電素子20から誘導素子11に至る配線の等価抵抗であるとしたが、これに限られない。例えば、単層熱電素子20から正極電源端子T₁₁に至る配線の抵抗値が十分小さければ、抵抗151は、正極電源端子T₁₁から誘導素子11に至る配線の等価抵抗であるとしてもよい。

同様に、抵抗153は、第1スイッチ素子12から単層熱電素子20に至る配線の等価抵抗であるとしたが、これに限られない。例えば、負極電源端子T₁₂から単層熱電素子20に至る配線の抵抗値が十分小さければ、抵抗153は、第1スイッチ素子12から負極電源端子T₁₂に至る配線の等価抵抗であるとしてもよい。

【0049】

10

20

30

40

50

制御部 31 は、第 1 制御信号 S1 および第 2 制御信号 S2 を、それぞれ所定のデューティ比にして出力し、第 1 スイッチ素子 12 および第 2 スイッチ素子 13 を交互にオン/オフ制御することにより、単層熱電素子 20 が出力する直流電力を昇圧する。

【0050】

図 4 は、本実施形態の制御装置 30 が出力する制御信号の波形の一例を示す図である。同図 (A) は、制御装置 30 が出力する第 1 制御信号 S1 の波形の一例を示す。同図において横軸は時刻 t 、縦軸は第 1 制御端子 121 への印加電圧 $V1$ を示す。印加電圧 $V1$ について、電圧 $V1L$ が第 1 スイッチ素子 12 をオフ状態にする電圧を、電圧 $V1H$ が第 1 スイッチ素子 12 をオン状態にする電圧を示す。

第 1 制御信号 S1 は、所定のデューティ比によって、第 1 スイッチ素子 12 のオン/オフを制御する信号である。同図に示す第 1 オン時間 $T1on$ (第 1 時間 $T1$) は、第 1 スイッチ素子 12 をオン状態に維持している時間である。第 1 オフ時間 $T1off$ (第 2 時間 $T2$) は、第 1 スイッチ素子 12 をオフ状態に維持している時間である。第 1 オン時間 $T1on$ と第 1 オフ時間 $T1off$ とを合計した時間、すなわち、第 1 時間 $T1$ と第 2 時間 $T2$ とを合計した時間を、スイッチング周期 ともいう。

【0051】

同図 (B) は、制御装置 30 が出力する第 2 制御信号 S2 の波形の一例を示す。同図において横軸は時刻 t 、縦軸は第 2 制御端子 131 への印加電圧 $V2$ を示す。印加電圧 $V2$ について、電圧 $V2L$ が第 2 スイッチ素子 13 をオフ状態にする電圧を、電圧 $V2H$ が第 2 スイッチ素子 13 をオン状態にする電圧を示す。

第 2 制御信号 S2 は、所定のデューティ比によって、第 2 スイッチ素子 13 のオン/オフを制御する信号である。同図に示す第 2 オン時間 $T2on$ は、第 2 スイッチ素子 13 をオン状態に維持している時間であり、上述した第 2 時間 $T2$ に一致する。第 2 オフ時間 $T2off$ は、第 2 スイッチ素子 13 をオフ状態に維持している時間であり、上述した第 1 時間 $T1$ に一致する。第 2 オン時間 $T2on$ と第 2 オフ時間 $T2off$ とを合計した時間は、上述したスイッチング周期 に一致する。

【0052】

同図 (C) は、第 1 制御信号 S1 および第 2 制御信号 S2 によって制御された結果、誘導素子 11 に流れるコイル電流 I_L の波形の一例を示す。同図において横軸は時刻 t 、縦軸はコイル電流 I_L の電流値を示す。電流値 I_LH は、コイル電流 I_L の最大値の一例を示す。電流値 I_LL は、コイル電流 I_L の最小値の一例を示す。

【0053】

なお、仮に、第 1 スイッチ素子 12 と、第 2 スイッチ素子 13 とが同時にオン状態にされた場合、容量素子 14 から、第 2 スイッチ素子 13 および第 1 スイッチ素子 12 を介して、負極負荷端子 T14 側に漏れ電流が発生する場合がある。この場合、容量素子 14 に十分な電荷を蓄積できず、出力電圧が低下する原因となり得る。

【0054】

本実施形態の制御部 31 は、第 1 スイッチ素子 12 と、第 2 スイッチ素子 13 とを同時にオン状態にしないように制御するように、回路の各アナログ素子のパラメータが設定されている (或いは、記憶部 32 に記憶されているプログラムが設定されている)。すなわち、制御部 31 は、第 1 制御信号 S1 が第 1 スイッチ素子 12 をオン状態に維持する時間と、第 2 制御信号 S2 が第 2 スイッチ素子 13 をオン状態に維持する時間とが重ならないようにして、第 1 スイッチ素子 12 および第 2 スイッチ素子 13 をオン/オフ制御する。

【0055】

このように構成された昇圧装置 1 によれば、容量素子 14 から、第 2 スイッチ素子 13 および第 1 スイッチ素子 12 を介して、負極負荷端子 T14 側に漏れ電流が発生することを抑止することができる。

【0056】

ここで、正極電源端子 T11 と負極電源端子 T12 との間の電圧 (つまり、単層熱電素子 20 の出力電圧) を入力電圧 V_{OC} とし、正極負荷端子 T13 と負極負荷端子 T14 との

10

20

30

40

50

間の電圧（つまり、負荷 40 に出力される電圧）を出力電圧 V_{out} とする。この場合、入力電圧 V_{OC} 、出力電圧 V_{out} と、第 1 オン時間 T_{1on} （第 1 時間 T_1 とともに記載する。）
、第 2 オン時間 T_{2on} （第 2 時間 T_2 とともに記載する。）とは、抵抗成分を無視した近似として、式（2）に示す関係を有する。

【0057】

【数2】

$$\frac{V_{out}}{V_{OC}} = \frac{T_1 + T_2}{T_2} \quad \dots (2)$$

【0058】

本実施形態の制御部 31 は、第 1 オン時間 T_{1on} （第 1 時間 T_1 ）と、第 2 オン時間 T_{2on} （第 2 時間 T_2 ）との比を 100 倍以上にして、第 1 制御信号 S_1 および第 2 制御信号 S_2 を出力する。

すなわち、第 1 制御信号 S_1 が第 1 スイッチ素子 12 をオン状態に維持する時間である第 1 オン時間 T_{1on} （第 1 時間 T_1 ）と、第 2 制御信号 S_2 が第 2 スイッチ素子 13 をオン状態に維持する時間である第 2 オン時間 T_{2on} （第 2 時間 T_2 ）とについて、第 1 オン時間 T_{1on} （第 1 時間 T_1 ）は、第 2 オン時間 T_{2on} （第 2 時間 T_2 ）の 100 倍以上の時間である。

【0059】

このように構成された昇圧装置 1 によれば、入力電圧 V_{OC} （つまり、単層熱電素子 20 の出力電圧）が 1.0 ~ 1.5 [mV] 程度であったとしても、上述した第 1 オン時間 T_{1on} （第 1 時間 T_1 ）と第 2 オン時間 T_{2on} （第 2 時間 T_2 ）との比を、数百倍（例えば、700 倍）から 1000 倍程度（例えば、1000 倍）にすれば、出力電圧 V_{out} を 1.0 [V] 程度にまで昇圧することができる。したがって、昇圧装置 1 によれば、構成が簡素な単層熱電素子 20 を使用しても、一般的な電子回路（例えば、センサ回路や通信回路）が動作する 1.0 [V] 程度の電力を供給することができる。

【0060】

なお、図 4（C）に示すコイル電流 I_L の波形の周期をスイッチング周期 とする。単層熱電素子 20 の内部抵抗である抵抗 R_{IN} 、誘導素子 11 の直流抵抗値である抵抗 R_L 、第 1 スイッチ素子 12 のオン抵抗である抵抗 R_{ON} 、および、これら単層熱電素子 20 と誘導素子 11 と第 1 スイッチ素子 12 とをつなぐ回路の配線抵抗である抵抗 R_{CAB} の合成値を合成抵抗 R_S とする。誘導素子 11 のインダクタンスをインダクタンス L とする。

この場合、抵抗によるジュール損失を無視できる条件を、周期、合成抵抗 R_S 、およびインダクタンス L によって示すと、式（3）となる。合成抵抗 R_S とインダクタンス L との直列接続回路の時定数は (L/R_S) であり、換言すると、式（3）は、この時定数（すなわち、式（3）の左辺）よりもスイッチング周期（すなわち、式（3）の右辺）が十分に短ければ、合成抵抗 R_S におけるジュール損失が無視できることを意味している。

【0061】

【数3】

$$\frac{L}{R_S} \gg \tau \quad \dots (3)$$

【0062】

第 1 スイッチ素子 12 のゲート容量を容量 C_1 とし、第 2 スイッチ素子 13 のゲート容量を容量 C_2 とし、制御電圧を制御電圧 V_{CONT} とすると、昇圧回路 10 での制御に必要な制御電力 P_{CONT} は、式（4）で表せる。ここで、制御電圧 V_{CONT} とは、第 1 スイッチ素子 12 の第 1 制御端子 121、および第 2 スイッチ素子 13 の第 2 制御端子 131 に印加される、いわゆるゲート駆動電圧である。また、制御電力 P_{CONT} とは、第 1 スイッチ素子 1

20

30

40

50

2 および第2スイッチ素子13のスイッチング動作に必要な制御側の消費電力である。なお、式(4)は、容量C1および容量C2の充電1回あたりに必要なエネルギー(充電エネルギー)は、充電電流によるジュール損失分を加味すると $[(C1+C2)V_{CONT}^2]$ (つまり、式(4)右辺分子)であり、この充電エネルギーをスイッチング周期(すなわち、式(4)の右辺分母)で割れば、制御電力 P_{CONT} が導出されることを意味している。

【0063】

【数4】

$$P_{CONT} = \frac{(C1+C2) V_{CONT}^2}{\tau} \quad \dots (4)$$

【0064】

単層熱電素子20から昇圧回路10に供給される電力に基づいて、昇圧回路10から出力される電力(すなわち、昇圧後の電力)を出力電力 P_{OUT} として、昇圧回路10における損失がほぼゼロであるとする、上述した式(1)が成り立つ。

なお、 $D = T1 / (T1 + T2)$ と置き、スイッチング周期の1周期中のインダクタンスLの電流の増加分と減少分とが等しいとし、インダクタンスLの平均電流を電流 I_L とすれば、式(5A)が成り立つ。また、昇圧回路10から負荷40に出力される出力電流と、負荷40(R_{LOAD})が消費する電流が等しいという条件(定常条件)から、式(5B)が成り立つ。

これら式(5A)および式(5B)を連立することにより、昇圧比 g が式(5C)によって表され、負荷40(R_{LOAD})で消費される電力(すなわち、出力電力 P_{OUT})が式(5D)によって表される。

式(5D)で表される出力電力 P_{OUT} が最大値をとる条件は、負荷40(R_{LOAD})を変数として、式(5D)の右辺の分母が最小値をとる条件となり、出力電力 P_{OUT} が取り得る最大値を求めることによって、上述した式(1)が導出される。

【0065】

【数5】

$$(V_{OC} - I_L(R_{IN} + R_L + R_{ON} + R_{CAB}))D = (V_{OUT} - V_{OC} + I_L(R_{IN} + R_L + R_{ON} + R_{CAB}))(1 - D) \quad \dots (5A)$$

$$\frac{V_{OUT}}{R_{LOAD}} D = \left(I_L - \frac{V_{OUT}}{R_{LOAD}} \right) (1 - D) \quad \dots (5B)$$

$$g = \frac{V_{OUT}}{V_{OC}} = \frac{1}{1 - D} \left(1 + \frac{R_{IN} + R_L + R_{ON} + R_{CAB}}{R_{LOAD}(1 - D)^2} \right)^{-1} \quad \dots (5C)$$

$$\begin{aligned} P_{OUT} &= V_{OC}^2 R_{LOAD} (1 - D)^2 / [(1 - D)^4 R_{LOAD}^2 + R_S^2 + 2(1 - D)^2 R_{LOAD} R_S] \\ &= [V_{OC}^2 (1 - D)^2 / R_S] / [(1 - D)^4 (R_{LOAD} / R_S) + (R_S / R_{LOAD}) + 2(1 - D)^2] \end{aligned} \quad \dots (5D)$$

【0066】

ここで、出力電力 P_{OUT} に対して、制御電力 P_{CONT} を無視できる条件は、式(6)に示すとおりである。

【 0 0 6 7 】

【 数 6 】

$$P_{OUT} \gg P_{CONT} \quad \dots (6)$$

【 0 0 6 8 】

上述した式 (6) に式 (1) 及び式 (4) を代入することにより、式 (7) が導出される。

【 0 0 6 9 】

【 数 7 】

$$\frac{\tau}{4(C1+C2)R_S} \gg \left(\frac{V_{CONT}}{V_{OC}} \right)^2 \quad \dots (7)$$

【 0 0 7 0 】

現実に入手可能な誘導素子 1 1 および容量素子 1 4 の代表的なパラメータとして、インダクタンス L が 0 . 1 [m H] であり、キャパシタンス C が 1 [μ F] であるとする。この場合、式 (7) は、スイッチング周期 を、1 0 の (- 4) 乗 [s] よりも十分に大きくすべきであることを示している。すなわち、この結果は、周期 の逆数であるスイッチング周波数を、最大でも 5 [k H z] 以下 (例えば、1 0 0 [H z] から 5 [k H z] まで) とすれば、昇圧回路 1 0 が現実的に成立することを示している。

【 0 0 7 1 】

ここで、第 1 制御信号 S 1 が第 1 スイッチ素子 1 2 をオン状態に維持するオン時間と、第 1 スイッチ素子 1 2 をオフ状態に維持するオフ時間とを 1 周期とするスイッチング周期 (すなわち、スイッチング周期) の逆数を第 1 スイッチング周波数とする。

第 2 制御信号 S 2 が第 2 スイッチ素子 1 3 をオン状態に維持するオン時間と、第 2 スイッチ素子 1 3 をオフ状態に維持するオフ時間とを 1 周期とするスイッチング周期 (すなわち、スイッチング周期) の逆数を第 2 スイッチング周波数とする。

誘導素子 1 1 のインダクタンス L が 0 . 1 [m H] 以上であるとする。

【 0 0 7 2 】

この場合、制御部 3 1 は、第 1 スイッチング周波数と、第 2 スイッチング周波数とをいずれも 5 0 0 ヘルツから 5 キロヘルツまでにして、第 1 スイッチ素子 1 2 および第 2 スイッチ素子 1 3 をオン / オフ制御する。

【 0 0 7 3 】

このように構成された昇圧装置 1 によれば、現実的に入手可能な誘導素子 1 1 、第 1 スイッチ素子 1 2 、第 2 スイッチ素子 1 3 、および容量素子 1 4 を組み合わせることにより、入力電圧 V_{OC} が 1 [m V] 程度 (例えば、1 . 0 ~ 1 . 5 [m V] 程度) であったとしても、一般的な電子回路 (例えば、センサ回路や通信回路) が動作する 1 . 0 [V] 程度の電力を供給することができる。

すなわち、昇圧装置 1 は、現実的に入手可能な素子を組み合わせることにより、実現できる。

【 0 0 7 4 】

図 5 は、合成抵抗 R_s と出力電圧 V_{out} との関係の一例を示す図である。上述したように、合成抵抗 R_s とは、単層熱電素子 2 0 の内部抵抗である抵抗 R_{IN}、誘導素子 1 1 の直流抵抗値である抵抗 R_L、第 1 スイッチ素子 1 2 のオン抵抗である抵抗 R_{ON}、および、これら単層熱電素子 2 0 と誘導素子 1 1 と第 1 スイッチ素子 1 2 とをつなぐ回路の配線抵抗である抵抗 R_{CAB} の合成値である。

同図は、昇圧装置 1 の各パラメータが上述したように誘導素子 1 1 のインダクタンス L が 0 . 1 [m H] 、容量素子 1 4 のキャパシタンス C が 1 [μ F] 、スイッチング周波数が 0 . 5 ~ 5 [k H z] であることを前提として、合成抵抗 R_s が仮に 1 0 0 0 [m]

10

20

30

40

50

である場合（同図のV1）、仮に100[m]である場合（同図のV2）、および本実施形態の合成抵抗Rsの一例である10[m]である場合（同図のV3）についての出力電圧Voutを、それぞれ示している。

同図に示すように、実施形態の合成抵抗Rsの一例である10[m]である場合（同図のV3）には、合成抵抗Rsがより大きい場合に比べて、十分に高い出力電圧Voutが得られる。

【0075】

上述した実施形態の具体例について、より詳しく説明する。

以下の説明において、制御電圧VCONTは、1.5[V]である。誘導素子11の抵抗RLは、4[m]である。配線抵抗である抵抗151は7[m]、抵抗152は7[m]、抵抗153は6[m]であり、それらの合計である抵抗RCABは、20[m]である。容量素子14のキャパシタンスCは、10[μF]である。また、正極電源端子T11と、負極電源端子T12との間に接続される入力キャパシタ（不図示）のキャパシタンスCは、1[mF]である。

第1スイッチ素子12のオン時間（第1オン時間T1on）は、1000[μs]、オフ時間（第1オフ時間T1off）は、1[μs]である。第2スイッチ素子13のオン時間（第2オン時間T2on）は、0.8[μs]、オフ時間（第2オフ時間T2off）は、1000.2[μs]である。なお、第1スイッチ素子12のターンオフから第2スイッチ素子13のターンオンまでの時間および第2スイッチ素子13のターンオフから第1スイッチ素子12のターンオンまでの時間（いわゆるデッドタイム）は、いずれも0.1[μs]である。

【0076】

図6は、本実施形態の昇圧回路の誘導素子のインダクタンスごとの、スイッチング周波数と制御電力および出力電力との関係の一例を示す図である。ここで、スイッチング周波数fが上昇すると、出力電力POUTが非線形に上昇し、制御電力PCONTが線形に上昇する。このとき、出力電力POUTが制御電力PCONTを上回る（つまり、昇圧回路10が電源装置として成立する）スイッチング周波数fの範囲が存在する。また、出力電力POUTのスイッチング周波数f特性は、誘導素子11のインダクタンスLの大きさに依存する。

上述した回路定数の場合、同図に示すように、出力電力POUTが制御電力PCONTを十分に上回るためには、誘導素子11のインダクタンスLを十分に大きな値（例えば、1[mH]）とすることが好ましい。また、誘導素子11のインダクタンスLが1[mH]である場合、スイッチング周波数fを所定範囲（例えば、500[Hz]から5[kHz]）とすることが好ましい。

【0077】

さらに、電流のリップルが十分小さくならない（式(8)に示す）。式(8)における抵抗ROUTは、正極負荷端子T13および負極負荷端子T14から見込んだ負荷40の入力インピーダンス（つまり、負荷抵抗）である。

【0078】

【数8】

$$\frac{V_{IN}}{Lf} \ll \sqrt{\frac{P_{OUT}}{R_{OUT}}} \quad \dots (8)$$

【0079】

すなわち、本実施例において、昇圧回路10は、スイッチング周波数をf、単層熱電素子20の内部抵抗を抵抗RIN、誘導素子11のインダクタンスをインダクタンスL、誘導素子11の直流抵抗を抵抗RL、第1スイッチ素子12のオン抵抗（抵抗125）を抵抗RON、配線抵抗（抵抗151、抵抗152および抵抗153の合計）を抵抗RCAB、正極負荷端子T13および負極負荷端子T14の負荷抵抗を抵抗ROUTとして、式(9)を満

10

20

30

50

たす。

【 0 0 8 0 】

【 数 9 】

$$\sqrt{4(R_{IN} + R_L + R_{ON} + R_{CAB})R_{OUT}} \ll Lf \quad \dots (9)$$

【 0 0 8 1 】

また、本実施例において、昇圧回路 10 は、第 1 スイッチ素子 12 のゲート容量を容量 C1 とし、第 2 スイッチ素子 13 のゲート容量を容量 C2 とし、第 1 制御端子 121 および第 2 制御端子 131 に印加される制御電圧（ゲート電圧）を制御電圧 VCONT とし、誘導素子を流れるコイル電流の波形の周期をスイッチング周期 とし、熱電素子（例えば、単層熱電素子 20）の内部抵抗である抵抗 RIN と、誘導素子 11 の直流抵抗値である抵抗 RL と、第 1 スイッチ素子 12 のオン抵抗である抵抗 RON と、これら単層熱電素子 20 と誘導素子 11 と第 1 スイッチ素子 12 とをつなぐ回路の配線抵抗である抵抗 RCAB との合成値を合成抵抗 Rs とし、正極電源端子 T11 および負極電源端子 T12 間の入力電圧（つまり、熱電素子の出力電圧）を電圧 VOC とし、上述した式（7）を満たす。

10

【 0 0 8 2 】

さらに、本実施形態の昇圧回路 10 は、単層熱電素子 20 が発電する電圧（つまり、昇圧回路 10 の入力電圧である電圧 VOC（言い換えると正極電源端子 T11 および負極電源端子 T12 間の入力電圧を電圧 VOC）と、所要の出力電力 POUT とについて、式（10）

20

【 0 0 8 3 】

【 数 10 】

$$R_{IN} + R_L + R_{ON} + R_{CAB} = \frac{V_{OC}^2}{4P_{OUT}} \quad \dots (10)$$

【 0 0 8 4 】

またこの時、出力側に接続される負荷抵抗 R は、以下の式（11）を満たすか、または出力側に負荷抵抗 R が接続された場合の出力端子の電圧が、出力端子を開放したときの電圧の半分である。

30

【 0 0 8 5 】

【 数 11 】

$$R = \left(\frac{T_1 + T_2}{T_2} \right)^2 (R_{IN} + R_L + R_{ON} + R_{CAB}) \quad \dots (11)$$

【 0 0 8 6 】

図 7 は、本実施形態の昇圧回路の動作特性の一例を示す図である。

図 7（A）は、第 1 スイッチ素子 12 のオン抵抗（抵抗 125）の変化による、出力電圧 Vout の時間変化波形の一例を示す。同図において、縦軸は出力電圧 Vout、横軸は時間を示す。同図は、第 1 スイッチ素子 12 のオン抵抗（抵抗 125）が十分に低い（例えば、10 [m] 未満である。一例として 1 [m] である。）と、十分に高い出力電圧 Vout（例えば、0.9 [V] 以上）を得ることができることを示す。図 7（B）は、出力電圧 Vout と出力電力 POUT との関係の一例を示す。同図において、縦軸は出力電力 POUT、横軸は出力電圧 Vout を示す。図 7（C）は、第 1 スイッチ素子 12 のオン抵抗（抵抗 125）と、出力電力 POUT との関係の一例を示す。同図においても、第 1 スイッチ素子 12 のオン抵抗（抵抗 125）が十分に低い（例えば、10 [m] 未満である。一例として 1 [m] である。）と、十分に高い出力電力 POUT（例えば、60 [μW] 以上）を得ることができることを示す。

40

50

なお、図7(C)のグラフのうち「Calculation」とは、前述の計算式を用いた算出結果、つまり、計算式に数値を代入して計算した値をプロットしたものであり、「Simulation」とは、市販の、回路モデルを用いたシミュレーションソフトウェアによる結果、つまり、回路図を作成して市販のsimulatorを回し、得られた電圧・電流・電力などの値をプロットしたものである。また、図7(A)(B)のグラフはいずれも、抵抗 $R_L = 1$ [m]、抵抗 $R_{CAB} =$ 内部抵抗 $R_{IN} = 0$ 、スイッチング周波数 $f = 1$ [kHz]とした場合の「Simulation」の結果を示す。以下の図8(B)において同様である。

すなわち、本実施形態において前述した式から導き出された結果が、ほぼ正しいことが判る。

【0087】

図8は、本実施形態の昇圧回路の動作特性の他の一例を示す図である。図8(A)は、誘導素子11の抵抗 R_L (抵抗114)および配線抵抗(抵抗151、抵抗152および抵抗153の合計)である抵抗 R_{CAB} との合計値(抵抗 $R_L +$ 抵抗 R_{CAB})の変化による、出力電圧 V_{out} の時間変化波形の一例を示す。同図は、抵抗 $R_L +$ 抵抗 R_{CAB} が十分に低い(例えば、10 [m]未満である)と、十分に高い出力電圧 V_{out} (例えば、0.9 [V]以上)を得ることができることを示す。図8(B)は、抵抗 $R_L +$ 抵抗 R_{CAB} と、出力電力 P_{OUT} との関係の一例を示す。同図においても、抵抗 $R_L +$ 抵抗 R_{CAB} が十分に低い(例えば、10 [m]未満である)と、十分に高い出力電力 P_{OUT} (例えば、60 [μ W]以上)を得ることができることを示す。

【0088】

なお、本実施形態の昇圧装置1は、上述した昇圧回路10の後段に第2の昇圧回路(構成は、昇圧回路10と同様である)を縦続接続(カスケード接続)した構成であってもよい。すなわち、昇圧装置1は、上述した昇圧回路10といずれも同様の構成である前段の昇圧回路10-1と、次段の昇圧回路10-2とを備え、前段の昇圧回路10-1の正極負荷端子T13に、次段の昇圧回路10-2の正極電源端子T11が接続され、前段の昇圧回路10-1の負極負荷端子T14に、次段の昇圧回路10-2の負極電源端子T12が接続される構成であってもよい。この場合、次段の昇圧回路10-2の正極負荷端子T13および負極負荷端子T14の間に負荷40が接続される。

【0089】

以上、本発明の実施形態を、図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、本発明の趣旨を逸脱しない範囲で適宜変更を加えることができる。

例えば、熱電材料としてビスマス・テルライドから作られる材料としたが、これ以外の材料であっても、抵抗値などのパラメータが適合するものであればよい。

また、単層熱電素子として前述の熱電材料23の形状に限らず、他の形状、例えば、断面積や熱流方向の寸法が、前述した熱電材料23とは異なったものでもよい。形状に応じて昇圧回路を構成する各素子の素子パラメータ、即ち抵抗値やインダクタの値が適したものに变更されたものでもよい。

また、単層熱電素子を直列にいくつか或いは多段接続したものをを用いる場合にも、同様に各素子パラメータをそれに適したものに变更してもよい。

【0090】

なお、制御装置30は上述したように内部にコンピュータを有していてもよい。この場合、制御装置30の各処理の過程は、プログラムの形式でコンピュータ読み取り可能な記録媒体に記憶されており、このプログラムをコンピュータが読み出して実行することによって、上記処理が行われる。ここでコンピュータ読み取り可能な記録媒体とは、磁気ディスク、光磁気ディスク、CD-ROM、DVD-ROM、半導体メモリ等をいう。また、このコンピュータプログラムを通信回線によってコンピュータに配信し、この配信を受けたコンピュータが当該プログラムを実行するようにしてもよい。

【0091】

また、上記プログラムは、前述した機能の一部を実現するためのものであってもよい。

10

20

30

40

50

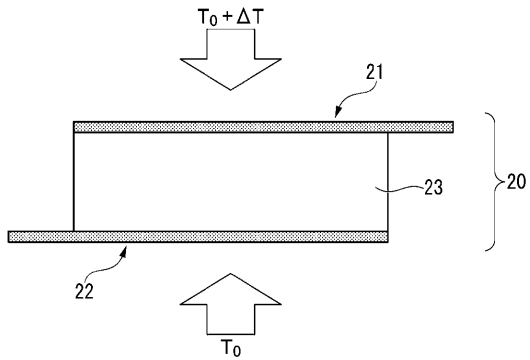
さらに、前述した機能をコンピュータシステムにすでに記録されているプログラムとの組み合わせで実現できるもの、いわゆる差分ファイル（差分プログラム）であってもよい。

【符号の説明】

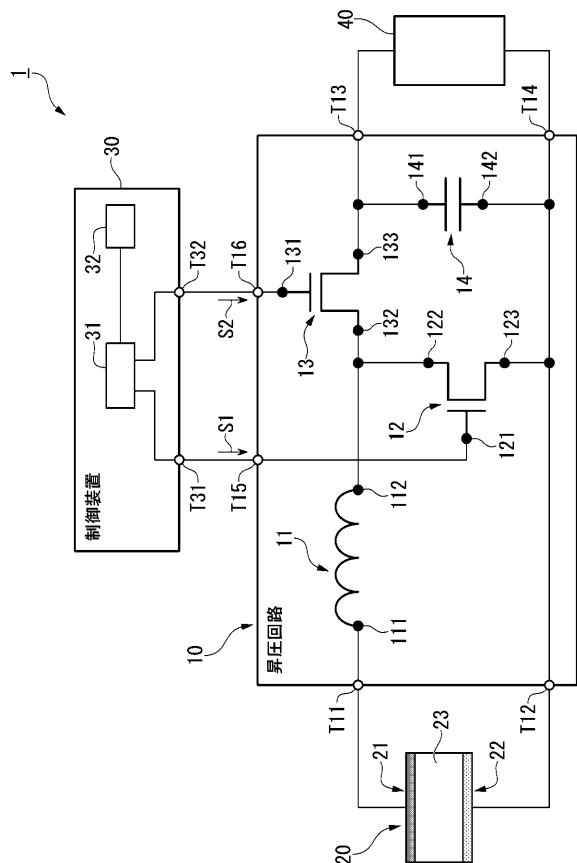
【0092】

1 ... 昇圧装置、10 ... 昇圧回路、11 ... 誘導素子、12 ... 第1スイッチ素子、13 ... 第2スイッチ素子、14 ... 容量素子、20 ... 単層熱電素子、30 ... 制御装置、40 ... 負荷

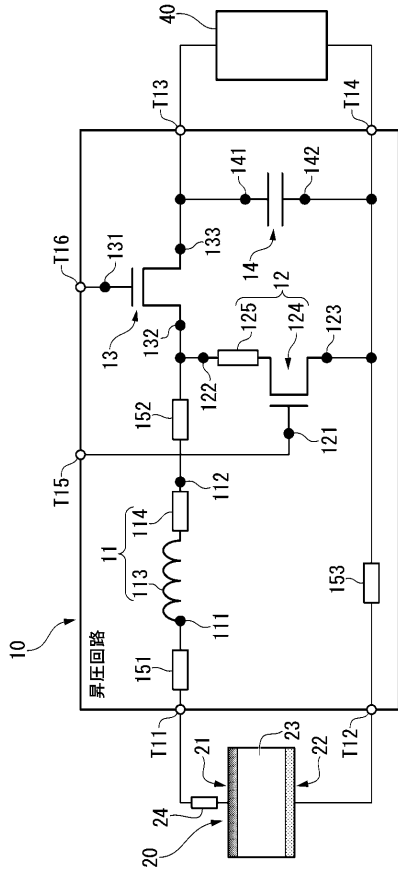
【図1】



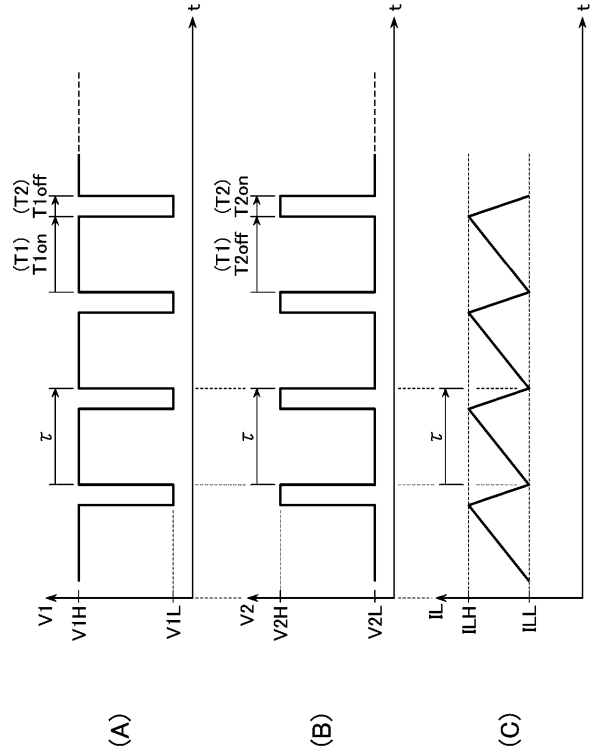
【図2】



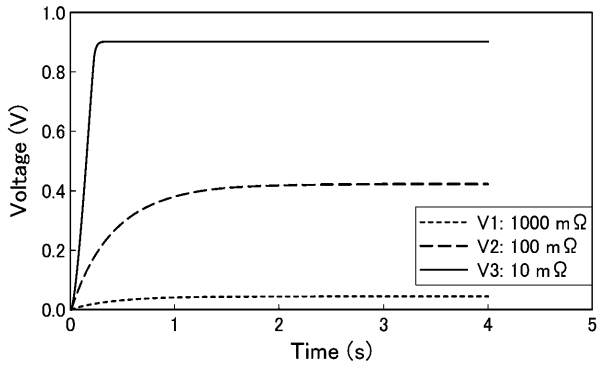
【 図 3 】



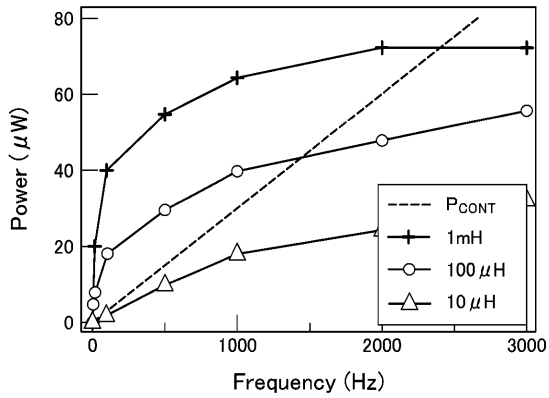
【 図 4 】



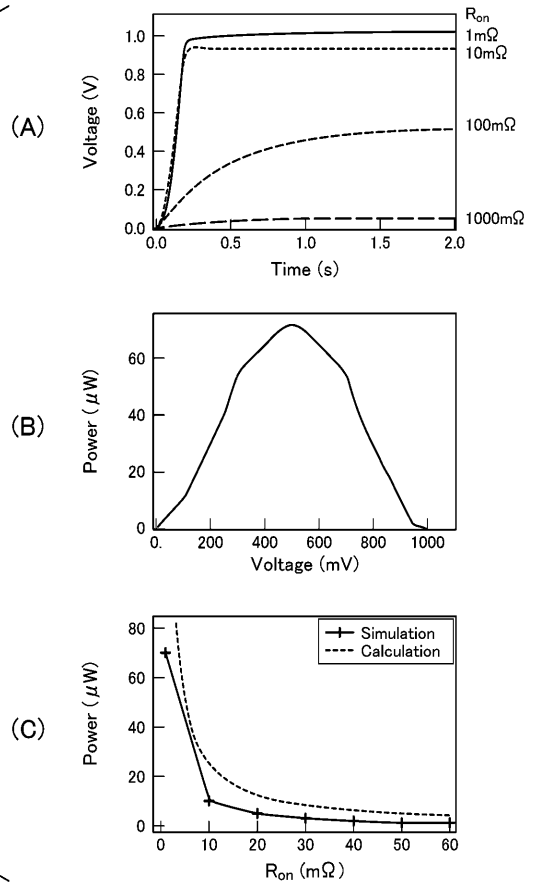
【 図 5 】



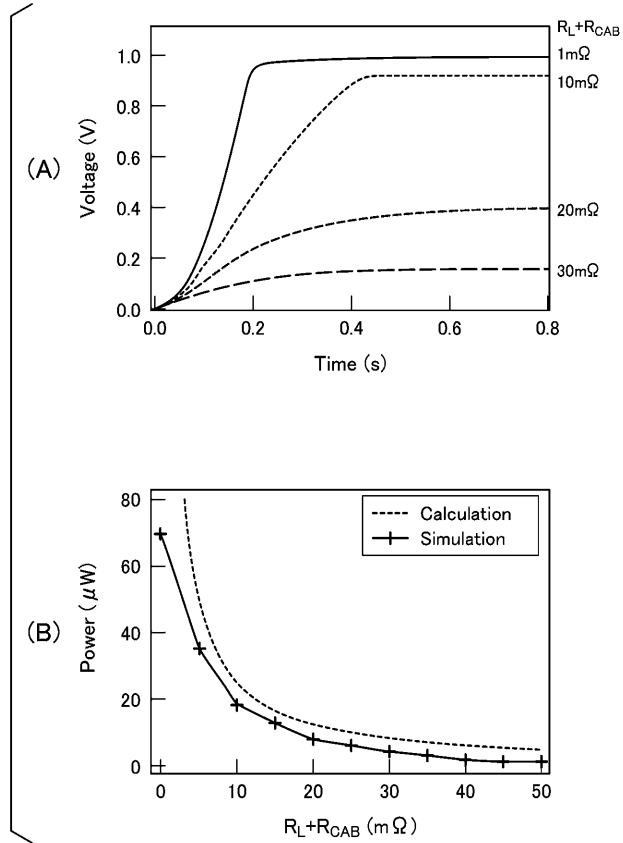
【 図 6 】



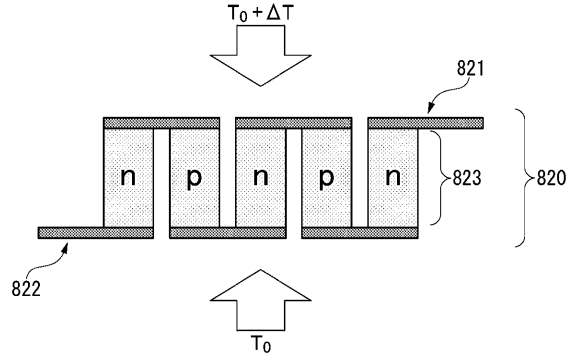
【 図 7 】



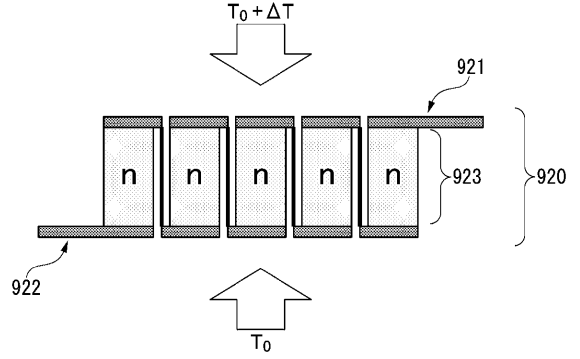
【 8 】



【 9 】



【 10 】



フロントページの続き

特許法第30条第2項適用申請有り (1) 発行日(公開日) 令和4年8月23日 刊行物 2022年
電子情報通信学会 ソサイエティ大会 講演論文集 PDF閲覧 *参加者専用アドレスより公開(参加者のみ
閲覧可) (公開アドレスURL: <https://www.ieice-taikai.jp/2022society/jpn/pdfdownload.html>) <資料> 2022年 電子情報通信学会 ソ
サイエティ大会 開催日程 <資料> 講演論文集 掲載研究論文 (2) 開催日 令和4年9月8日 集
会名 電子情報通信学会 ソサイエティ大会 (会期: 令和4年9月6日~9日) オンライン開催 <資料
> 2022年 電子情報通信学会 ソサイエティ大会 プログラム <資料> オンライン研究発表資料

(72)発明者 イン コウ

福岡県福岡市西区元岡744 国立大学法人九州大学内

Fターム(参考) 5H730 AS04 BB14 DD04 EE13 FF09