

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7872049号
(P7872049)

(45)発行日 令和8年6月9日(2026.6.9)

(24)登録日 令和8年6月1日(2026.6.1)

(51)Int. Cl.	F I
H O 2 M 3/155 (2006.01)	H O 2 M 3/155 B
H O 2 M 1/08 (2006.01)	H O 2 M 1/08 A

請求項の数 19 (全 26 頁)

(21)出願番号 特願2023-511131(P2023-511131)	(73)特許権者 503360115 国立研究開発法人科学技術振興機構 埼玉県川口市本町四丁目1番8号
(86)(22)出願日 令和4年3月24日(2022.3.24)	
(86)国際出願番号 PCT/JP2022/014036	
(87)国際公開番号 W02022/210273	(74)代理人 110004370 弁理士法人片山特許事務所
(87)国際公開日 令和4年10月6日(2022.10.6)	
審査請求日 令和7年2月27日(2025.2.27)	(72)発明者 矢嶋 越彬 福岡県福岡市西区元岡744 九州大学内
(31)優先権主張番号 特願2021-57530(P2021-57530)	
(32)優先日 令和3年3月30日(2021.3.30)	
(33)優先権主張国・地域又は機関 日本国(JP)	審査官 安食 泰秀
	最終頁に続く

(54)【発明の名称】スイッチ回路および電源回路

(57)【特許請求の範囲】

【請求項1】

第1制御端子に与えられる電圧に応じて発電素子と蓄電器との接続状態が制御される第1スイッチング素子と、

ラッチ回路を含み、前記第1スイッチング素子がオンまたはオフするように前記第1制御端子の電圧を制御する制御回路とを備え、

前記ラッチ回路は、

前記蓄電器の両端間の電圧差が初期状態から時間とともに大きくなると、前記電圧差が前記初期状態よりも大きい第1所定値になるまで、前記第1スイッチング素子をオンさせつづける第1電圧を前記第1制御端子に出力し、

前記電圧差が前記第1所定値を超えると、前記電圧差が前記第1所定値よりも小さい第2所定値を下回るまで、前記第1スイッチング素子をオフさせつづける第2電圧を前記第1制御端子に出力する、

スイッチ回路。

【請求項2】

前記発電素子は、交流電流を出力する発電部と、前記交流電流を整流する整流回路と、を備える請求項1に記載のスイッチ回路。

【請求項3】

前記蓄電器は、その一端が基準電位に接続され、その他端が前記第1スイッチング素子により、前記発電素子との接続状態が制御され、

前記第 1 スイッチング素子はエンハンスメント型 F E T であり、前記制御回路は、前記第 1 電圧として前記第 1 スイッチング素子の前記発電素子側の端子の電圧を出力し、前記第 2 電圧として前記基準電位を出力する請求項 2 に記載のスイッチ回路。

【請求項 4】

前記整流回路は前記基準電位に対して正の電圧を発生し、

前記第 1 スイッチング素子はエンハンスメント型 N F E T である請求項 3 に記載のスイッチ回路。

【請求項 5】

前記整流回路は前記基準電位に対して負の電圧を発生し、

前記第 1 スイッチング素子はエンハンスメント型 P F E T である請求項 3 に記載のスイッチ回路。

10

【請求項 6】

前記蓄電器は、その一端が基準電位に接続され、その他端が前記第 1 スイッチング素子により、前記発電素子との接続状態が制御され、

前記第 1 スイッチング素子はエンハンスメント型 F E T であり、前記制御回路は、前記第 1 電圧として前記基準電位を出力し、前記第 2 電圧として前記第 1 スイッチング素子の前記発電素子側の端子の電圧を出力する請求項 2 に記載のスイッチ回路。

【請求項 7】

前記整流回路は前記基準電位に対して正の電圧を発生し、

前記第 1 スイッチング素子はエンハンスメント型 P F E T である請求項 6 に記載のスイッチ回路。

20

【請求項 8】

前記整流回路は前記基準電位に対して負の電圧を発生し、

前記第 1 スイッチング素子はエンハンスメント型 N F E T である請求項 6 に記載のスイッチ回路。

【請求項 9】

エンハンスメント型 F E T であり、第 2 制御端子に与えられる電圧に応じて前記第 1 スイッチング素子と前記蓄電器との接続状態が制御される第 2 スイッチング素子を備え、

前記制御回路は、前記電圧差が前記初期状態から、時間とともに大きくなると前記電圧差が前記第 1 所定値になるまで前記第 2 制御端子に前記基準電位を出力し、前記電圧差が前記第 1 所定値を超えると、前記電圧差が前記第 2 所定値を下回るまで前記第 2 制御端子に前記第 2 スイッチング素子の前記蓄電器側の端子の電圧を出力する請求項 6 から 8 のいずれか一項に記載のスイッチ回路。

30

【請求項 10】

第 3 制御端子に与えられる電圧に応じて前記第 1 制御端子と前記基準電位との間の接続状態を制御する第 3 スイッチング素子を備え、

前記蓄電器は、その一端が前記基準電位に接続され、その他端が前記第 1 スイッチング素子により、前記発電素子との接続状態が制御され、

前記第 1 制御端子は前記発電素子と容量結合され、

前記第 1 スイッチング素子はエンハンスメント型 F E T であり、

40

前記制御回路は、前記電圧差が前記第 1 所定値になるまで前記第 3 制御端子に前記基準電位を出力しつづけ、前記電圧差が前記第 1 所定値を超えると、前記電圧差が前記第 2 所定値を下回るまで前記第 3 制御端子に前記蓄電器の他端の電圧を出力する請求項 6 に記載のスイッチ回路。

【請求項 11】

前記第 1 スイッチング素子より耐圧が低く、前記第 1 制御端子に与えられる電圧に応じて前記第 1 スイッチング素子と前記蓄電器との間の接続状態を制御する第 4 スイッチング素子と、

前記第 1 スイッチング素子と前記第 4 スイッチング素子との間の電圧が第 3 所定値を超えないように制限する制限素子と、

50

を備える請求項 10 に記載のスイッチ回路。

【請求項 12】

前記制御回路は、前記電圧差が前記第 2 所定値を下回ると、前記ラッチ回路のラッチ状態をリセットし、前記第 1 スイッチング素子をオンさせる前記第 1 電圧を前記第 1 スイッチング素子の制御端子に出力する、

請求項 1 に記載のスイッチ回路。

【請求項 13】

前記初期状態では、前記蓄電器の両端間の前記電圧差が 0 V である請求項 1 から 12 のいずれか一項に記載のスイッチ回路。

【請求項 14】

請求項 1 から 13 のいずれか一項に記載のスイッチ回路と、
前記発電素子の出力電力を変換する電力変換回路と、
を備え、

前記スイッチ回路は、前記電圧差が前記第 1 所定値を超えると、前記電力変換回路に前記電力変換回路を起動させる信号を出力する電源回路。

【請求項 15】

第 1 制御端子に与えられる電圧に応じて発電素子と蓄電器との接続状態が制御される第 1 スイッチング素子と、前記第 1 スイッチング素子がオンまたはオフするように前記第 1 制御端子の電圧を制御する制御回路とを有するスイッチ回路と、

前記発電素子の出力電力を変換する電力変換回路と、
を備え、

前記制御回路は、

前記蓄電器の両端間の電圧差が初期状態から時間とともに大きくなると、前記電圧差が前記初期状態よりも大きい第 1 所定値になるまで、前記第 1 スイッチング素子をオンさせつづける第 1 電圧を前記第 1 制御端子に出力し、

前記電圧差が前記第 1 所定値を超えると、前記電力変換回路に前記電力変換回路を起動させる信号を出力し、前記電圧差が前記第 1 所定値よりも小さい第 2 所定値を下回るまで、前記第 1 スイッチング素子をオフさせつづける第 2 電圧を前記第 1 制御端子に出力する、

電源回路。

【請求項 16】

前記制御回路は、前記電圧差が前記第 1 所定値を超えると、前記電圧差が前記第 2 所定値を下回るまで、前記第 1 スイッチング素子をオフしつづける請求項 14 または 15 に記載の電源回路。

【請求項 17】

前記制御回路は、前記電圧差が前記第 1 所定値を超えると、前記第 1 スイッチング素子をオフし、かつ前記電力変換回路に前記電力変換回路を起動させる信号を出力する請求項 14 から 16 のいずれか一項に記載の電源回路。

【請求項 18】

前記電力変換回路は、インダクタを備え、前記発電素子から入力する第 3 電圧を第 4 電圧に変換する電圧変換回路である請求項 14 から 17 のいずれか一項に記載の電源回路。

【請求項 19】

前記制御回路は、前記電圧差が前記第 1 所定値を超えたか否かを判定する判定回路と、前記電圧差が前記第 1 所定値を超えたとき、前記判定回路が判定したとき、前記起動させる信号を生成する生成回路と、を備える請求項 14 から 18 のいずれか一項に記載の電源回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチ回路および電源回路に関する。

10

20

30

40

【背景技術】

【0002】

振動発電素子から発生される電力を変換する電力変換回路内の制御回路を動作させる電力として、かかる振動発電素子自体から発生した電力を用いるため、振動発電素子等の発電素子が発電した電力を、キャパシタ等の蓄電器に蓄電し、制御回路に供給することが知られている。その際には発電素子の出力と蓄電器とを直接接続する機能を有するコールドスタートスイッチを設け、蓄電器に蓄電された電力により、回路の制御を開始する。その後、発電素子からの電圧が高くなった際に、発電素子の出力と蓄電器との接続を遮断して、コールドスタートスイッチにおける消費電力を低下させる。（特許文献1の図5）。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2014-33494

【発明の概要】

【発明が解決しようとする課題】

【0004】

コールドスタートスイッチは、必要な電力をできるだけ安定して供給できるようにすることが望ましい。しかしながら、振動発電素子のように振動に出力の変化が大きい場合、コールドスタートスイッチのオン、オフを適切なタイミングで行うことが難しい。その場合には発電素子から発生した電力の利用効率が低下する。

【0005】

本発明は、上記課題に鑑みなされたものであり、コールドスタートスイッチのオン、オフの制御を適切なタイミングで行えるようにし、発電素子から発生した電力の利用効率を改善したスイッチ回路および電源回路を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明のスイッチ回路は、第1制御端子に与えられる電圧に応じて発電素子と蓄電器との接続状態が制御される第1スイッチング素子と、ラッチ回路を含み、前記第1スイッチング素子がオンまたはオフするように前記第1制御端子の電圧を制御する制御回路とを備え、前記ラッチ回路は、前記蓄電器の両端間の電圧差が初期状態から時間とともに大きくなると、前記電圧差が前記初期状態よりも大きい第1所定値になるまで、前記第1スイッチング素子をオンさせつづける第1電圧を前記第1制御端子に出力し、前記電圧差が前記第1所定値を超えると、前記電圧差が前記第1所定値よりも小さい第2所定値を下回るまで、前記第1スイッチング素子をオフさせつづける第2電圧を前記第1制御端子に出力する。

【0007】

上記構成において、前記発電素子は、交流電流を出力する発電部と、前記交流電流を整流する整流回路と、を備える構成とすることができる。

【0008】

上記構成において、前記蓄電器は、その一端が基準電位に接続され、その他端が前記第1スイッチング素子により、前記発電素子との接続状態が制御され、前記第1スイッチング素子はエンハンスメント型FETであり、前記制御回路は、前記第1電圧として前記第1スイッチング素子の前記発電素子側の端子の電圧を出力し、前記第2電圧として前記基準電位を出力する構成とすることができる。

【0009】

上記構成において、前記整流回路は前記基準電位に対して正の電圧を発生し、前記第1スイッチング素子はエンハンスメント型N FETである構成とすることができる。

【0010】

上記構成において、前記整流回路は前記基準電位に対して負の電圧を発生し、前記第1スイッチング素子はエンハンスメント型P FETである構成とすることができる。

10

20

30

40

50

【0011】

上記構成において、前記蓄電器は、その一端が基準電位に接続され、その他端が前記第1スイッチング素子により、前記発電素子との接続状態が制御され、前記第1スイッチング素子はエンハンスメント型FETであり、前記制御回路は、前記第1電圧として前記基準電位を出力し、前記第2電圧として前記第1スイッチング素子の前記発電素子側の端子の電圧を出力する構成とすることができる。

【0012】

上記構成のうち前記第1スイッチング素子がエンハンスメント型NFTでない場合において、前記整流回路は前記基準電位に対して正の電圧を発生し、前記第1スイッチング素子はエンハンスメント型PFETである構成とすることができる。

10

【0013】

上記構成のうち前記第1スイッチング素子がエンハンスメント型PFETでない場合において、前記整流回路は前記基準電位に対して負の電圧を発生し、前記第1スイッチング素子はエンハンスメント型NFTである構成とすることができる。

【0014】

上記構成において、エンハンスメント型FETであり、第2制御端子に与えられる電圧に応じて前記第1スイッチング素子と前記蓄電器との接続状態が制御される第2スイッチング素子を備え、前記制御回路は、前記蓄電器の両端間の電圧差が初期状態から、時間とともに大きくなると前記電圧差が前記第1所定値になるまで前記第2制御端子に前記基準電位を出力し、前記電圧差が前記第1所定値を超えると、前記電圧差が前記第2所定値を下回るまで前記第2制御端子に前記第2スイッチング素子の前記蓄電器側の端子の電圧を出力する構成とすることができる。

20

【0015】

上記構成において、第3制御端子に与えられる電圧に応じて前記第1制御端子と基準電位との間の接続状態を制御する第3スイッチング素子を備え、前記蓄電器は、その一端が基準電位に接続され、その他端が前記第1スイッチング素子により、前記発電素子との接続状態が制御され、前記第1制御端子は前記発電素子と容量結合され、前記第1スイッチング素子はエンハンスメント型FETであり、前記制御回路は、前記電圧差が前記第1所定値になるまで前記第3制御端子に前記基準電位を出力しつづけ、前記電圧差が前記第1所定値を超えると、前記電圧差が前記第2所定値を下回るまで前記第3制御端子に前記蓄電器の他端の電圧を出力する構成とすることができる。

30

【0016】

上記構成において、前記第1スイッチング素子より耐圧が低く、前記第1制御端子に与えられる電圧に応じて前記第1スイッチング素子と前記蓄電器との間の接続状態を制御する第4スイッチング素子と、前記第1スイッチング素子と前記第4スイッチング素子との間の電圧が第3所定値を超えないように制限する制限素子と、を備える構成とすることができる。

【0018】

上記構成において、前記制御回路は、前記電圧差が前記第2所定値を下回ると、前記ラッチ回路のラッチ状態をリセットし、前記第1スイッチング素子の制御端子に前記第1スイッチング素子をオンさせる前記第1電圧を出力する制御回路である構成とすることができる。

40

【0019】

上記構成において、前記初期状態では、前記蓄電器の両端間の電圧差が0Vである構成とすることができる。

【0020】

本発明の電源回路は、第1制御端子に与えられる電圧に応じて発電素子と蓄電器との接続状態が制御される第1スイッチング素子と、前記第1スイッチング素子がオンまたはオフするように前記第1制御端子の電圧を制御する制御回路とを有するスイッチ回路と、前記発電素子の出力電力を変換する電力変換回路と、を備える。前記制御回路は、前記蓄電

50

器の両端間の電圧差が初期状態から時間とともに大きくなると、前記電圧差が前記初期状態よりも大きい第1所定値になるまで、前記第1スイッチング素子をオンさせつづける第1電圧を前記第1制御端子に出力し、前記電圧差が前記第1所定値を超えると、前記電力変換回路に前記電力変換回路を起動させる信号を出力し、前記電圧差が前記第1所定値よりも小さい第2所定値を下回るまで、前記第1スイッチング素子をオフさせつづける第2電圧を前記第1制御端子に出力する。

【0021】

上記構成において、前記制御回路は、前記電圧差が前記第1所定値を超えると、前記電圧差が前記第2所定値を下回るまで、前記第1スイッチング素子をオフしつづける構成とすることができる。

10

【0022】

上記構成において、前記制御回路は、前記電圧差が前記第1所定値を超えると、前記第1スイッチング素子をオフし、かつ前記電力変換回路に前記電力変換回路を起動させる信号を出力する構成とすることができる。

【0023】

上記構成において、前記電力変換回路は、インダクタを備え、前記発電素子から入力する第3電圧を第4電圧に変換する電圧変換回路である構成とすることができる。

【0024】

上記構成において、前記制御回路は、前記電圧差が前記第1所定値を超えたか否かを判定する判定回路と、前記電圧差が前記第1所定値を超えたとき前記判定回路が判定したとき、前記起動させる信号を生成する生成回路と、を備える構成とすることができる。

20

【発明の効果】

【0025】

本発明によれば、コールドスタートスイッチのオン、オフの制御を適切なタイミングで行えるようにしたスイッチ回路および電源回路を提供することができる。

【図面の簡単な説明】

【0026】

【図1】図1は、実施例に係るスイッチ回路が用いられる電源回路を示す回路図である。

【図2】図2は、実施例に係るスイッチ回路が用いられる電圧変換回路における時間に対するスイッチのオンおよびオフ、インダクタを流れる電流 I_L を示す図である。

30

【図3】図3(a)および図3(b)は、実施例1に係るスイッチ回路の回路図である。

【図4】図4は、実施例1に係るスイッチ回路の回路図である。

【図5】図5は、実施例1における制御回路の回路図である。

【図6】図6は、実施例1における判定回路の回路図である。

【図7】図7は、実施例1に係るスイッチ回路の各電圧およびFETのオン／オフの時間変化を示す図である。

【図8】図8(a)および図8(b)は、実施例1におけるラッチ回路の回路図である。

【図9】図9(a)および図9(b)は、実施例1の変形例1に係るスイッチ回路の回路図である。

40

【図10】図10は、実施例1の変形例1に係るスイッチ回路の回路図である。

【図11】図11は、実施例1の変形例1に係るスイッチ回路の各電圧およびFETのオン／オフの時間変化を示す図である。

【図12】図12(a)および図12(b)は、実施例1の変形例2に係るスイッチ回路の回路図である。

【図13】図13は、実施例2に係るスイッチ回路の各電圧、電流およびFETのオン／オフの時間変化を示す図である。

【図14】図14は、実施例2の変形例1に係るスイッチ回路の各電圧、電流およびFETのオン／オフの時間変化を示す図である。

【図15】図15は、実施例3に係るスイッチ回路の回路図である。

50

【図 16】図 16 は、実施例 4 に係るスイッチ回路の回路図である。

【図 17】図 17 は、実施例 4 の変形例 1 に係るスイッチ回路の回路図である。

【図 18】図 18 は、実施例 1 から 4 およびその変形例のスイッチ回路が用いられるシステムを示すブロック図である。

【発明を実施するための形態】

【0027】

以下、図面を参照し、実施例について説明する。

【実施例 1】

【0028】

図 1 は、実施例に係るスイッチ回路が用いられる電源回路を示す回路図である。図 1 に示すように、電源回路は、電圧変換回路 12 およびスイッチ回路 20 を備えている。スイッチ回路 20 はコールドスタートスイッチ CSW と制御回路 16 を備えている。コールドスタートスイッチ CSW は入力端子 T_{in} と出力端子 T_{out} の間をオンオフするスイッチである。制御回路 16 は、コールドスタートスイッチ CSW のオンオフを制御する。また、制御回路 16 は、電圧変換回路 12 に電圧変換回路 12 を起動させるイネーブル信号 V_{en} を出力する。発電素子 10 の出力はスイッチ回路 20 の入力端子 T_{in} および電圧変換回路 12 の入力端子 T₁ に入力する。発電素子 10 は、例えば振動発電素子等の環境発電素子である発電ユニット 10a と整流回路 10b との組みあわせで構成されている。発電ユニット（発電部）10a が交流電流を出力する場合、発電ユニット 10a が出力した交流電流は整流回路 10b により整流され入力端子 T_{in} に入力する。

10

20

【0029】

振動発電素子は、例えば圧電材料を用いた圧電素子または MEMS（Micro Electro Mechanical Systems）を用いた MEMS 素子である。振動発電素子は、例えば道路または橋梁等に設けられており、歩行者または車両など通過時の振動により発電する。発電素子 10 の発電電力は微小電力であり、時間とともに変化する。実施例 1 は、発電素子 10 とした出力がグランドに対し正となる整流回路 10b を有する場合の例である。この場合、キャパシタ C₂ の電圧 V₂ は正である。このように、発電素子 10 はグランド（基準電位）に対して一方の極性の電圧を発生させる素子である。

【0030】

スイッチ回路 20 の出力端子 T_{out} はキャパシタ C₂ の一端に接続されている。キャパシタ C₂ は蓄電器である。電圧変換回路 12 の出力端子 T₂ はキャパシタ C₂ の一端に接続されている。スイッチ回路 20 の出力端子 T_{out} の電圧 V_{out} と電圧変換回路 12 の出力端子 T₂ の電圧 V₂ は、ともにキャパシタ C₂ のグランドに対する電圧となる。以下では、電圧変換回路 12 の動作を説明する場合にはキャパシタ C₂ の電圧として電圧 V₂ を用いるが、その他の説明にはキャパシタ C₂ の電圧として電圧 V_{out} を用い説明する。

30

【0031】

電圧変換回路 12 は入力端子 T₁ の電圧 V₁ をキャパシタ C₂ の電圧 V₂ に変換して出力端子 T₂ に出力する。電圧 V₁ を入力端子 T₁ に入力する電流で除した値は電圧変換回路 12 の入力インピーダンスに相当する。電圧変換回路 12 の入力インピーダンスと発電素子 10 の出力インピーダンスとが整合するよう電圧変換回路 12 の各素子の値が予め設定されている。電圧変換回路 12 内の制御部 14 を含む各部は発電素子 10 からキャパシタ C₂ に蓄積された電力を用い動作する。

40

【0032】

電圧変換回路 12 の入力端子 T₁ と出力端子 T₂ との間にノード N₀₁～N₀₃ が設けられている。スイッチ SW₁ の一端はノード N₀₁ に接続され、他端はノード N₀₂ に接続されている。インダクタ L₁ の一端はノード N₀₂ に接続され、他端はノード N₀₃ に接続されている。スイッチ SW₄ の一端はノード N₀₃ に接続され、他端は出力端子 T₂ に接続されている。1 次側のキャパシタ C₁ の一端はノード N₀₁ に接続され、他端はグランド（基準電位）に接続されている。スイッチ SW₂ の一端はノード N₀₂ に接続し、

50

他端はグラウンドに接続されている。スイッチSW3の一端はノードN03に接続され、他端はグラウンドに接続されている。2次側のキャパシタC2の一端は出力端子T2に接続され、他端はグラウンドに接続されている。スイッチSW1～SW4はそれぞれ制御信号S1～S4に基づきオンまたはオフとなる。電圧変換回路12の制御部14にはイネーブル信号Venおよび電圧Voutが入力し、当該制御部14は制御信号S1～S4を出力する。制御部14および制御回路16は、例えば専用の回路でもよいし、プロセッサ等でもよい。

【0033】

図2は、実施例に係るスイッチ回路が用いられる電圧変換回路における時間に対するスイッチのオンおよびオフ、インダクタを流れる電流ILを示す図である。

10

【0034】

発電素子10が発電を始める前、キャパシタC2の電圧Voutは低く、例えば0Vである。電圧Voutが低いとき、コールドスタートスイッチCSWはオンし、発電素子10の出力を電圧変換回路12を介さずキャパシタC2に接続する。電圧変換回路12に、電圧変換回路12が実質的に動作する電力が供給されないため、電圧変換回路12は動作しない。例えば制御信号S1～S4は0Vであり、このときスイッチSW1～SW4はオフである。キャパシタC2の電圧Voutが電圧変換回路12を動作させるのに十分な大きになると、制御回路16はコールドスタートスイッチCSWをオフし、電圧変換回路12にイネーブル信号Venを出力する。これにより、電圧変換回路12が起動し、動作を開始する。電圧変換回路12の制御部14は、スイッチSW1～SW4を制御し始める。

20

【0035】

時刻t00において、電圧V2の値はV21である。制御部14はスイッチSW1～SW4をオフに維持している。発電素子10の発電電流によりキャパシタC1に蓄積された電荷が増加し、電圧V1が徐々に増加する。電圧V1の値が閾値電圧V11を越えると、時刻t01において制御部14は、スイッチSW1およびSW3をオンし、スイッチSW2およびSW4のオフを維持する。これにより、キャパシタC1からノードN01、スイッチSW1、インダクタL1およびスイッチSW3を介しグラウンドに電流ILが流れはじめる。時刻t01とt02の間において、電流ILは徐々に増加し、キャパシタC1の電荷が放出されるため、電圧V1は徐々に減少する。インダクタL1には磁界エネルギーが蓄積される。

30

【0036】

時刻t02において、電圧V1の値はV12となる。電圧V2の値はV21である。電流ILはIL1で最大となる。制御部14は、スイッチSW1およびSW3をオフし、スイッチSW2およびSW4をオンする。時刻t02とt03の間において、インダクタL1に蓄積された磁界エネルギーにより電流ILがグラウンドからスイッチSW2、インダクタL1およびスイッチSW4を流れ、キャパシタC2が充電される。電圧V2が上昇する。

【0037】

時刻t03において、制御部14は、スイッチSW2およびSW4をオフにし、スイッチSW1およびSW3のオフを維持する。時刻t03以降において、電流ILは0であり、電圧V1の値はV12、電圧V2の値はV22である。電圧値V21およびV22は電圧値V11およびV12より低くてもよいし、高くてもよい。以上のように、スイッチSW1～SW4がオフのときに発電素子10から入力端子T1に電流が入力すると、キャパシタC1が充電される。キャパシタC1のノードN01側のグラウンドに対する電圧が入力端子T1の電圧V1の値が閾値電圧V11に達し、電圧変換回路12が動作すると、キャパシタC1の電荷がキャパシタC2に移動する。キャパシタC2の出力端子T2側のグラウンドに対する電圧が出力端子T2の電圧V2となる。

40

【0038】

図3(a)および図3(b)は、実施例1に係るスイッチ回路の回路図である。図3(

50

a) に示すように、実施例 1 では、コールドスタートスイッチ C S W としてエンハンスメントモード（ノーマリーオフモード）の N F E T M 1 1 を用いる。N F E T M 1 1 の閾値電圧は正である。N F E T M 1 1 のソースは出力端子 T o u t に接続され、ドレインは入力端子 T i n に接続されている。ソースとドレインのうち出力端子 T o u t に接続された端子が第 1 端子であり、入力端子 T i n に接続された端子が第 2 端子である。ゲートは制御端子である。コールドスタートスイッチ C S W は、電圧 V o u t が所定の参照電圧 V r e f 以下のときオンし、電圧 V o u t が参照電圧 V r e f より大きいときオフするように制御される。そこで、電圧 V o u t が参照電圧 V r e f 以下のとき、N F E T M 1 1 のゲートは無電源でドレインに接続される。これにより、電圧 V o u t に対する電圧 V i n が N F E T M 1 1 の閾値電圧以上となれば N F E T M 1 1 はオンする。図 3（b）に示すように、電圧 V o u t が参照電圧 V r e f より高いとき、N F E T M 1 1 のゲートにグラウンド電位が印加される。これにより、N F E T M 1 1 はオフする。

10

【0039】

以上のように、キャパシタ C 2 の電圧 V o u t が参照電圧 V r e f より低いとき、コールドスタートスイッチ C S W は制御回路に制御されず無電源でオンする。電圧 V o u t が参照電圧 V r e f より高いときコールドスタートスイッチ C S W はオフする。

【0040】

図 4 は、実施例 1 に係るスイッチ回路の回路図である。図 4 に示すように、スイッチ回路 2 0 は N F E T M 1 1 および回路 1 7 を備えている。回路 1 7 は、図 3（a）のように、電圧 V o u t が参照電圧 V r e f 以下のとき、N F E T M 1 1 がオンするようにゲートに電圧 V G を印加し、図 3（b）のように、電圧 V o u t が参照電圧 V r e f より大きいとき、N F E T M 1 1 がオフするようにゲートに電圧 V G を印加する回路である。

20

【0041】

N F E T M 1 1 はエンハンスメントモードであり、ソースは出力端子 T o u t に接続され、ドレインは入力端子 T i n に接続されている。ラッチ回路 1 8 の電源端子 T p は N F E T M 1 1 のドレインに接続されている。基準電位端子 T g はグラウンドに接続されている。出力端子 T q 1 は N F E T M 1 1 のゲートに接続されている。制御回路 1 6 は電圧 V o u t に基づき、ラッチ回路 1 8 のセット端子 T s e t およびリセット端子 T r s t にそれぞれ電圧 V s e t および V r s t を出力する。ラッチ回路 1 8 は、端子 T s e t に電圧 V s e t としてハイレベルが入力すると、端子 T r s t にハイレベルが入力するまで、出力端子 T q 1 に電源端子 T p の電圧 V i n を出力する。また、ラッチ回路 1 8 は、端子 T r s t に電圧 V r s t としてハイレベルが入力すると、端子 T s e t にハイレベルが入力するまで、出力端子 T q 1 に基準電位端子 T g の電圧 0 V を出力する。

30

【0042】

図 5 は、実施例 1 における制御回路 1 6 の回路図である。図 5 に示すように、電圧 V o u t は判定回路 2 2 および 2 4 に入力する。判定回路 2 2 および 2 4 は、電圧 V o u t がそれぞれ参照電圧 V r e f 1 および V r e f 2 以上のとき電圧 V 0 1 および V 0 2 として電圧 V o u t を出力し、それぞれ参照電圧 V r e f 1 および V r e f 2 より低いとき電圧 V 0 1 および V 0 2 としてグラウンド電位 0 V を出力する。

【0043】

40

スパイク生成回路 2 6 は、電圧 V 0 1 および V 0 2 がともにハイレベルとなるとリセット電圧 V r s t としてスパイク信号を出力する。スパイク生成回路 2 8 は電圧 V 0 1 および V 0 2 がともにローレベルとなるとセット電圧 V s e t としてスパイク信号を出力する。スパイク生成回路 2 6 および 2 8 は、クロック信号を必要とせず、F E T で構成され、出力パルス幅を発生する際だけ電力を消費するため、消費電力が小さい。したがって、発電素子として振動から発電する圧電素子などの微小起電力素子の制御回路を構成する回路として最適である。スパイク信号は、単発の信号であり、スパイク信号のパルス幅に対しスパイク信号の間隔が十分に広い信号である。

【0044】

図 6 は、実施例 1 における判定回路の回路図である。図 6 に示すように、判定回路 2 2

50

および24では、電圧 V_{out} が入力端子とグランドとの間にダイオードD1が順方向に、ダイオードD2が逆方向に直列に接続されている。判定回路22および24は回路素子の接続状態は同じであるが、そのダイオードD1とD2の大きさは後述するように別々に設定されている。ダイオードD1とD2との間のノードN1はインバータIv1およびIv2を介し電圧V01およびV02を出力する。インバータIv1およびIv2は電圧 V_{out} を電源電圧とする。ダイオードD2を流れる逆方向電流は両端の電圧によらずほぼ一定である。ダイオードD1を流れる順方向電流は両端の電圧に依存する。電圧 V_{out} が低い範囲では電圧 V_{out} が上昇してもノードN1の電圧はほとんど上昇しないが、電圧 V_{out} が高い範囲では電圧 V_{out} が上昇するとノードN1の電圧は急激に上昇する。電圧 V_{out} が低いとき、ノードN1の電圧は低くインバータIv1は電圧 V_{out} を出力し、インバータIv1はグランド電位0Vを出力する。電圧 V_{out} の電圧が上昇することでノードN1の電圧が急激に上昇すると、ノードN1の電圧はインバータIv1の閾値電圧以上となる。インバータIv1はグランド電位0Vを出力しインバータIv2は電圧 V_{out} を出力する。

10

【0045】

ダイオードD1とD2の大きさを適切に設定することで、電圧 V_{out} が任意の参照電圧以上のときインバータIv2は電圧 V_{out} を出力し、電圧 V_{out} が参照電圧より低いときグランド電位0Vを出力するように設定できる。例えばダイオードD1をD2より大きくすると参照電圧を高くでき、ダイオードD1をD2より小さくすると参照電圧を低くできる。判定回路22では参照電圧を V_{ref1} とし、判定回路24では参照電圧を V_{ref1} より高い V_{ref2} とするように判定回路22および24内のダイオードD1とD2の大きさが設定されている。これにより、判定回路22および24は、電圧 V_{out} がそれぞれ参照電圧 V_{ref1} および V_{ref2} 以上のとき電圧V01およびV02として電圧 V_{out} を出力し、電圧 V_{out} が参照電圧 V_{ref1} および V_{ref2} より低いとき電圧V01およびV02としてグランド電位0Vを出力する。

20

【0046】

図7は、実施例1に係るスイッチ回路の各電圧およびFETのオン／オフの時間変化を示す図である。電圧V01、V02、リセット電圧 V_{rst} およびセット電圧 V_{set} に電圧 V_{out} を破線で示している。図7に示すように、時刻t11において、電圧 V_{in} はグランド電位0V付近であり、キャパシタC2の電圧 V_{out} はグランド電位0V付近である。電圧V01、V02、リセット電圧 V_{rst} およびセット電圧 V_{set} はグランド電位0Vである。NFETM11のゲートの電圧VGは電圧 V_{in} である。NFETM11はオフである。時刻t11以降に、電圧 V_{in} が上昇する。ラッチ回路18は非対称であり出力端子Tq1の電圧VGは電圧 V_{in} となり上昇する。

30

【0047】

時刻t12において、電圧VGがNFETM11の閾値電圧 V_{th} となると、NFETM11はオンする。時刻t12以降において、NFETM11がオンするため、キャパシタC2が充電し始める。これにより、電圧 V_{out} が上昇する。なお、電圧 V_{in} と V_{out} の上昇速度は同じとは限らない。

【0048】

時刻t13において電圧 V_{out} が参照電圧 V_{ref1} 以上となると、判定回路22は電圧V01として電圧 V_{out} を出力する。時刻t14において電圧 V_{out} が参照電圧 V_{ref2} 以上となると、判定回路24は電圧V02として電圧 V_{out} を出力する。スパイク生成回路26は、電圧V01とV02がともにハイレベルとなると、リセット電圧 V_{rst} としてスパイク信号30を出力する。スパイク信号30の高さは電圧 V_{out} と同じである。ラッチ回路18は、出力端子Tq1に電圧VGとして基準電位端子Tgの電圧であるグランド電位0Vを出力する。NFETM11はオフする。スパイク信号30が出力されると、制御回路16は制御部14にイネーブル信号 V_{en} として活性を出力する。これにより、電圧変換回路12は起動し、動作を開始する。時刻t14以降は電圧変換回路12の出力電圧V2によりキャパシタC2の電圧 V_{out} が上昇していく。

40

50

【0049】

時刻 t_{15} において、電圧 V_{in} が低下し始め、電圧 V_{out} が低下し始める。時刻 t_{16} において、電圧 V_{out} が参照電圧 V_{ref2} より低くなると、判定回路 22 は電圧 V_{02} としてグラウンド電位 $0V$ を出力する。時刻 t_{17} において、電圧 V_{out} が参照電圧 V_{ref1} より低くなると、判定回路 24 は電圧 V_{01} としてグラウンド電位 $0V$ を出力する。スパイク生成回路 28 は、電圧 V_{01} および V_{02} がともにグラウンド電位 $0V$ となると、セット電圧 V_{set} としてスパイク信号 32 を出力する。スパイク信号 32 の高さは電圧 V_{out} と同じである。ラッチ回路 18 は、出力端子 T_{q1} に電圧 V_G として電源端子 T_p の電圧である V_{in} を出力する。NFE TM11 はオンする。スパイク信号 32 が出力されると、制御回路 16 は制御部 14 にイネーブル信号 V_{en} として非活性を出力する。これにより、電圧変換回路 12 は動作を停止する。時刻 t_{18} において、電圧 V_{out} がほぼ 0 となる。

10

【0050】

実施例 1 によれば、図 4 のように、NFE TM1 (第 1 スイッチング素子) は、ゲート (第 1 制御端子) に与えられる電圧に応じて発電素子 10 とキャパシタ C_2 との接続状態が制御される。そして、図 7 の時刻 t_{11} から t_{14} のように、回路 17 は、キャパシタ C_2 の両端間の電圧差 $V_{out} - 0V$ が時間とともに初期状態 (例えば $0V$) から大きくなると電圧差 $V_{out} - 0V$ が初期状態よりも大きい参照電圧 V_{ref2} (第 1 所定値) になるまでゲートに NFE TM11 をオンさせつづける第 1 電圧を出力する。回路 17 は、電圧差 $V_{out} - 0V$ が参照電圧 V_{ref2} を超えると、電圧差 $V_{out} - 0V$ が参照電圧 V_{ref1} (第 2 所定値) を下回るまでゲートに NFE TM11 をオフさせつづける第 2 電圧を出力する。

20

【0051】

これにより、コールドスタートスイッチ C_{SW} における NFE TM11 は無電源でオンする。時刻 t_{14} において、ラッチ回路 18 は、リセット電圧 V_{rst} が入力すると出力端子 T_{q1} にグラウンド電位 (図 7 参照) を出力する。これにより、NFE TM11 をオフできる。このように、コールドスタートスイッチ C_{SW} を安定に制御することができる。

【0052】

制御回路 16 は、電圧 V_{out} とグラウンド電位との電圧差が時間とともに大きくなり参照電圧 V_{ref2} (第 1 参照電圧) 以上となるとリセット電圧 V_{rst} を出力する。また、制御回路 16 は、電圧変換回路 12 を起動するイネーブル信号 V_{en} を出力する。これにより、電圧 V_{out} が大きくなり、キャパシタ C_2 に蓄えられた電力を例えば電圧変換回路 12 の電源に用いるときに、コールドスタートスイッチ C_{SW} をオフできる。図 5 に示した判定回路 22 および 24 は、電圧 V_{out} とグラウンド電位との電圧差が参照電圧 V_{ref2} を超えたか否かを判定する判定回路として機能する。スパイク生成回路 26 および制御回路 16 は、電圧差が参照電圧 V_{ref2} を超えたと判定されたとき、イネーブル信号 V_{en} を生成する生成回路として機能する。

30

【0053】

制御回路 16 は、電圧 V_{out} とグラウンド電位 $0V$ との電圧差が時間とともに小さくなり、参照電圧 V_{ref1} (第 2 参照電圧) 以下となるとセット電圧 V_{set} を出力する。ラッチ回路 18 の出力は第 2 電圧から第 1 電圧に切り替わる。すなわち、ラッチ回路のラッチ状態がリセットされる。これにより、電圧 V_{out} が小さくなり、キャパシタ C_2 に蓄えられた電力を例えば電圧変換回路 12 の電源に用いられなくなったときに、コールドスタートスイッチ C_{SW} をオンできる。

40

【0054】

図 8 (a) および図 8 (b) は、実施例 1 におけるラッチ回路 18 の回路図である。図 8 (a) では、ラッチ回路 18 として、NOR 型のラッチ回路を例に説明する。電源端子 T_p と基準電位端子 T_g との間に PFE TM7、M10、M2 および NFE TM1 が直列に接続されている。電源端子 T_p と基準電位端子 T_g との間にこれらの FET と並列に PFE TM8、M9、M4 および NFE TM3 が直列に接続されている。PFE TM8 およ

50

びM7のゲートはそれぞれセット端子T s e tおよびリセット端子T r s tに接続されている。P F E T M 9およびM 1 0のゲートは基準電位端子T gに接続されている。

【0055】

P F E T M 2およびN F E T M 1のドレインは共通にノードQ 1に接続され、P F E T M 2およびN F E T M 1のゲートは共通にノードQ 2に接続されている。P F E T M 4およびN F E T M 3のドレインは共通にノードQ 2に接続され、P F E T M 4およびN F E T M 3のゲートは共通にノードQ 1に接続されている。P F E T M 4およびN F E T M 3はインバータを形成し、P F E T M 2およびN F E T M 1はインバータを形成する。ノードQ 1およびQ 2は記憶ノードであり互いに相補的な電圧を保持する。

【0056】

ノードQ 1は出力端子T q 1に接続され、ノードQ 2はT q 2に接続されている。ノードQ 1およびQ 2はそれぞれN F E T M 5およびM 6を介し基準電位端子T gに接続されている。N F E T M 5およびM 6のゲートはそれぞれリセット端子T r s tおよびセット端子T s e tに接続されている。

【0057】

ノードQ 1がハイレベルおよびノードQ 2がローレベルのとき、電圧V r s tがローレベルであれば、N F E T M 1およびM 5はオフであり、P F E T M 2、M 1 0およびM 7はオンであり、N F E T M 3およびM 6はオンであり、P F E T M 4、M 9およびM 8はオフである。電圧V r s tがハイレベルとなると、N F E T M 5がオンとなりノードQ 1がローレベルとなる。また、P F E T M 7がオフとなる。これにより、ノードQ 1がローレベルおよびノードQ 2がハイレベルに切り替わる。ノードQ 1がローレベルおよびノードQ 2がハイレベルのときに、電圧V s e tがハイレベルとなると、同様に、ノードQ 1がハイレベルおよびノードQ 2がローレベルに切り替わる。

【0058】

以上により、ラッチ回路18は、セット端子T s e tにハイレベルの電圧V s e tが入力すると、次にリセット端子T r s tにハイレベルの電圧V r s tが入力するまで、出力端子T q 1に電源端子T pの電圧を出力し、出力端子T q 2に基準電位端子T gの電圧を出力する。ラッチ回路18は、リセット端子T r s tにハイレベルの電圧V r s tが入力すると、次にセット端子T s e tにハイレベルの電圧V s e tが入力するまで、出力端子T q 1に基準電位端子T gの電圧を出力し、出力端子T q 2に電源端子T pの電圧を出力する。

【0059】

P F E T M 9およびM 1 0を設けずに、P F E T M 7およびM 8のドレインとP F E T M 2およびM 4のソースを直接接続してもよい。ノードQ 1とQ 2のレベルが反転するときには、電源端子T pから基準電位端子T gに電流が流れる。電源端子T pの電圧が高いときに大電流が流れないようにP F E T M 9およびM 1 0を設けている。

【0060】

ノードQ 1とQ 2が対称的なラッチ回路では、電源電圧（基準電位端子T gに対する電源端子T pの電圧）が0 Vから上昇していくと、ノードQ 1とQ 2のいずれが電源端子T pの電圧（ハイレベル）となるか定まっていない。ラッチ回路18では、ノードQ 1とQ 2が非対称であり、ラッチ回路18の電源電圧が0 Vから上昇していくとノードQ 1の電圧がハイレベルとなる。このように、非対称とするため、N F E T M 5のゲート幅をN F E T M 6のゲート幅より狭くする。一例として、N F E T M 5のゲート長は0.8 μm であり、P F E T M 6のゲート長は5 μm で、P F E T M 6のゲート幅は0.6 μm であり、N F E T M 1およびM 3のゲート幅は0.8 μm である。このとき、N F E T M 5およびM 6のゲート幅をそれぞれ15 μm および60 μm とする。これにより、電源電圧が0 Vから上昇すると、N F E T M 5を流れる電流I 5よりN F E T M 6を流れる電流I 6が大きく、ノードQ 2の電圧はノードQ 1の電圧より低くなる。よって、ラッチ回路18はノードQ 1が電源端子T pの電圧になるように立ち上がる。ノードQ 1とQ 2が非対称に立ち上がれば、他のパラメータを変えてもよい。例えば、N F E T M 1のゲート幅をN F E T M 3のゲ

10

20

30

40

50

ート幅より狭くする。PFETM2、M10およびM7のゲート幅をそれぞれPFETM4、M9およびM8のゲート幅より広くする。これにより、電源電圧が0Vから上昇すると、ノードQ2の電圧はノードQ1の電圧より低くなる。電源端子Tpの電圧が例えば5V程度に高くなっても、1V程度の電圧VsetおよびVrstにより、ノードQ1およびQ2のレベルを切り替えるため、NFETM5およびM6のゲート幅を他のFETのゲート幅より大きくしている。

【0061】

図8(b)は、NAND型のラッチ回路の例である。ラッチ回路18は、PFETM20a~M20cおよびM21a~M21c、NFETM22a~M22dおよびM23a~M23dを備えている。ラッチ回路18の動作は図8(a)と同じであり説明を省略する。ラッチ回路18は、上記動作を行えば図8(a)および図8(b)以外の回路構成でもよい。

10

【0062】

図4に示すFETM11のゲートに電圧VGを印加する回路として、図8(a)および図8(b)のラッチ回路18を用いる。ラッチ回路18は、リセット電圧Vrst(第1制御信号)が入力するとNFETM1のゲートにNFETM1をオフさせる第2電圧を出力しつづける。このようなラッチ回路18を用いることにより、ラッチ回路18は、リセット電圧Vrstが入力する前は第1電圧を出力端子Tq1に出力し、リセット電圧Vrstが入力すると、第2電圧を出力端子Tq1に出力できる。NFETM11をオフさせる第2電圧を生成する回路を簡素に実現できる。

20

【0063】

ラッチ回路18は、セット電圧Vset(第2制御信号)が入力するとリセット電圧Vrstが入力するまでNFETM1のゲートにNFETM1をオンさせる第1電圧を出力する。これにより、ラッチ回路18にセット電圧Vsetが入力することにより、NFETM11のゲートの電圧VGが第1電圧となり、NFETM11をオンさせることができる。

【0064】

[実施例1の変形例1]

実施例1の変形例1では、コールドスタートスイッチCSWとしてPFETを用いる。このとき、第1端子および第2端子はそれぞれPFETのドレインおよびソースである。

30

【0065】

図9(a)および図9(b)は、実施例1の変形例1に係るスイッチ回路の回路図である。図9(a)に示すように、実施例1の変形例1では、コールドスタートスイッチCSWとしてエンハンスメントモードのPFETM11aを用いる。PFETM11aの閾値電圧は負である。PFETM11aのソースは入力端子Tinに接続され、ドレインは出力端子Toutに接続されている。電圧Voutが参照電圧Vref以下のとき、PFETM11aのゲートは無電源でグランドに接続される。これにより、電圧Vinに対するグランド電位がPFETM11aの閾値電圧以下となればPFETM11aはオンする。図9(b)に示すように、電圧Voutが参照電圧Vrefより高いとき、PFETM11aのゲートに入力端子Tinが接続される。これにより、PFETM11aはオフする。

40

【0066】

図10は、実施例1の変形例1に係るスイッチ回路の回路図である。図10に示すように、実施例1の変形例1では、実施例1の図4と比べ、NFETM11がエンハンスメント型のPFETM11aに置き換わっている。PFETM11aのソースは入力端子Tinに接続され、ドレインは出力端子Toutに接続され、ゲートはラッチ回路18aの出力端子Tq2に接続されている。出力端子Tq2がPFETM11aのゲートに接続されている以外のラッチ回路18aの構成は実施例1のラッチ回路18と同じである。その他の回路構成は実施例1の図4と同じであり、説明を省略する。

【0067】

50

図11は、実施例1の変形例1に係るスイッチ回路の各電圧およびFETのオン／オフの時間変化を示す図である。PFETM11aのソース電圧に対するゲート電圧を電圧 V_{G-Vin} として示している。PFETM11aの閾値電圧は負である。図11に示すように、時間に対する電圧 V_{in} の変化は図7と同じである。時刻 t_{11} において、PFETM11aのゲートの電圧 V_G はグラウンド電位0Vである。PFETM11aはオフである。時刻 t_{11} 以降に、電圧 V_{in} が上昇する。電圧 V_{G-Vin} は $-V_{in}$ である。ラッチ回路18は、非対称であり、ラッチ回路18の電源電圧が0Vから上昇していくと出力端子 T_{q2} の電圧がローレベル（すなわちグラウンド電位）となる。電圧 V_{in} が上昇しても出力端子 T_{q2} の電圧はグラウンド電位0Vである。

【0068】

時刻 t_{12} において、電圧 V_{G-Vin} がPFETM11aの閾値電圧 V_{th} となると、PFETM11aはオンする。時刻 t_{12} 以降において、電圧 V_{out} が上昇する。時刻 t_{14} において電圧 V_{out} が参照電圧 V_{ref2} 以上となると、制御回路16はラッチ回路18のリセット端子 T_{rst} にリセット電圧 V_{rst} としてスパイク信号30を出力する。ラッチ回路18は、出力端子 T_{q2} に電圧 V_G として電源端子 T_p の電圧である電圧 V_{in} を出力する。これにより、電圧 V_{G-Vin} はほぼ0Vとなる。よって、PFETM11aはオフする。

【0069】

時刻 t_{17} において、電圧 V_{out} が参照電圧 V_{ref1} より低くなると、制御回路16はラッチ回路18のセット端子 T_{set} にセット電圧 V_{set} としてスパイク信号32を出力する。ラッチ回路18は、出力端子 T_{q2} に電圧 V_G として基準電位端子 T_g の電圧であるグラウンド電位0Vを出力する。これにより、電圧 V_{G-Vin} は $-V_{in}$ となり、PFETM11aはオンする。その他の構成および動作は実施例1と同じであり説明を省略する。

【0070】

実施例1およびその変形例1では、入力電圧 V_{in} はグラウンド電位より高い。このとき、実施例1のように、コールドスタートスイッチCSWにNFETM11を用いるとき、NFETM11をオンさせる第1電圧は入力電圧 V_{in} である。実施例1の変形例1のように、コールドスタートスイッチCSWにPFETM11aを用いるとき、PFETM11aをオンさせる第1電圧はグラウンド電位の電圧である。これにより、NFETM11およびPFETM11aを安定にオンさせることができる。

【0071】

実施例1のように、コールドスタートスイッチCSWにNFETM11を用いるとき、NFETM11をオフさせる第2電圧はグラウンド電位の電圧である。実施例1の変形例1のように、コールドスタートスイッチCSWにPFETM11aを用いるとき、PFETM11aをオフさせる第2電圧は電圧 V_{in} である。これにより、実施例1の変形例2および3において用いられる $-\alpha$ または $+\alpha$ を生成するための余分な回路が不要となる。

【0072】

実施例1では、図7の時刻 t_{14} と t_{17} との間において電圧 V_{out} が電圧 V_{in} より高くなった場合、電圧 V_G はグラウンド電位0Vであり、電圧 V_{out} および V_{in} のいずれよりも低い。このため、NFETM11のゲート電圧はソース電圧より低い。よって、NFETM11はオフである。実施例1の変形例1では、図11の時刻 t_{14} と t_{17} との間において、電圧 V_{out} が電圧 V_{in} より高くなった場合、電圧 V_G は電圧 V_{in} であり、電圧 V_{out} より低い。このため、電圧 $V_{in}-V_{out}$ がPFETM11aの閾値電圧より低くなるとPFETM11aがオンし、端子 T_{out} から端子 T_{in} に電流が逆流してしまう。よって、コールドスタートスイッチCSWは実施例1のようにNFETM11であることが好ましい。

【0073】

[実施例1の変形例2]

実施例1の変形例2は、コールドスタートスイッチとして、デブリッションモード（ノ

10

20

30

40

50

ーマリーオンモード)を用いる例である。図12(a)および図12(b)は、実施例1の変形例2に係るスイッチ回路の回路図である。図12(a)に示すように、実施例1の変形例2では、コールドスタートスイッチCSWとしてデブリッショモードのNFETM11bを用いる。NFETM11bの閾値電圧は負である。NFETM11bのソースは出力端子T_{out}に接続され、ドレインは入力端子T_{in}に接続されている。電圧V_{out}が参照電圧V_{ref}以下のとき、NFETM11bのゲートは無電源でグランドに接続される。これにより、NFETM11bはオンする。図12(b)に示すように、電圧V_{out}が参照電圧V_{ref}より高いとき、NFETM11bのゲートに電圧V_{out} - α (α は正)が印加される。 - α がNFETM11bの閾値電圧以下であればNFETM11bはオフする。

10

【0074】

コールドスタートスイッチCSWとしてデブリッショモードのNFETを用いる実施例1の変形例2では、図12(b)において、 - α が閾値電圧より十分に低くないとNFETM11bのリーク電流が大きくなってしまふ。コールドスタートスイッチCSWとしてデブリッショモードのPFETを用いる場合、PFETの閾値電圧は正である。PFETがオフのとき、PFETのリーク電流を小さくするためには、PFETのゲートに閾値電圧より十分に高い + α を加える。しかし、十分に低い - α または十分に高い + α を生成するには余分な回路を必要とし、それによって余分な電力も消費してしまふ。実施例1およびその変形例1では、エンハンスメント型のトランジスタを用いることにより、 - α または + α を生成するには余分な回路が不要となる。これにより、余分な電力を抑制できる。

20

【0075】

なお、ラッチ回路18がNFETM11およびPFETM11aのゲートに出力する電圧V_{in}は、出力端子T_{out}の電圧V_{in}からラッチ回路18の寄生抵抗分電圧降下した電圧であってもよい。また、ラッチ回路18がNFETM11およびPFETM11aのゲートに出力するグランド電位0Vの電圧は、グランド電位からラッチ回路18の寄生抵抗分電圧上昇した電圧であってもよい。

【実施例2】

【0076】

実施例2およびその変形例は、入力電圧V_{in}がグランドに対し低い場合の例であり、発電素子10の出力がグランドに対し負であり、キャパシタC2の電圧V2は負である。実施例2では、コールドスタートスイッチCSWとしてエンハンスメントモードのPFETM11aを用いる。回路構成は実施例1の変形例1の図9と同様であり説明を省略する。

30

【0077】

図13は、実施例2に係るスイッチ回路の各電圧、電流およびFETのオン／オフの時間変化を示す図である。図13に示すように、電圧V_{in}、V_{out}、V01、V02、リセット電圧V_{rst}、セット電圧V_{set}および電圧VGは負である。PFETM11aの閾値電圧V_{th}は負である。参照電圧V_{ref1}およびV_{ref2}は負である。時刻t12とt14との間および時刻t17とt18の間において、電圧VGは閾値電圧V_{th}以下となるためPFETM11aはオンする。時刻t14とt17の間において、電圧VGは閾値電圧V_{th}より高いため、PFETM11aはオフする。その他は実施例1の図7と同じであり説明を省略する。

40

【0078】

〔実施例2の変形例1〕

実施例2の変形例1では、コールドスタートスイッチCSWとしてエンハンスメントモードのNFETM11を用いる。回路構成は実施例1の図4と同様であり説明を省略する。図14は、実施例2の変形例1に係るスイッチ回路の各電圧、電流およびFETのオン／オフの時間変化を示す図である。図14に示すように、NFETM11の閾値電圧V_{th}は正である。参照電圧V_{ref1}およびV_{ref2}は負である。時刻t12とt14と

50

の間および時刻 t_{17} と t_{18} の間において、電圧 $V_G - V_{in}$ は閾値電圧 V_{th} 以上となるため $NFETM11$ はオンする。時刻 t_{14} と t_{17} の間において、電圧 $V_G - V_{in}$ はほぼ $0V$ であり閾値電圧 V_{th} より低いため、 $NFETM11$ はオフする。その他は実施例 2 の図 13 と同じであり説明を省略する。

【0079】

実施例 2 およびその変形例 1 では、入力電圧 V_{in} はグランド電位より低い。このとき、実施例 2 のように、コールドスタートスイッチ CSW に $PFETM11a$ を用いるとき、 $PFETM11a$ をオンさせる第 1 電圧はグランド電位である。実施例 2 の変形例 1 のように、コールドスタートスイッチ CSW に $NFETM11$ を用いるとき、 $NFETM11$ をオンさせる第 1 電圧は電圧 V_{in} である。これにより、 $NFETM11$ および $PFETM11a$ を安定にオンさせることができる。

10

【0080】

実施例 2 のように、コールドスタートスイッチ CSW に $PFETM11a$ を用いるとき、 $PFETM11a$ をオフさせる第 2 電圧は電圧 V_{in} である。実施例 2 の変形例 1 のように、コールドスタートスイッチ CSW に $NFETM11$ を用いるとき、 $NFETM11$ をオフさせる第 2 電圧はグランド電位である。これにより、 $-α$ または $+α$ を生成するための余分な回路が不要となる。

【0081】

実施例 2 では、図 13 の時刻 t_{14} と t_{17} との間において電圧 V_{out} が電圧 V_{in} より高くなった場合、電圧 V_G はグランド電位 $0V$ であり、電圧 V_{out} および V_{in} のいずれよりも高い。このため、 $PFETM11a$ のゲート電圧はソース電圧より高い。よって、 $PFETM11a$ はオフである。実施例 2 の変形例 1 では、図 14 の時刻 t_{14} と t_{17} との間において電圧 V_{out} が電圧 V_{in} より低くなった場合、電圧 V_G は電圧 V_{in} であり、電圧 V_{out} より高い。このため、電圧 $V_{in} - V_{out}$ が $NFETM11$ の閾値電圧より高くなると $NFETM11$ がオンし、端子 T_{in} から端子 T_{out} に電流が逆流してしまう。よって、コールドスタートスイッチ CSW は実施例 2 のように $PFETM11a$ であることが好ましい。

20

【実施例 3】

【0082】

実施例 1 では、 $NFETM11$ がオンのとき、 $NFETM11$ はダイオード接続されているため、電圧降下が生じる。そこで、実施例 1 の変形例 1 のように、 $NFETM11$ の代わりに $PFETM11a$ を用いる場合がある。しかし、実施例 1 の変形例 1 では、電圧 V_{out} が電圧 V_{in} より高くなった場合、端子 T_{out} から端子 T_{in} への電流が逆流してしまう。これにより、電力損失が発生するおそれがある。実施例 3 は、電圧 V_{out} が電圧 V_{in} より高くなった場合でも、端子 T_{out} から端子 T_{in} への電流が逆流を抑制するスイッチ回路の例である。

30

【0083】

図 15 は、実施例 3 に係るスイッチ回路の回路図である。実施例 1 の変形例 1 の図 10 に比べ、スイッチ回路 20 は、 $PFETM2$ とラッチ回路 18c を更に備えている。 $PFETM2$ のソースは $PFETM11a$ のドレインに接続され、ドレインは出力端子 T_{out} に接続されている。ラッチ回路 18c の電源端子 T_p は $PFETM2$ のドレインに接続されている。ラッチ回路 18c の基準電位端子 T_g はグランドに接続されている。ラッチ回路 18c の出力端子 T_q2 は $PFETM2$ のゲートに接続されている。ラッチ回路 18c のセット端子 T_{set} およびリセット端子 T_{rst} には、それぞれ制御回路 16 から電圧 V_{set} および V_{rst} が入力する。その他の回路構成は実施例 1 の変形例 1 の図 10 と同じであり説明を省略する。

40

【0084】

図 11 を参照し、実施例 3 におけるスイッチ回路の動作を説明する。なお、説明を簡単にするため、 $PFETM11b$ および $M2$ の閾値電圧はほぼ $0V$ であり、時刻 t_{11} と t_{12} とはほぼ同じ時刻と仮定する。図 11 において、時刻 $t_{11} \sim t_{14}$ および $t_{17} \sim$

50

t 1 8では、P F E T M 1 1 bのゲートに印加される電圧V GおよびP F E T M 2のゲートに印加される電圧V G 2は0 Vであり、時刻t 1 4～t 1 7では、電圧V GおよびV G 2はV o u tである。このため、P F E T M 2は、P F E T M 1 1 aがオンおよびオフのときそれぞれオンおよびオフする。よって、実施例1の変形例1のスイッチ回路2 0、図1 1とほぼ同じ動作を行う。

【0 0 8 5】

このように、実施例3では、P F E T M 2（第2スイッチング素子）は、ゲート（第2制御端子）に与えられる電圧に応じてP F E T M 1 1 a（第1スイッチング素子）とキャパシタC 2との接続状態が制御される。回路1 7は、キャパシタC 2の両端間の電圧差V o u t - 0 Vが参照電圧V r e f 2になるまでP F E T M 2のゲートにP F E T M 2をオンさせつづける0 V（第1電圧）を出力する。回路1 7は、電圧差V o u t - 0 Vが参照電圧V r e f 2を超えると、電圧差V o u t - 0 Vが参照電圧V r e f 1を下回るまでP F E T M 2のゲートにP F E T M 2をオフさせつづけるV o u t（第2電圧）を出力する。これにより、P F E T M 1 1 aおよびP F E T M 2がオフのときに、電圧V o u tが電圧V i nより高くなったとしても、P F E T M 2のゲート電圧V G 2はV o u tであり、P F E T M 2のオフは維持される。よって、端子T o u tから端子T i nに電流が逆流することを抑制できる。したがって、電力損失を防ぎ、電力効率が下がることを抑制できる。

10

【0 0 8 6】

実施例3では、入力電圧V i nがグランド電位より高い場合に、P F E T M 1 1 aおよびP F E T M 2としてエンハンスメント型P F E Tを用いる例を説明したが、入力電圧V i nがグランド電位より低い場合には、P F E T M 1 1 aおよびP F E T M 2の代わりに、エンハンスメント型N F E Tを用いてもよい。

20

【実施例4】

【0 0 8 7】

実施例4は、発電素子1 0の出力電圧（すなわち入力電圧V i n）が高い場合の例である。例えば発電素子として、有機ピエゾ素子またはエレクトレットを用いたM E M S（Micro Electro Mechanical Systems）素子のような容量成分が小さな素子を用いる場合、発電素子1 0の出力電圧が高くなり、例えば3 5 Vとなる。このような場合に、実施例1のN F E T M 1 1として高耐圧F E Tを用いる。高耐圧F E Tは、ドレイン耐圧（ソースに対するドレインの耐圧）が高いF E Tであり、N F E T M 1 1として、例えばドレイン耐圧が3 5 V以上のF E Tを用いる。しかし、実施例1では、ラッチ回路1 8の電源端子T pに高電圧が加わる。一般的なM O S F E Tの耐圧は5 V程度であり、電源端子T pに5 V以上の電圧が加わると、ラッチ回路1 8が破壊されてしまう。実施例4は、電圧V i nの電圧が高くなった場合でも、ラッチ回路1 8の破壊が抑制できる例である。

30

【0 0 8 8】

図1 6は、実施例4に係るスイッチ回路の回路図である。図1 6に示すように、N F E T M 1 1のゲートはノードN Gに接続されている。ノードN Gと入力端子T i nとの間にキャパシタC 3が接続されている。N F E T M 1 1とキャパシタC 3は高耐圧素子であり、耐圧は例えば3 5 V以上である。N F E T M 3のソースおよびドレインはそれぞれグランドおよびノードN Gに接続されている。N F E T M 3は、エンハンスメント型F E Tである。ラッチ回路1 8 bの電源端子T pは出力端子T o u tに接続されている。基準電位端子T gはグランドに接続されている。出力端子T q 2はN F E T M 3のゲートに接続されている。ラッチ回路1 8 bのセット端子T s e tおよびリセット端子T r s tには、それぞれ制御回路1 6から電圧V s e tおよびV r s tが入力する。

40

【0 0 8 9】

図7において、時刻t 1 1～t 1 4およびt 1 7～t 1 8では、N F E T M 3のゲートに印加される電圧V G 3は0 Vであり、時刻t 1 4～t 1 7では、電圧V G 3はV o u tである。キャパシタC 3のキャパシタンスをN F E T M 1 1のゲート容量およびN F E T M 3のドレイン容量に対し十分に大きくすれば、時刻t 1 1以降、V i nが増加すると、

50

入力端子 T_{in} に容量結合した $NFETM11$ のゲートの電圧 V_G はほぼ V_{out} と同じ電圧で増加する。時刻 t_{14} において、電圧 V_{G3} が V_{out} となり、 $NFETM3$ がオンすると、電圧 V_G は $0V$ となり $NFETM11$ はオフする。時刻 t_{17} において、電圧 V_{G3} が $0V$ となり、 $NFETM3$ がオフすると、電圧 V_G はほぼ V_{in} となり $NFETM11$ はオンする。その他のスイッチ回路 20 の動作は、実施例 1 の図 7 と同じであり説明を省略する。

【0090】

実施例 4 によれば、 $NFETM3$ （第 3 スイッチング素子）は、ゲート（第 3 制御端子）に与えられる電圧 V_{G3} に応じてノード NG と基準電位との間の接続状態を制御する。ラッチ回路 $18b$ は、キャパシタ $C2$ の両端の電圧差 $V_{out} - 0V$ が参照電圧 V_{ref1} になるまで $NFETM3$ のゲートに基準電位を出力しつつ、電圧差 $V_{out} - 0V$ が参照電圧 V_{ref1} を超えると、電圧差 $V_{out} - 0V$ が参照電圧 V_{ref2} を下回るまで $NFETM3$ のゲートに V_{out} を出力する。このように、ラッチ回路 $18b$ の電源端子 Tp は出力端子 T_{out} に接続されるため、電圧 V_{in} が高電圧となってもラッチ回路 $18b$ が破壊されることを抑制できる。

【0091】

〔実施例 4 の変形例 1 〕

実施例 4 において、 $NFETM11$ がオフのときに、入力電圧 V_{in} が高くなると、 $NFETM11$ にリーク電流が流れ、入力端子 T_{in} から出力端子 T_{out} に電流が流れることがある。特に、 $NFETM11$ が高耐圧 FET の場合、オフ抵抗が低くリーク電流が大きくなることがある。実施例 4 の変形例 1 は、 $NFETM11$ のリーク電流を抑制する例である。

【0092】

図 17 は、実施例 4 の変形例 1 に係るスイッチ回路の回路図である。図 17 に示すように、実施例 4 の図 16 に比べ、スイッチ回路 20 は、 $NFETM4$ とツェナーダイオード Zd をさらに更に備えている。 $NFETM4$ のソースは出力端子 T_{out} に接続され、ドレインは $NFETM11$ のソースに接続され、ゲートはノード NG に接続されている。 $NFETM4$ はエンハンスメント型 FET であり、 $NFETM4$ の閾値電圧は $NFETM11$ の閾値電圧とほぼ同じである。 $NFETM4$ に、高耐圧 FET を用いず、 $NFETM4$ よりドレイン耐圧の低い FET を用いることで、 $NFETM4$ のオフ抵抗を $NFETM11$ より高くできる。ツェナーダイオード Zd のアノードはグランドに接続され、カソードは $NFETM11$ と $M4$ との間のノード $N4$ に接続されている。ツェナーダイオード Zd の降伏電圧は、例えば $5.5V$ である。その他の回路構成は実施例 4 の図 16 と同じであり説明を省略する。

【0093】

図 7 において、 $PFETM2$ は、 $NFETM11$ がオンおよびオフときそれぞれオンおよびオフする。入力端子 T_{in} と出力端子 T_{out} との間に $NFETM11$ および $M4$ が直列接続されているため、 $NFETM11$ および $M4$ がオフのとき、入力端子 T_{in} から出力端子 T_{out} に流れるリーク電流を抑制できる。しかし、 $NFETM4$ のオフ抵抗が高い場合、ノード $N4$ の電圧が高くなる。出力電圧 V_{out} に対するノード $N4$ の電圧が、 $NFETM4$ のドレイン耐圧を超えると、 $NFETM4$ が破壊される可能性がある。そこで、ツェナーダイオード Zd の降伏電圧を、（ $NFETM4$ のドレイン耐圧 $- V_{out}$ の最大値）以下とする。これにより、ノード $N4$ の電圧 $- V_{out}$ が $NFETM4$ のドレイン耐圧より高くなることを抑制され、 $NFETM4$ の破壊を抑制できる。

【0094】

実施例 4 の変形例 1 によれば、 $NFETM4$ （第 4 スイッチング素子）は、 $NFETM11$ よりドレイン耐圧が低く、ノード NG に与えられる電圧に応じて $NFETM11$ と出力端子 T_{out} との間の接続状態を制御する。ツェナーダイオード Zd （制限素子）はノード $N4$ の電圧が降伏電圧（第 3 所定値）を超えないように制限する。このように、 $NFETM4$ を設けることで、入力端子 T_{in} から出力端子 T_{out} に流れるリーク電流を抑

制できる。ツェナーダイオード Z_d を設けることで、 $NFE TM 4$ に高電圧が印加され $NFE TM 4$ が破壊されることを抑制できる。

【0095】

なお、ツェナーダイオード Z_d を $NFE TM 11$ より入力端子 Tin 側に設けることで、 $NFE TM 11$ に加わる入力電圧 Vin が高くなることを抑制できる。しかし、コールドスタートスイッチ CSW がオフのときに、図1の整流回路10bとは別の整流回路（例えば後述する図18の整流回路62）において、発電ユニット10aの出力電力を整流する場合がある。この場合、入力端子 Tin の電圧 Vin を制限してしまうと、別の整流回路に高電圧が加わらなくなってしまう。そこで、実施例4の変形例1のように、ツェナーダイオード Z_d はノード $N4$ の設けることが好ましい。

10

【0096】

実施例4およびその変形例1では、入力電圧 Vin がグランド電位より高い場合に、 $NFE TM 11$ および $M4$ としてエンハンスメント型 $NFE T$ を用いる例を説明したが、入力電圧 Vin がグランド電位より低い場合には、 $NFE TM 11$ および $M4$ の代わりに、エンハンスメント型 $PFE T$ を用いればよい。

【0097】

実施例1から4およびその変形例において、トランジスタがエンハンスメント型のとき、 $NFE TM 11$ 、 $M11b$ 、 $M3$ および $M4$ は、ゲート電圧がグランド電位 $0V$ のときオフであり、ゲート電圧が正の閾値電圧より高くなるとオンする。 $PFE TM 11a$ 、 $M11c$ および $M2$ は、ゲート電圧（ソースに対するゲートの電圧）がグランド電位 $0V$ のときオフであり、ゲート電圧が負の閾値電圧より低くなるとオンする。 $NFE TM 11$ 、 $M11b$ 、 $M3$ 、 $M4$ $PFE TM 11a$ 、 $M11c$ および $M2$ は、例えばシリコンを用いた MOS (Metal Oxide Semiconductor) FET である。

20

【0098】

実施例1から4およびその変形例のスイッチ回路を図1の電圧変換回路12のコールドスタートスイッチ CSW として用いる。電圧変換回路12（電力変換回路）は、リセット電圧 $Vrst$ が出力されると、発電素子10の出力電力の変換を開始する。すなわち、回路17は、リセット電圧 $Vrst$ を出力するとき、電圧変換回路12を起動する。図1では、電源回路として降圧昇圧型の電圧変換回路の例を説明したが、電源回路は降圧型の電圧変換回路、昇圧型の電圧変換回路および反転型の電圧変換回路でもよい。電力変換回路は、インダクタを備え、発電素子10から入力する第3電圧（例えば直流電圧）を第4電圧（例えば直流電圧）に変換する電圧変換回路（例えば $DC-DC$ コンバータ）でもよい。また、電源回路は、交流を直流に変換する電力変換回路等でもよい。

30

【0099】

図18は、実施例1から4およびその変形例のスイッチ回路が用いられるシステムを示すブロック図である。図18に示すように、システムは、発電素子60、整流回路61、62、整合回路63、電圧変換回路64、充電管理回路65、蓄電器66、コールドスタート回路67および昇圧回路68を備えている。

【0100】

発電素子60は、例えば図1の発電素子10であり、微小電流の交流電力を発電する。整流回路61は例えばダイオードブリッジであり、整流回路62は例えば同期整流回路である。整合回路63は整流回路61および62の出力インピーダンスと電圧変換回路64の入力インピーダンスとを整合させる。電圧変換回路64は、例えば図1の電圧変換回路12であり、 $DC-DC$ コンバータである。充電管理回路65は複数の蓄電器66のうち適切な蓄電器66に蓄電する。蓄電器66は例えばキャパシタである。充電管理回路65は複数の蓄電器の両端の電圧をモニターし、適切に蓄電器に発電電力を充電する。コールドスタート回路67は、実施例1から4およびその変形例のいずれかに示されたスイッチ回路20であり、蓄電器66がほとんど充電されていないときに整流回路61の出力電流を蓄電器66に充電する。昇圧回路68は例えばチャージポンプであり、整流回路62お

40

50

よび電圧変換回路 6 4 等に用いる電圧を生成する。

【0101】

システムの動作について説明する。蓄電器 6 6 がほとんど充電されていない状態において、発電素子 6 0 が微小電力を生成すると、整流回路 6 1 が微小電力を整流する。整流回路 6 1 は例えばダイオードブリッジのように外部電源がなくとも整流を行うことができる回路が好ましい。また、ダイオードブリッジに限らず、ゲートと、ソースまたはドレインを短絡させた F E T を組みあわせて構成した整流回路としてもよい。このような F E T を組みあわせて構成した整流回路では、ダイオードブリッジに比べて電圧降下が少なくできる点で、微小電力発電に好適である。整流回路 6 1 が整流した電流はコールドスタート回路 6 7 を介し充電管理回路 6 5 に至り蓄電器 6 6 に蓄電される。蓄電器 6 6 が十分な電圧まで充電されると、昇圧回路 6 8 は、蓄電器 6 6 の電圧から整流回路 6 2 および電圧変換回路 6 4 に使用する電圧に昇圧する。蓄電器 6 6 の電圧は例えば 1 V であり、昇圧回路 6 8 の出力電圧は例えば 2 V である。蓄電器 6 6 の電圧を用い整流回路 6 2 および電圧変換回路 6 4 が動作する場合には昇圧回路 6 8 はなくてもよい。

10

【0102】

整合回路 6 3 は、発電素子 6 0 の発電量に応じ、整流回路 6 1 および 6 2 の入力電圧を変化させる。入力電圧を発電素子 6 0 の出力電流で除した値が整流回路 6 1 および 6 2 の入力インピーダンスとなる。そこで、整合回路 6 3 は、発電素子 6 0 の出力電流が大きいとき入力電圧を高くし、発電素子 6 0 の出力電流が小さいとき入力電圧を低くする。これにより、発電素子 6 0 の出力インピーダンスと整流回路 6 1 および 6 2 の入力インピーダンスを整合させる。整合回路 6 3 は入力電圧により整流回路 6 1 と 6 2 を切り替える。例えば整流回路 6 1 および 6 2 がそれぞれダイオードブリッジおよび同期整流回路の場合、入力電圧が 1 V 以下となるとダイオードのオン電圧による損失が大きくなる。このため、整流回路 6 2 を用いる。入力電圧が 1 V 以上の場合、整流回路 6 1 を用いる。

20

【0103】

電圧変換回路 6 4 は、整合回路 6 3 が設定した入力電圧を蓄電器 6 6 が充電する電圧に変換する。蓄電器 6 6 の電圧は例えば 1 V または 3.3 V である。充電管理回路 6 5 は、複数の蓄電器 6 6 の電圧をモニターし、適切な蓄電器 6 6 に発電電力を充電する。

【0104】

このような微小電力を発電する発電素子 6 0 を用いたシステムでは蓄電器 6 6 に電力が蓄積されていないとき、コールドスタート回路 6 7 は無電源でオンし、蓄電器 6 6 に電力が蓄積した後、オフする。実施例 1 から 4 およびその変形例のスイッチ回路 2 0 をコールドスタート回路 6 7 に用いることにより、コールドスタートスイッチを安定に制御することができる。

30

【0105】

以上説明した本実施形態においては、本発明の制御端子に与えられる電圧に応じて発電素子と蓄電器との接続状態が制御されるスイッチング素子として例えば図 1 のコールドスタートスイッチ C S W を用いた。かかるスイッチング素子として F E T を用いた。消費電力が小さいので、F E T が好ましいが、本発明スイッチング素子としては F E T に限らず、他のスイッチング素子、例えばバイポーラトランジスタの素子や I G B T (Insulated Gate Bipolar Transistor) でもよい。バイポーラトランジスタの素子では第 1 端子および第 2 端子はエミッタおよびコレクタであり、制御端子はベースである。I G B T では、第 1 端子および第 2 端子はエミッタおよびコレクタであり、制御端子はゲートである。

40

【0106】

また前記蓄電器の両端間の電圧差が初期状態から時間とともに大きくなると前記電圧差が前記初期状態よりも大きい第 1 所定値になるまで前記制御端子に前記トランジスタをオンさせつづける第 1 電圧を出力し、前記電圧差が前記第 1 所定値を超えると、前記電圧差が前記第 1 所定値よりも小さい第 2 所定値を下回るまで前記制御端子に前記スイッチング素子をオフさせつづける第 2 電圧を出力する回路を例えば図 4 に示されるラッチ回路 1 8 を含む回路 1 7 とした。かかる図 4 に示される回路では、蓄電器の両端間の電圧差の通常

50

の初期状態はゼロボルトであるが、本発明はかかるゼロボルトに限らない。例えば蓄電器にわずかに電荷が残っている状態では、その電荷量と蓄電器の容量とに応じた電圧となる。本発明はこの構成に限らず、ラッチ回路を含まないヒステリシス特性を有する回路で構成してもよい。たとえば、入力電圧に対して出力電圧がヒステリシス特性をもつ素子と、その素子の出力電圧に応じて、スイッチC SWのオンオフを制御する制御回路との組み合わせによって構成しても本発明に含まれる。

【0107】

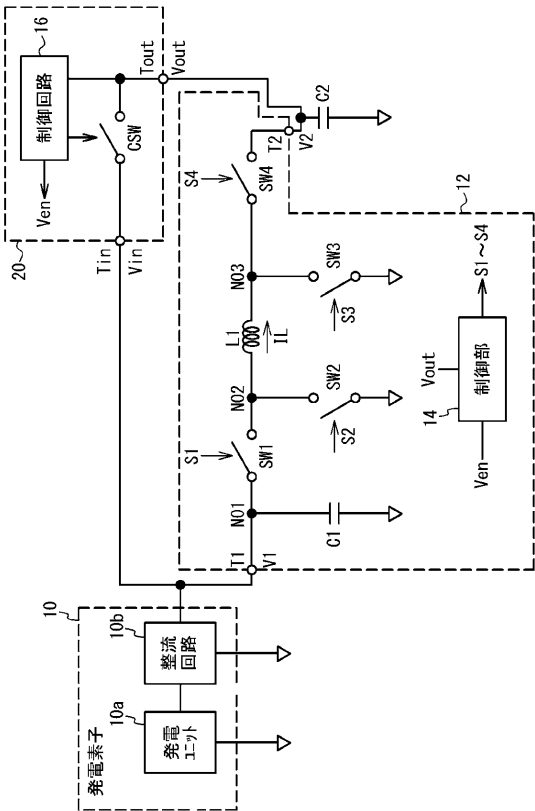
以上、本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【符号の説明】

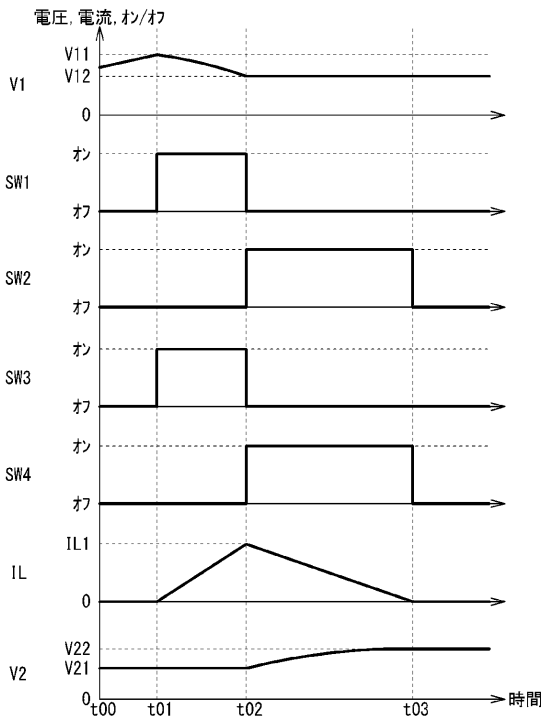
【0108】

- 10 発電素子
- 12 電圧変換回路
- 14 制御部
- 16 制御回路
- 17 回路
- 18 ラッチ回路
- 20 スイッチ回路

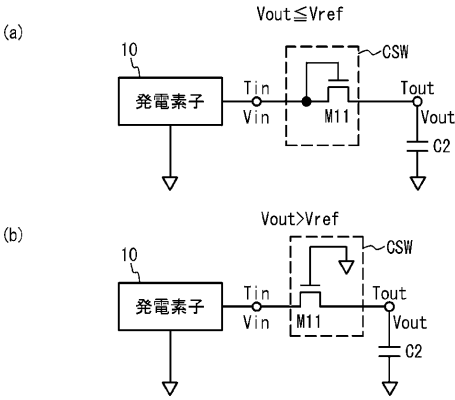
【図1】



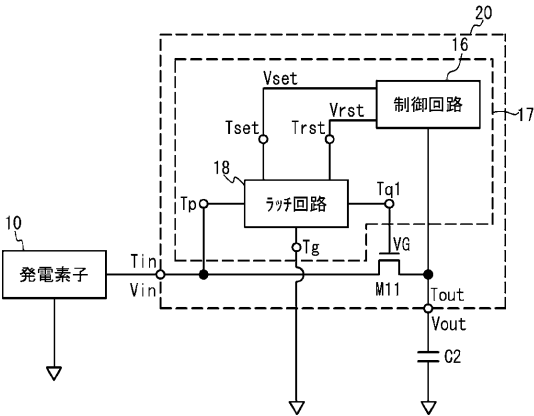
【図2】



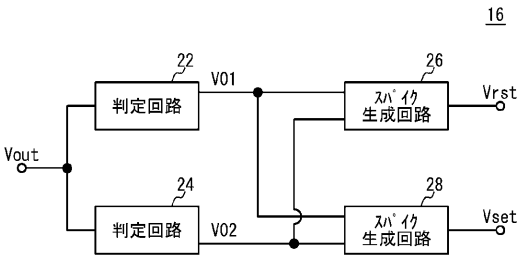
【図 3】



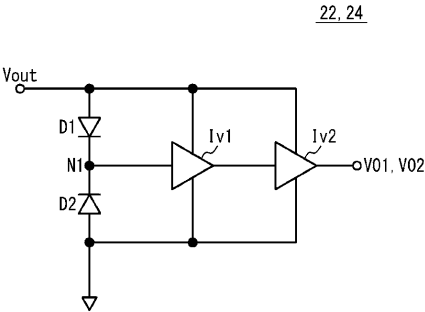
【図 4】



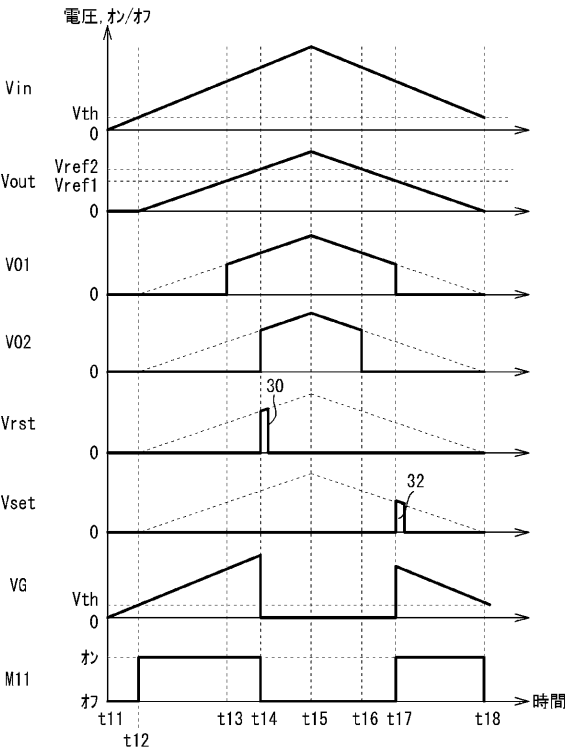
【図 5】



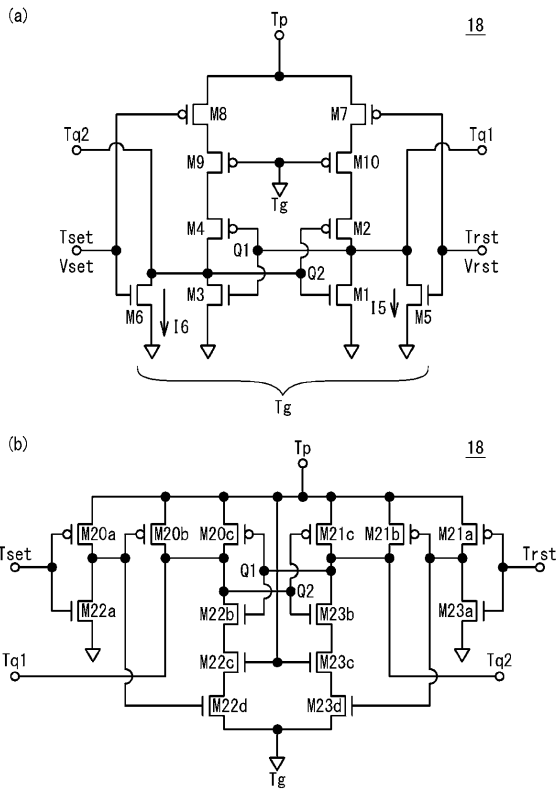
【図 6】



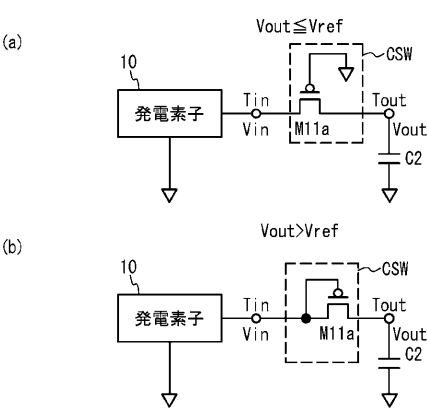
【図 7】



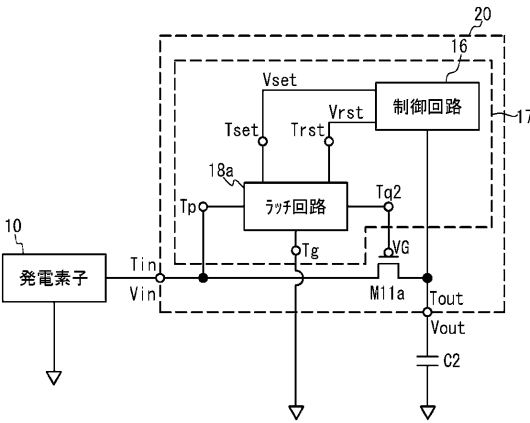
【図 8】



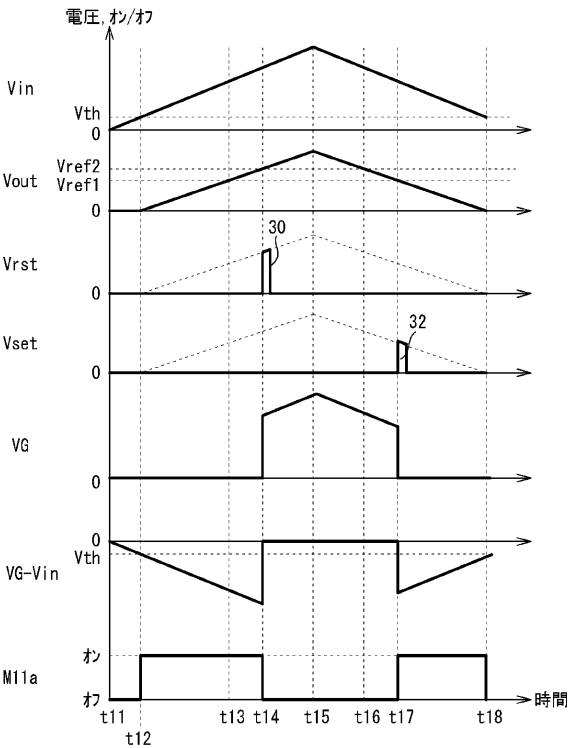
【図 9】



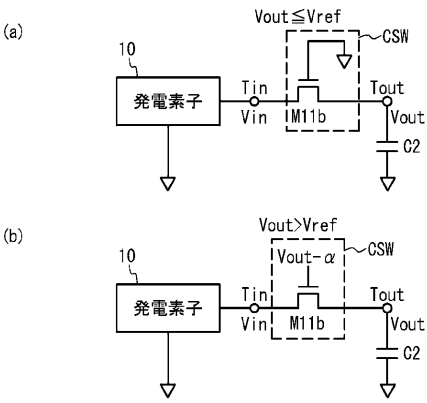
【図 10】



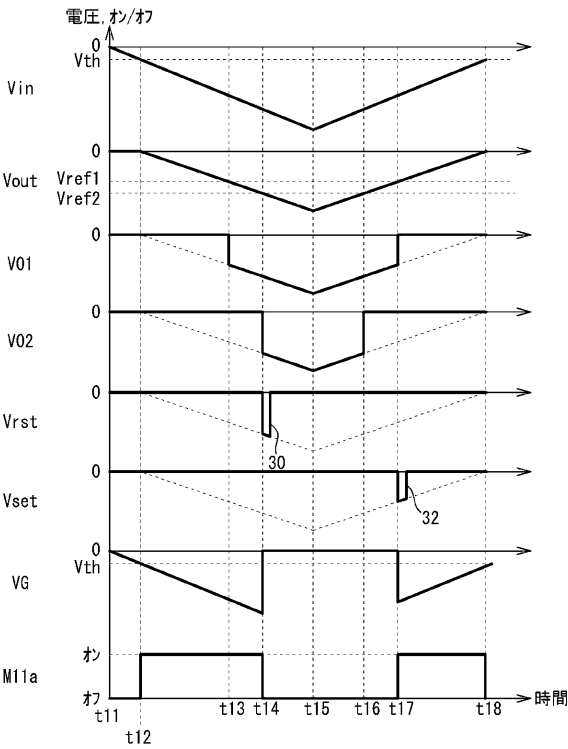
【図 11】



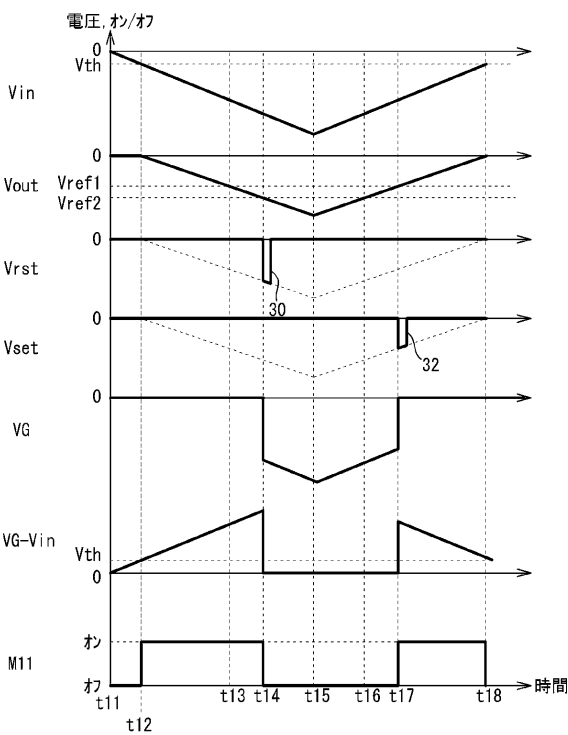
【図 1 2】



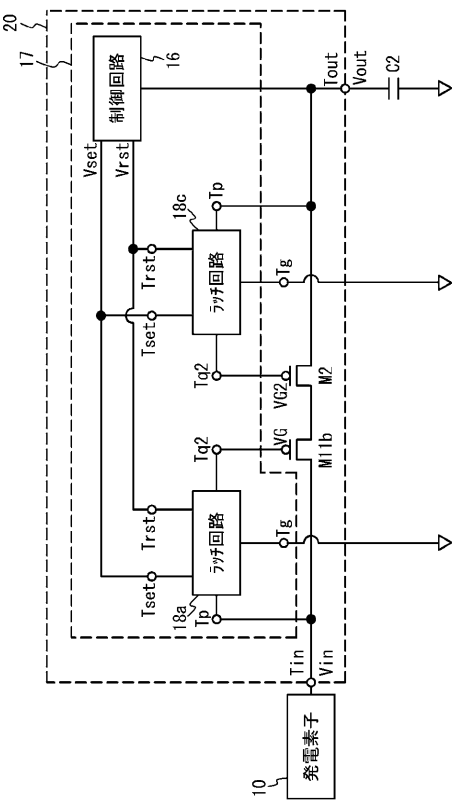
【図 1 3】



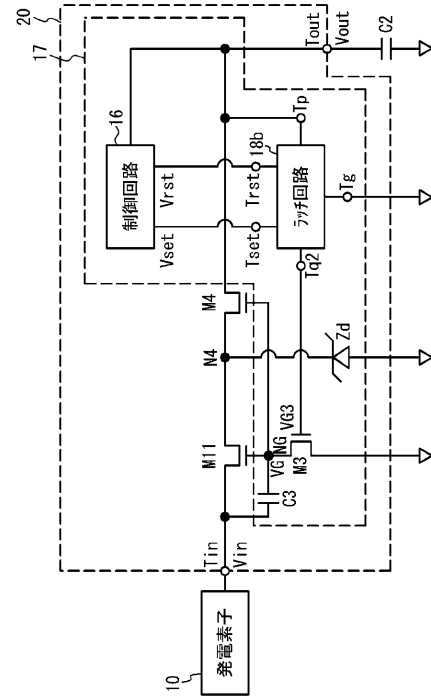
【図 1 4】



【図 1 5】



【図 17】



フロントページの続き

(56)参考文献 特開 2015-171266 (JP, A)
特開 2021-015323 (JP, A)
特開 2017-184304 (JP, A)
特開 2018-107963 (JP, A)
米国特許出願公開第 2020/0321948 (US, A1)

(58)調査した分野(Int.Cl., DB名)
H02M 3/155
H02M 1/08