

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7691112号  
(P7691112)

(45)発行日 令和7年6月11日(2025.6.11)

(24)登録日 令和7年6月3日(2025.6.3)

(51)Int. Cl.	F I
H10D 1/47 (2025.01)	H10D 1/47 101
H10D 89/60 (2025.01)	H10D 89/60
H10D 89/00 (2025.01)	H10D 89/00 101V
G01K 7/16 (2006.01)	G01K 7/16 Z
H05B 3/00 (2006.01)	H05B 3/00 310C

請求項の数 15 (全 17 頁)

(21)出願番号 特願2021-556056(P2021-556056)	(73)特許権者 503360115 国立研究開発法人科学技術振興機構 埼玉県川口市本町四丁目1番8号
(86)(22)出願日 令和2年11月5日(2020.11.5)	
(86)国際出願番号 PCT/JP2020/041348	(74)代理人 100105924 弁理士 森下 賢樹
(87)国際公開番号 W02021/095634	
(87)国際公開日 令和3年5月20日(2021.5.20)	(72)発明者 矢嶋 越彬 東京都文京区本郷七丁目3番1号 国立大 学法人東京大学内
審査請求日 令和5年11月1日(2023.11.1)	
(31)優先権主張番号 特願2019-204806(P2019-204806)	(72)発明者 田中 貴久 東京都文京区本郷七丁目3番1号 国立大 学法人東京大学内
(32)優先日 令和1年11月12日(2019.11.12)	
(33)優先権主張国・地域又は機関 日本国(JP)	(72)発明者 内田 建 東京都文京区本郷七丁目3番1号 国立大 学法人東京大学内
特許法第30条第2項適用 令和1年10月24日にウ ェブサイトに掲載された「IEEE Internat ional Electron Devices Me eting」の予稿集(オンラインプログラム)にて公 開	最終頁に続く

(54)【発明の名称】半導体デバイス

(57)【特許請求の範囲】

【請求項1】

温度が閾値を跨ぐと抵抗値が1桁以上変化する抵抗変化素子と、  
定電圧ラインと接地ラインの間に、前記抵抗変化素子と直列に接続されるインピーダ  
ンス回路と、

前記抵抗変化素子と前記インピーダンス回路との接続ノードである検出ノードと接続さ  
れ、ハイローの2値の何れかの状態を受けとるロジック回路と、  
を備えることを特徴とする半導体デバイス。

【請求項2】

前記定電圧ラインと前記接地ラインの間に、前記抵抗変化素子および前記インピーダ  
ンス回路の直列接続回路と直列に接続される第1スイッチをさらに備え、

前記第1スイッチは、センシングの期間にオンとなることを特徴とする請求項1に記載  
の半導体デバイス。

【請求項3】

前記第1スイッチは、前記ロジック回路によって制御されることを特徴とする請求項2  
に記載の半導体デバイス。

【請求項4】

前記定電圧ラインは、前記ロジック回路の電源ラインであることを特徴とする請求項1  
から3のいずれかに記載の半導体デバイス。

【請求項5】

前記ロジック回路は、前記検出ノードの信号を受けるフリップフロップを含むことを特徴とする請求項 1 から 3 のいずれかに記載の半導体デバイス。

【請求項 6】

前記ロジック回路は、  
前記検出ノードの信号を受ける R S フリップフロップと、  
前記検出ノードの電圧と、前記第 1 スイッチと前記直列接続回路との接続ノードの電圧を論理演算し、前記 R S フリップフロップのリセット入力に出力する論理ゲートと、  
を含むことを特徴とする請求項 2 または 3 に記載の半導体デバイス。

【請求項 7】

前記抵抗変化素子は、酸化物 M I T (Metal-Insulator Transition) 材料であることを特徴とする請求項 1 から 6 のいずれかに記載の半導体デバイス。 10

【請求項 8】

所定の処理を行う機能ブロックをさらに備え、機能ブロックの処理、タスク、状態、動作モード、動作環境が前記ロジック回路の出力に応じて変化することを特徴とする請求項 1 から 7 のいずれかに記載の半導体デバイス。

【請求項 9】

前記抵抗変化素子は、抵抗値が温度依存性を有しており、  
前記抵抗変化素子の形成された半導体デバイス上に設けられたヒータ素子と、  
入力信号に応じて前記ヒータ素子を駆動する駆動回路と、  
をさらに備えることを特徴とする請求項 1 から 8 のいずれかに記載の半導体デバイス。 20

【請求項 10】

前記駆動回路は、一端が前記ヒータ素子と接続され、他端に電源電圧が印加された第 2 スイッチを含むことを特徴とする請求項 9 に記載の半導体デバイス。

【請求項 11】

前記ヒータ素子と前記抵抗変化素子は、絶縁層を挟んで積層されることを特徴とする請求項 9 または 10 に記載の半導体デバイス。

【請求項 12】

前記ヒータ素子と前記抵抗変化素子の周囲が、前記絶縁層よりも熱伝導率が低い断熱材で充填されることを特徴とする請求項 11 に記載の半導体デバイス。

【請求項 13】 30

前記ヒータ素子および前記抵抗変化素子の電極および/またはそれと接続される配線は、W (タングステン) をドーピングした  $VO_2$  (二酸化バナジウム)、 $InGaZnO_4$  (IGZO)、La (ランタン) をドーピングした  $RuO_2$  (二酸化ルテニウム)、ITO (酸化インジウムスズ)、AZO ( $ZnO:Al$ ) のいずれかである金属酸化物を含むことを特徴とする請求項 9 から 12 のいずれかに記載の半導体デバイス。

【請求項 14】

前記抵抗変化素子の周囲を取り囲む、あるいは前記抵抗変化素子を覆う、あるいは挟み込むように形成される高熱伝導率領域をさらに備えることを特徴とする請求項 9 から 13 のいずれかに記載の半導体デバイス。

【請求項 15】 40

前記ヒータ素子および前記駆動回路のセットは、複数個設けられることを特徴とする請求項 9 から 13 のいずれかに記載の半導体デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、半導体デバイスに関する。

【背景技術】

【0002】

集積回路、パワーデバイス、フォトニクス、センサ、 $\mu$ -TAS (Total Analysis Systems) をはじめとするさまざまな回路 (以下、半導体デバイスという) において、局所温 50

度管理が重要となっている。従来の半導体デバイスでは、温度に対して、抵抗値や電圧降下が連続的に単調変化する温感素子、たとえばPN接合（ダイオード）や、サーミスタを利用し、温感素子に発生する電圧を、電圧コンパレータやA/Dコンバータなどのアナログ回路を用いて処理するのが一般的であった（非特許文献1～3）。

【先行技術文献】

【非特許文献】

【0003】

【非特許文献1】O. Nizhnik, K. Higuchi, and K. Maenaka, "Energy-Efficient, 0.1 nJ/conversion Temperature Sensor with Time-to-Digital Converter and 1 °C Accuracy in -6 to 64 °C Range," IEEE Sensors, 2013.

10

【非特許文献2】K. Souri, Y. Chae, and K. A. A. Mainwa, "A CMOS Temperature Sensor With a Voltage-Calibrated Inaccuracy of  $\pm 0.15$  % From 55 °C to 125 °C," IEEE J. Solid Stat. Circ. vol. 48, pp. 292-301, 2013.

【非特許文献3】H. Lee, D. Shim, C. Rhee, M. Kim, and S. Kim, "A Sub-1.0-V On-Chip CMOS Thermometer With a Folded Temperature Sensor for Low-Power Mobile DRAM," IEEE Trans. Circ. Sys.-II: Exp. Briefs vol., 63, pp. 553-557, 2016.

【非特許文献4】K. Shibuya, M. Kawasaki, and Y. Tokura, "Metal-insulator transition in epitaxial  $V_{1-x}W_xO_2$  ( $0 < x < 0.33$ ) thin films," Appl. Phys. Lett. vol. 96, 022102, 2010.

【非特許文献5】M. M. Qazilbash et al., "Mott Transition in  $VO_2$  Revealed by Infrared Spectroscopy and Nano-Imaging," Science vol. 318, pp. 1750-1753, 2007.

20

【非特許文献6】S. Lee et al., "Anomalously low electronic thermal conductivity in metallic vanadium dioxide," Science vol. 355, pp. 371-374, 2017.

【非特許文献7】Z. Yang, C. Ko, S. Ramanathan, "Oxide Electronics Utilizing Ultrafast Metal-Insulator Transitions", Annu. Rev. Mater. Res. 2011, 41, 337.

【発明の概要】

【発明が解決しようとする課題】

【0004】

半導体デバイスの局所温度管理では、測定精度よりも、高速応答性、低消費電力化、小面積化が求められている。従来の温度管理では、温感素子とのインタフェースにアナログ回路を用いているため、回路面積が大きく、応答速度が遅く、また消費電力が大きいという問題があった。

30

【0005】

また、温度以外の環境情報、たとえば、圧力、ガス雰囲気、磁場、電場、光（照度）などを検出するセンサを使用する場合にも、同様の問題が生じていた。

【0006】

本開示に係る状況においてなされたものであり、そのある態様の例示的な目的は、高速、低消費電力で、環境情報を検出可能であり、あるいは信号伝送が可能な半導体デバイスの提供にある。

【課題を解決するための手段】

40

【0007】

本開示のある態様は、半導体デバイスに関する。半導体デバイスは、環境に応じて抵抗値が急峻に変化する抵抗変化素子と、定電圧ラインと接地ラインの間に、抵抗変化素子と直列に接続されるインピーダンス回路と、抵抗変化素子とインピーダンス回路との接続ノードである検出ノードの信号を受けるロジック回路と、を備える。

【0008】

なお、以上の構成要素の任意の組合せ、本発明の表現を装置、方法、システムなどの変換したものもまた、本発明の態様として有効である。

【発明の効果】

【0009】

50

本発明によれば、高速、低消費電力で環境情報を取得できる。

【図面の簡単な説明】

【0010】

【図1】実施の形態1に係る半導体デバイスの等価回路図である。

【図2】抵抗変化素子の抵抗値 $R_{MIT}$ の温度依存性を示す図である。

【図3】図1のバイナリサーミスタの動作を説明する図である。

【図4】抵抗変化素子の構造を示す図である。

【図5】図4の抵抗変化素子の抵抗率の温度依存性を示す図である。

【図6】図6(a)は、抵抗変化素子のサンプルの原子間力顕微鏡写真であり、図6(b)は、このサンプルの抵抗値 $R_{MIT}$ の温度依存性を示す図である。

10

【図7】図7(a)、(b)は、一実施例に係る半導体デバイスの回路図およびその真理値表である。

【図8】図8(a)、(b)は、図7(a)の半導体デバイスの動作波形図であり、図8(c)は、図7(a)の半導体デバイスの特性を示す図である。

【図9】一実施例に係る半導体デバイスの回路図である。

【図10】実施の形態2に係る半導体デバイスの回路図である。

【図11】図10の半導体デバイスの入出力特性を示す図である。

【図12】図12(a)~(c)は、駆動回路の構成例を示す回路図である。

【図13】電気熱カプラの一部分の構成例を示す図である。

【図14】図14(a)、(b)は、図13の電気熱カプラのサンプルの写真および入出力特性を示す図である。

20

【図15】高速な信号伝送に適した電気熱カプラの斜視図である。

【図16】図16(a)~(c)は、電気熱カプラの好ましい構造を示す断面図である。

【図17】図15の電気熱カプラの熱分布のシミュレーション結果を示す図である。

【図18】図15の電気熱カプラのシミュレーション波形図である。

【図19】実施の形態3に係る半導体デバイスの回路図である。

【発明を実施するための形態】

【0011】

(実施形態の概要)

本開示のいくつかの例示的な実施形態の概要を説明する。この概要は、後述する詳細な説明の前置きとして、実施形態の基本的な理解を目的として、1つまたは複数の実施形態のいくつかの概念を簡略化して説明するものであり、発明あるいは開示の広さを限定するものではない。またこの概要は、考えられるすべての実施形態の包括的な概要ではなく、実施形態の欠くべからざる構成要素を限定するものではない。便宜上、「一実施形態」は、本明細書に開示するひとつの実施形態(実施例や変形例)または複数の実施形態(実施例や変形例)を指すものとして用いる場合がある。

30

【0012】

一実施形態に係る半導体デバイスは、環境に応じて抵抗値が急峻に変化する抵抗変化素子と、定電圧ラインと接地ラインの間に、抵抗変化素子と直列に接続されるインピーダンス回路と、抵抗変化素子とインピーダンス回路との接続ノードである検出ノードの信号を受けるロジック回路と、を備える。

40

【0013】

「抵抗値が急峻に変化する」とは、監視対象である環境を特徴付ける物理量がしきい値近傍であるときに抵抗値が1桁以上変化すること、あるいは、抵抗値が実質的にステップ状に変化すること、などを含む。

【0014】

抵抗変化素子とインピーダンス回路の接続ノードに発生する電圧信号は、監視対象の物理量としきい値の大小関係に応じて、実質的にハイ、ローの二値で変化する。すなわち、抵抗変化素子とインピーダンス回路の組み合わせが、デジタル回路のように振る舞うため、その出力信号をロジック回路で直接受け取ることができる。この構成では、アナログのイ

50

インタフェース回路が不要となるため、高速化、低消費電力化、省面積化が可能となる。

【0015】

半導体デバイスは、定電圧ラインと接地ラインの間に、抵抗変化素子およびインピーダンス回路の直列接続回路と直列に接続される第1スイッチをさらに備えてもよい。第1スイッチは、センシングの期間にオンとなってもよい。これにより、さらに消費電力を削減できる。

【0016】

一実施形態において、第1スイッチは、ロジック回路によって制御されてもよい。

【0017】

一実施形態において、定電圧ラインは、ロジック回路の電源ラインであってもよい。

10

【0018】

一実施形態において、ロジック回路は、検出ノードの信号を受けるフリップフロップを含んでもよい。

【0019】

一実施形態において、フリップフロップは、RSフリップフロップであってもよい。ロジック回路は、検出ノードの電圧と、第1スイッチと直列接続回路との接続ノードの電圧を論理演算し、RSフリップフロップのリセット入力に出力する論理ゲートをさらに含んでもよい。

【0020】

一実施形態において半導体デバイスは、温度、電圧、磁場、圧力、光、特定の物質の濃度のいずれかを検出対象として構成されてもよい。

20

【0021】

一実施形態において、半導体デバイスは、所定の処理を行う機能ブロックをさらに備えてもよい。機能ブロックの処理、タスク、状態、動作モード、動作環境の少なくともひとつがロジック回路の出力に応じて変化してもよい。

【0022】

一実施形態において、抵抗変化素子は、抵抗値が温度依存性を有してもよい。半導体デバイスは、抵抗変化素子と近接して配置されたヒータ素子と、入力信号に応じてヒータ素子を駆動する駆動回路と、をさらに備えてもよい。これにより、絶縁した2つの回路ブロック間で、熱を利用した信号伝送が可能となる。

30

【0023】

一実施形態において、駆動回路は、一端がヒータ素子と接続され、他端に電源電圧が印加された第2スイッチを含んでもよい。

【0024】

一実施形態において、ヒータ素子と抵抗変化素子は、絶縁層を挟んで積層されてもよい。絶縁層は、高熱伝導率絶縁体であることが好ましく、ヒータ素子と抵抗変化素子は、電気的には絶縁された状態で、熱的に結合される。絶縁層は、AlN（窒化アルミニウム）、C（ダイヤモンド）、Si（シリコン）、SiC（炭化ケイ素）、AlO<sub>x</sub>（酸化アルミニウム）、Si<sub>3</sub>N<sub>4</sub>（窒化ケイ素）などを含んでもよい。

【0025】

一実施形態において、ヒータ素子と抵抗変化素子の周囲が、絶縁層よりも熱伝導率が低い低熱伝導率絶縁体である断熱材で充填されてもよい。断熱材は、SiO<sub>2</sub>（二酸化ケイ素）、ZrO<sub>2</sub>（二酸化ジルコニウム、ジルコニア）、ステアタイト、樹脂やゴムなどの有機物、シリカゲルなどの多孔質材料、ナノチューブセラミクス等の粉末状材料が例示される。

40

【0026】

一実施形態において、ヒータ素子および抵抗変化素子の電極、および/またはそれと接続される配線は、低熱伝導度を有する金属酸化物を含んでもよい。具体的には、電極/配線は、W（タングステン）をドープしたVO<sub>2</sub>（二酸化バナジウム）、InGaZnO<sub>4</sub>（IGZO）、La（ランタン）をドープしたRuO<sub>2</sub>（二酸化ルテニウム）、ITO（

50

酸化インジウムスズ)、AZO(ZnO:Al)などの低熱伝導率金属で形成されてもよい。これにより、ヒータ電極から外部に熱が逃げるのを防止できる。

【0027】

一実施形態において、半導体デバイスは、抵抗変化素子と低熱伝導率絶縁体の周囲を取り囲むように、覆うように、あるいは挟み込むように形成される高熱伝導率領域をさらに備えてもよい。これにより外部の熱ノイズを遮断できる。

【0028】

一実施形態において、ヒータ素子および駆動回路のセットは、複数個設けられてもよい。複数の駆動回路を、複数の入力信号に応じて駆動することにより、複数の入力信号の論理演算(論理和や論理積)が可能となる。

10

【0029】

一実施形態において、抵抗変化素子は、 $VO_2$ 、 $RENiO_3$ ( $RE = La, Pr, Nd, Sm, Eu$ )、 $Ti_2O_3$ 、 $Ba_{1-y}Sr_yTiO_3$ 、 $Ba_{1-x}Pb_xTiO_3$ などの相変化酸化物材料を含んでもよい。

【0030】

(実施の形態)

以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

20

【0031】

本明細書において、「部材Aが、部材Bに接続された状態」とは、部材Aと部材Bが物理的に直接的に接続される場合や、部材Aと部材Bが、それらの電気的な接続状態に実質的な影響を及ぼさない、あるいはそれらの結合により奏される機能や効果を損なわせない、その他の部材を介して間接的に接続される場合も含む。

【0032】

同様に、「部材Cが、部材Aと部材Bの間に設けられた状態」とは、部材Aと部材C、あるいは部材Bと部材Cが直接的に接続される場合のほか、それらの電気的な接続状態に実質的な影響を及ぼさない、あるいはそれらの結合により奏される機能や効果を損なわせない、その他の部材を介して間接的に接続される場合も含む。

30

【0033】

本明細書において、「高熱伝導率材料」、「高熱伝導率絶縁体」、「高熱伝導率金属」なる表現は、熱伝導率が $20\text{Wm}^{-1}\text{K}^{-1}$ 以上の材料をいう。また本明細書において、「低熱伝導率材料」、「低熱伝導率絶縁体」、「低熱伝導率金属」なる表現は、熱伝導率が $10\text{Wm}^{-1}\text{K}^{-1}$ 以下の材料をいう。

【0034】

(実施の形態1)

図1は、実施の形態1に係る半導体デバイス100Aの等価回路図である。半導体デバイス100Aは、抵抗変化素子102、インピーダンス回路104、ロジック回路110を備え、ひとつの基板に集積化される。

40

【0035】

抵抗変化素子102は、 $VO_2$ を初めとする金属-絶縁体遷移(Metal-Insulator Transition)材料であり、所定のしきい値温度(遷移温度ともいう) $T_{TH}$ において抵抗値 $R_{MIT}$ が急峻に変化する。抵抗値 $R_H$ と $R_L$ は一桁以上異なることが好ましい。図2は、抵抗変化素子102の抵抗値 $R_{MIT}$ の温度依存性を示す図である。抵抗変化素子102の抵抗値 $R_{MIT}$ は、温度 $T$ がしきい値温度 $T_{TH}$ より高いときに低い値 $R_L$ を有し、温度 $T$ がしきい値温度 $T_{TH}$ より低いときに高い値 $R_H$ を有し、しきい値温度 $T_{TH}$ を境界として、絶縁体と金属の状態を遷移する。抵抗変化素子102は、ヒステリシスを有しており、しきい値温度 $T_{TH}$ は、2つの値 $T_{THH}$ 、 $T_{THL}$ で遷移する。後述のように、

50

しきい値温度  $T_{TH}$  は、抵抗変化素子 102 の材料と、抵抗変化素子 102 を形成する下地層（基板）の材料に応じて調節することができる。

【0036】

図1に戻る。インピーダンス回路 104 は、定電圧ライン 101 と接地ラインの間に、抵抗変化素子 102 と直列に接続される。この例では、定電圧ライン 101 は電源電圧  $V_{DD}$  が供給される電源ラインである。

【0037】

図1においてインピーダンス回路 104 は抵抗のシンボルで示すが、インピーダンス回路 104 は抵抗素子の他、電流源として振る舞うトランジスタであってもよいし、抵抗素子とトランジスタの組み合わせであってもよい。インピーダンス回路 104 のインピーダンス  $R_0$  は、 $R_L < R_0 < R_H$  を満たすように選ばれる。

10

【0038】

抵抗変化素子 102 とインピーダンス回路 104 の接続ノードの電圧  $V_{OUT}$  は、式(1)で表される。

$$V_{OUT} = V_{DD} \times R_{MIT} / (R_0 + R_{MIT})$$

抵抗変化素子 102 の温度  $T$  が、しきい値温度  $T_{TH}$  より低いとき、 $R_{MIT} = R_H$  であるから、そのときの出力電圧  $V_{OUT}$  の電圧レベル（ハイ電圧  $V_H$ ）は、式(2)で表される。

$$V_H = V_{DD} \times R_H / (R_0 + R_H) \quad \dots (2)$$

【0039】

温度  $T$  が、しきい値温度  $T_{TH}$  より高いとき、 $R_{MIT} = R_L$  であるから、そのときの出力電圧  $V_{OUT}$  の電圧レベル（ロー電圧  $V_L$ ）は、式(3)で表される。

$$V_L = V_{DD} \times R_L / (R_0 + R_L) \quad \dots (3)$$

【0040】

$R_L$ 、 $R_0$ 、 $R_H$  の関係が成り立つとき、 $V_H = V_{DD}$ 、 $V_L = 0V$  となる。つまり、電圧信号  $V_{OUT}$  は、温度  $T$  がしきい値  $T_{TH}$  より高いか低いを示すデジタル信号である。そこで本明細書では、抵抗変化素子 102 とインピーダンス回路 104 の直列接続回路をバイナリサーミスタ 106 と称する。

【0041】

ロジック回路 110 は、組み合わせ順序回路であり、バイナリサーミスタ 106 の出力信号  $V_{OUT}$ 、すなわち抵抗変化素子 102 とインピーダンス回路 104 の接続ノードの信号を受ける。ロジック回路 110 は、フリップフロップやラッチ、インバータやさまざまな論理ゲートの組み合わせで構成することができ、出力信号  $V_{OUT}$  の状態を保持し、所定の信号処理を実行する。

30

【0042】

以上が半導体デバイス 100A の構成である。図3は、図1のバイナリサーミスタ 106 の動作を説明する図である。縦軸は出力電圧  $V_{OUT}$  を、横軸は温度  $T$  を示す。温度が上昇する過程に着目すると、温度  $T$  がしきい値  $T_{THH}$  より低い状態では、出力電圧  $V_{OUT}$  はハイ（ $= V_H$ ）である。温度  $T$  がしきい値  $T_{THH}$  を超えると、出力電圧  $V_{OUT}$  はロー（ $V_L$ ）に遷移する。

40

【0043】

温度が下降する過程に着目すると、温度  $T$  がしきい値  $T_{THL}$  より高い状態では、出力電圧  $V_{OUT}$  はロー（ $= V_L$ ）であり、温度  $T$  がしきい値  $T_{THL}$  を下回ると、出力電圧  $V_{OUT}$  はハイ（ $V_H$ ）に遷移する。

【0044】

以上が半導体デバイス 100A の動作である。この半導体デバイス 100A によれば、バイナリサーミスタ 106 が、デジタル回路のように振る舞うため、その出力信号  $V_{OUT}$  をロジック回路 110 で直接受けることができる。すなわち、バイナリサーミスタ 106 の出力信号  $V_{OUT}$  を、アンプや電圧コンパレータ、D/Aコンバータを初めとするアナログのインタフェース回路あるいはフロントエンド回路を経由させる必要がないため、

50

高速化、低消費電力化、省面積化が可能となる。

【0045】

たとえばバイナリサーミスタ106は、サーマルシャットダウン回路（過熱保護回路）として利用することができる。半導体デバイス100Aの利点は以下の比較技術との対比によって明確となる。

【0046】

比較技術1：サーマルシャットダウン回路は、サーミスタと、サーミスタに生ずる電圧を基準電圧（しきい値電圧）と比較する電圧コンパレータの組み合わせで構成される。この場合、サーミスタは、半導体デバイスに外付けする必要があるため、半導体デバイスのチップ温度（ジャンクション）温度を直接モニターすることにはならない。また電圧コンパレータの回路面積は大きく、さらにその消費電力も大きい。また電圧コンパレータの応答遅延もある。これに比べて、実施の形態に係る半導体デバイス100Aでは、サイズ、消費電力、速度の観点で、比較技術1より優れている。

10

【0047】

比較技術2：サーマルシャットダウン回路は、PN接合（ダイオード）を利用して構成される。PN接合には、ジャンクション温度に応じた電流が流れる。あるいはPN接合を定電流でバイアスすると、その両端間には温度に依存した電圧降下が発生する。温度に依存した電気信号は、コンパレータによって基準電圧と比較され、過熱状態が検出される。比較技術2においても、コンパレータが必要であるから、回路面積、消費電力、応答遅延も大きくなる。これに比べて、実施の形態に係る半導体デバイス100Aは、サイズ、消費電力、速度の観点で、比較技術2より優れている。

20

【0048】

また、比較技術1や2では、しきい値温度が、コンパレータに入力する基準電圧に応じて定まるため、基準電圧が変動すると、しきい値温度も変動する。加えてコンパレータは、無視できない入力オフセット電圧を有するため、入力オフセット電圧の影響によっても、しきい値温度がばらついたり変動したりする。これに対して、実施の形態に係る半導体デバイス100Aでは、しきい値温度 $T_{TH}$ は、基準電圧やコンパレータの入力オフセット電圧の影響を受けない。

【0049】

また、実施の形態に係る半導体デバイス100Aは、アナログデジタル混載回路だけでなく、フルデジタルの回路にも実装できるという利点がある。

30

【0050】

また、比較技術では、チャタリングを防止するために、ヒステリシスコンパレータを用いる必要があるが、本実施の形態では、バイナリサーミスタ106自体がヒステリシスを有しているため、チャタリングに強いという利点もある。

【0051】

続いて、抵抗変化素子102のサンプルを作製して評価した結果を説明する。図4は、抵抗変化素子102の構造を示す図である。抵抗変化素子102は、基板200、 $VO_2$ 層202、電極204、206の積層構造であり、2つの電極204、206に挟まれる領域が、抵抗変化素子102として機能する。2つの電極204、206のギャップ長 $L$ が、抵抗変化素子102の長さに相当し、2つの電極204、206の配線幅 $W$ が、抵抗変化素子102の幅に相当する。

40

【0052】

続いてしきい値温度 $T_{TH}$ について説明する。MIT材料の遷移温度は、材料や不純物濃度などに応じて、 $-200 \sim 80$ の範囲で変化する。言い換えると、それらを設計パラメータとして、しきい値温度 $T_{TH}$ を決定することができる。

【0053】

図5は、図4の抵抗変化素子102の抵抗率の温度依存性を示す図である。基板200として、3種類 $TiO_2$ (001)、 $TiO_2$ (101)、 $Al_2O_3$ (0001)を用い、3種類のサンプルを作成した。各サンプルにおける $VO_2$ 層の膜厚 $t$ は、 $TiO_2$ (

50

001)において9nm、TiO<sub>2</sub>(101)において9nm、Al<sub>2</sub>O<sub>3</sub>(0001)において80nmである。またW=1mm、L=1mmである。遷移温度は、3種類のサンプルで異なっており、280K~360Kの範囲で制御されている。

【0054】

図6(a)は、抵抗変化素子102のサンプルの原子間力顕微鏡写真である。このサンプルは、半導体チップに集積化可能な程度にダウンスケールしたものであり、寸法は、L=240nm、W=590nm、t=6nmである。図6(b)は、このサンプルの抵抗値R<sub>MIT</sub>の温度依存性を示す図である。遷移温度は320Kであり、抵抗値R<sub>MIT</sub>は急峻に変化する。

【0055】

図7(a)は、一実施例に係る半導体デバイス100Aの回路図である。定電圧ライン101とバイナリサーミスタ106の間には、第1スイッチSW1が設けられる。たとえば第1スイッチSW1は、PチャンネルのMOSFETで構成してもよい。センシング期間に第1スイッチSW1がオンとなり、バイナリサーミスタ106にセンス電圧V<sub>SENSE</sub>(すなわち電源電圧V<sub>DD</sub>)が供給され、温度比較が可能となっている。第1スイッチSW1がオフである非センシング期間では、バイナリサーミスタ106には電流が流れないため、消費電力はゼロとなる。

【0056】

第1スイッチSW1のオン、オフは、ロジック回路110が制御してもよい。温度を判定するタイミングにおいて、ロジック回路110は、第1スイッチSW1をオンし、それ以外の期間、第1スイッチSW1をオフするゲートドライバを含んでもよい。

【0057】

この実施例において、定電圧ライン101は電源ラインであり、電源電圧V<sub>DD</sub>は、ロジック回路110にも供給されている。ロジック回路110は、組み合わせ回路113およびRSフリップフロップ112を含む。バイナリサーミスタ106の出力信号V<sub>OUT</sub>は、RSフリップフロップ112のセット端子に入力される。組み合わせ回路113は、出力信号V<sub>OUT</sub>とセンス信号V<sub>SENSE</sub>を論理演算し、その結果をRSフリップフロップ112のリセット端子に入力する。たとえば組み合わせ回路113は、NORゲート114およびインバータ116を含む。インバータ116は、センス信号V<sub>SENSE</sub>を反転する。NORゲート114は、出力信号V<sub>OUT</sub>とセンス信号V<sub>SENSE</sub>の反転信号との否定論理和V<sub>RESET</sub>を生成する。図7(b)は、図7(a)の半導体デバイス100Aの真理値表である。

【0058】

図7(a)のロジック回路110の構成は例示であって、さまざまな変形例が存在することが理解される。

【0059】

図8(a)、(b)は、図7(a)の半導体デバイス100Aの動作波形図である。図8(c)は、図7(a)の半導体デバイス100Aの特性を示す図である。なお、センシング速度は、バイナリサーミスタ106におけるRC遅延よりも、ロジック回路110における遅延が支配的である。

【0060】

図9は、一実施例に係る半導体デバイス100Dのブロック図である。半導体デバイス100Dは、所定の信号処理を実行するASIC(Application Specific Integrated Circuit)、マイクロコントローラ、プロセッサなどであり、機能ブロック140を備える。

【0061】

機能ブロック140は、半導体デバイス100Dの主回路である。機能ブロック140の処理、タスク、状態、動作モード、動作環境の少なくともひとつがロジック回路110の出力、すなわち温度に応じて変化してもよい。たとえばロジック回路110の出力が示す温度範囲に応じて、機能ブロック140の電源電圧を切りかえてもよいし、動作周波数

10

20

30

40

50

を切りかえてもよい。あるいは機能ブロック140は、ロジック回路110の出力が、所定の温度範囲であることを示すとき、所定の処理を実行してもよい。また機能ブロック140は、ロジック回路110の出力が示す温度範囲に応じて、それ自身の機能、処理、タスクを切りかえてもよい。

#### 【0062】

(実施の形態2)

実施の形態1では、バイナリサーミスタ106を、サーマルシャットダウン回路などの、温度判定に用いる場合を説明したが、その限りでない。

#### 【0063】

図10は、実施の形態2に係る半導体デバイス100Bの回路図である。半導体デバイス100Bは、バイナリサーミスタ106、ロジック回路110に加えて、ヒータ素子120および駆動回路122を備える。ヒータ素子120は、抵抗変化素子102と近接して配置される。ヒータ素子120としては、Ni(ニッケル)やW(タングステン)を初めとする低電気伝導率金属を用いることができる。

10

#### 【0064】

駆動回路122は、入力信号 $V_{IN}$ に応じてヒータ素子120を駆動し、ヒータ素子120の発熱をオン、オフ制御する。なお、バイナリサーミスタ106と電源ラインの間に、図7(a)と同様に第1スイッチSW1を挿入し、センス電圧 $V_{SENSE}$ を間欠的に印加するようにしてもよい。

#### 【0065】

以上が半導体デバイス100Bの構成である。図11は、図10の半導体デバイス100Bの入出力特性を示す図である。この入出力特性は、インバータのそれと一致している。

20

#### 【0066】

この半導体デバイス100Bによれば、電気信号である入力信号 $V_{IN}$ を一旦、熱信号に変換し、熱信号を再び電気信号である出力信号 $V_{OUT}$ に変換し、ロジック回路110に伝送することができる。ヒータ素子120、駆動回路122およびバイナリサーミスタ106を、電気熱カプラ(Electrothermo-coupler)130と称する。

#### 【0067】

絶縁電源などでは、1次側と2次側の絶縁が要求される場所、従来ではフォトカプラや、パルストランスを用いて、1次側と2次側の信号伝送を行っていた。図10の電気熱カプラ130は、こうした用途にも利用することができる。

30

#### 【0068】

図12(a)~(c)は、駆動回路122の構成例を示す回路図である。図12(a)の駆動回路122は、第2スイッチSW2を含む。第2スイッチSW2はたとえばPチャンネルMOSFETであり、一端がヒータ素子120と接続され、他端に電源電圧 $V_{DD}$ が印加され、ゲート(制御端子)に入力信号 $V_{IN}$ が印加される。この場合の電気熱カプラ130の入出力特性は、入力信号 $V_{IN}$ と出力信号 $V_{OUT}$ の論理が一致する非反転型となる。

#### 【0069】

図12(b)の駆動回路122は、CMOSインバータを含む。図12(c)の駆動回路122は、入力信号 $V_{IN}$ に応じてオン、オフが切り替え可能な電流源を含む。

40

#### 【0070】

図13は、電気熱カプラ130の一部分の構成例を示す図である。基板300上に、抵抗変化素子102である $VO_2$ 層302が形成される。さらに $VO_2$ 層302の上に、絶縁層304、ヒータ素子306の順で積層される。絶縁層304としては、電気的には絶縁であり、熱伝導率が高い材料を用いることができる。

#### 【0071】

図13の構造を有する電気熱カプラ130のサンプルを作製し、その特性を評価した。図14(a)は、図13の電気熱カプラ130のサンプルの写真である。基板300は、

50

$TiO_2$  (001) であり、 $VO_2$  層の厚さは 8 nm とした。ヒータ素子 306 の材料は Ni (ニッケル) であり、絶縁層 304 として、厚さ 15 nm の  $Y_2O_3$  (酸化イットリウム) を形成した。

【0072】

図 14 (b) は、電気熱カプラ 130 のサンプルの入出力特性を示す図である。横軸は入力信号  $V_{IN}$  を示す。上段の縦軸はコンダクタンスを、下段の縦軸は出力信号  $V_{OUT}$  を示す。図 14 (b) の特性は、280 K の環境温度  $T_e$  下で、 $R_0 = 70 k$  として測定した。

【0073】

電気熱カプラ 130 によって高速な信号伝送を行うためには、電気熱カプラ 130 の温度が高速に変化する必要がある。図 15 は、高速な信号伝送に適した電気熱カプラ 130 の斜視図である。この例では、ヒータ素子 306 は W (タングステン) で形成される。また絶縁層 304 として、高熱伝導率材料として知られる AlN (窒化アルミニウム) が用いられる。また、ヒータ素子 306、絶縁層 304、 $VO_2$  層 302 を含む積層構造 301 の周囲は、熱伝導率が低い断熱材 308 で覆われている。断熱材 308 としては、 $SiO_2$  などの酸化物を用いることができる。 $VO_2$  層 302 の両端の電極部分 (および / またはそれと接続される配線) は、W :  $VO_2$  (タングステンドープの  $VO_2$ ) などの低熱伝導率金属で形成するとよい。これにより、 $VO_2$  層 302 (抵抗変化素子 102) の電極から外部に熱が逃げるのを防止できる。同様に、ヒータ素子 306 の電極および / またはそれと接続される配線も、低熱伝導率材料で形成するとよい。

【0074】

図 16 (a) ~ (c) は、電気熱カプラ 130 の好ましい構造を示す断面図である。図 16 (a) に示すように、電気熱カプラ 130 は、ヒータ素子 306、ヒータ素子 306、 $VO_2$  層 302 の積層構造 301 の周囲を取り囲むように形成される高熱伝導率領域 312 を備える。たとえば高熱伝導率領域 312 は、積層構造 301 を取り囲む配線であってもよい。高熱伝導率領域 312 は、銅 (Cu) や銀 (Ag)、金 (Au)、アルミニウム (Al) などの高熱伝導率金属の配線層であってもよい。

【0075】

図 16 (b) において、高熱伝導率領域 312 は、積層構造 301 の上面を覆うように形成される。

【0076】

図 16 (c) に示すように、積層構造 301 は、上面の高熱伝導層 312 A と下面の高熱伝導層 312 B とで挟み込まれる。

【0077】

図 16 (a) ~ (c) に示すように、積層構造 301 の周囲に高熱伝導率領域 312 を形成することにより、外部の熱ノイズを遮断できる。また信号伝達完了後のジュール熱を速やかに拡散させ、リセットすることができる。

【0078】

図 17 は、図 15 の電気熱カプラ 130 の熱分布のシミュレーション結果を示す図である。図 17 には、加熱から 0.02 ns、0.2 ns、0.4 ns、1 ns 経過後の熱分布が示される。ヒータ素子は、0.2 ns のパルス信号によって駆動される。この熱分布は、図 15 の破線 310 を含む断面を示す。

【0079】

図 18 は、図 15 の電気熱カプラ 130 のシミュレーション波形図である。入力信号  $V_{IN}$  は 0.2 ns のパルスであり、バイナリサーマスタ 106 に対する電源電圧  $V_{SENSE}$  は、1 ns のパルスである。最下段の温度は、W のヒータ、 $VO_2$  層それぞれのスラブの中心の温度である。出力信号  $V_{OUT}$  は、 $VO_2$  が遷移温度 (320 K) を超えるとアサートされる。このシミュレーション結果から、超高速な信号伝送が可能であることが分かる。

【0080】

10

20

30

40

50

## (実施の形態3)

図19は、実施の形態3に係る半導体デバイス100Cの回路図である。半導体デバイス100Cは、複数N個のヒータ素子120\_\_1~120\_\_Nと、N個のヒータ素子120\_\_1~120\_\_Nに対応するN個の駆動回路122\_\_1~122\_\_Nを備える。複数N個のヒータ素子120\_\_1~120\_\_Nは、共通のバイナリサーミスタ106と熱的に結合している。各駆動回路122\_\_i (i=1, 2, ... N)は、対応する入力信号V<sub>IN\_\_i</sub>に  
iに応じて、対応するヒータ素子120\_\_iを駆動する。

## 【0081】

この半導体デバイス100Cによれば、複数の入力信号V<sub>IN\_\_1</sub>~V<sub>IN\_\_N</sub>を論理演算した出力信号V<sub>OUT</sub>を生成できる。論理演算の種類は限定されず、論理和や論理積、否定論理和、否定論理積、排他的論理和などが例示される。論理演算の種類は、駆動回路122の構成に応じて設計できる。

10

## 【0082】

以上、本発明について、実施の形態をもとに説明した。この実施の形態は例示であり、それらの各構成要素や各処理プロセスの組み合わせにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。以下、こうした変形例について説明する。

## 【0083】

## (変形例1)

電気熱カプラ130に関して、実施の形態2では、VO<sub>2</sub>層302とヒータ素子306を積層する構造としたが、VO<sub>2</sub>層302とヒータ素子306のいずれを上側に配置してもよい。

20

## 【0084】

## (変形例2)

また電気熱カプラ130に関して、VO<sub>2</sub>層302とヒータ素子306を積層せずに、横方向に隣接して配置してもよい。

## 【0085】

## (変形例3)

実施形態では、温度のセンシングについて説明したが、本開示の適用はそれに限定されない。酸化MIT材料の抵抗値は、温度のみでなく、電圧、磁場、圧力、光、特定の物質の濃度など(以下、環境と総称する)に応じて、あるしきい値を境界にして急峻に変化する(非特許文献7)。したがって、実施形態で説明した半導体デバイス100は、電圧、磁場、圧力、光、ガスや液体の物質の濃度などの検出に利用できる。

30

## 【0086】

実施の形態にもとづき、具体的な用語を用いて本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を逸脱しない範囲において、多くの変形例や配置の変更が認められる。

## 【産業上の利用可能性】

## 【0087】

本開示は、半導体デバイスに関する。

40

## 【符号の説明】

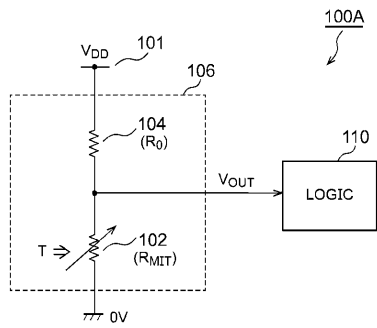
## 【0088】

- 100 半導体デバイス
- 102 抵抗変化素子
- 104 インピーダンス回路
- 106 バイナリサーミスタ
- 110 ロジック回路
- 120 ヒータ素子
- 122 駆動回路
- 130 電気熱カプラ

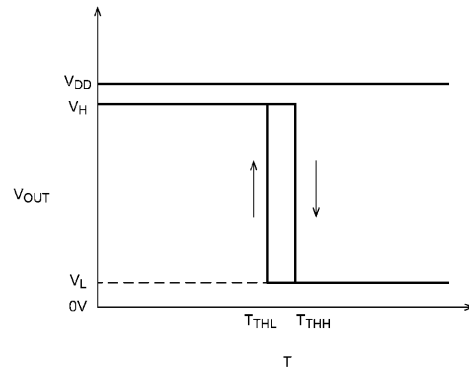
50

- 3 0 0 基板
- 3 0 1 積層構造
- 3 0 2  $VO_2$ 層
- 3 0 4 絶縁層
- 3 0 6 ヒータ素子
- 3 0 8 断熱材
- 3 1 2 高热伝導率領域

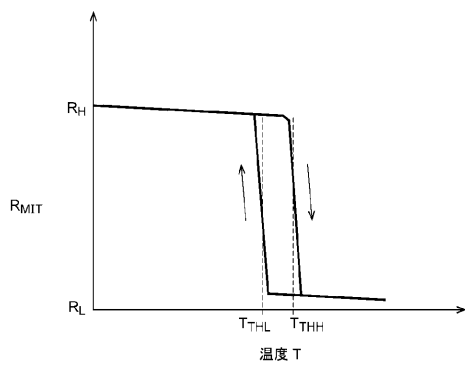
【図1】



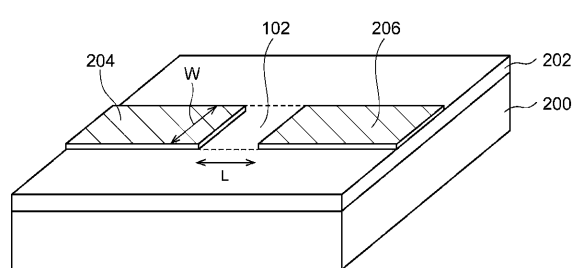
【図3】



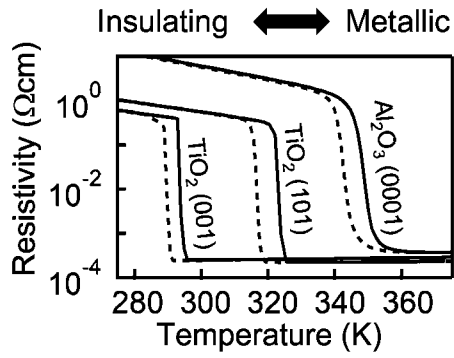
【図2】



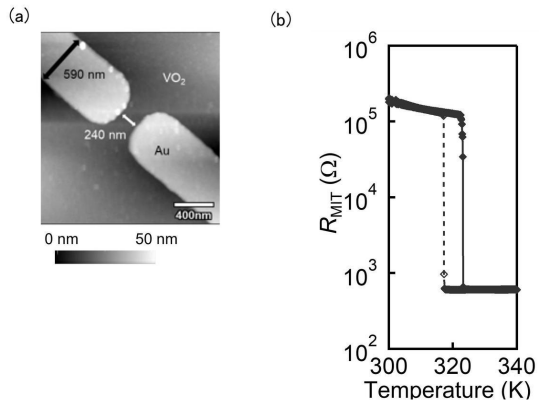
【図4】



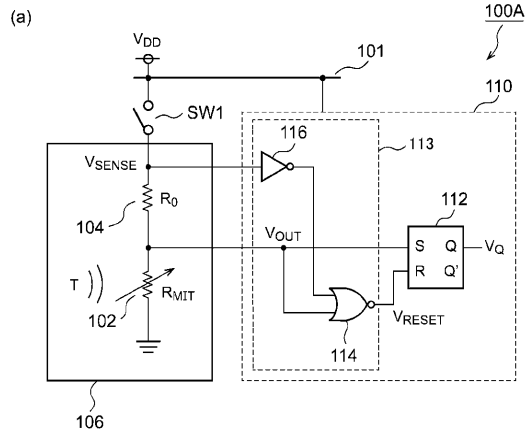
【図5】



【図6】



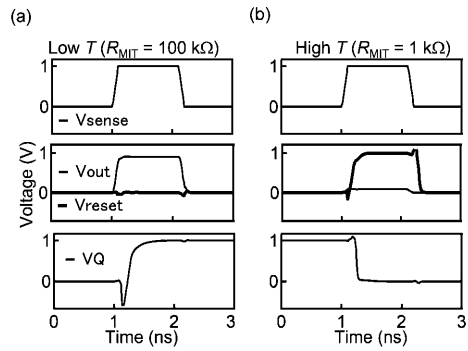
【図7】



(b)

T	VSENSE	S	R	Q	Q'
L	0	0	0	No change	
L	1	1	0	1	0
H	0	0	0	No change	
H	1	0	1	0	1

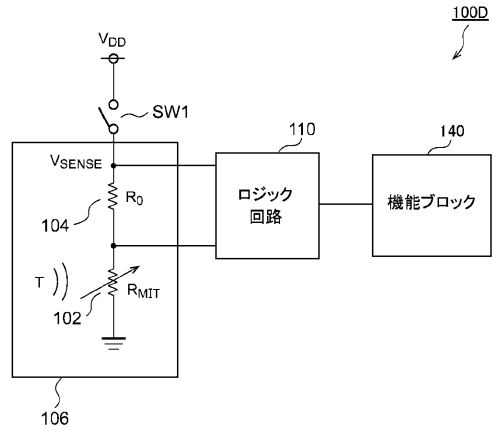
【図8】



(c)

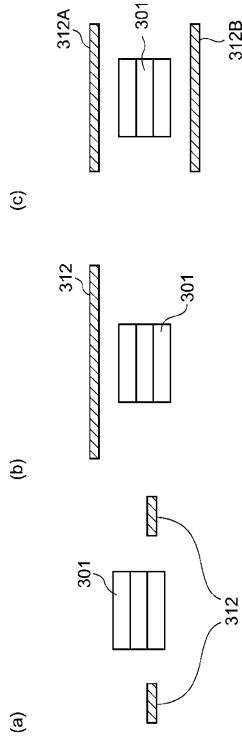
T	RMIT	Energy for V <sub>sense</sub>	Energy for CMOS	Total sensing energy	Sensing speed
L	100 kΩ	10.9 fJ	3.8 fJ	14.7 fJ	0.22 ns
H	1 kΩ	97.5 fJ	6.3 fJ	103.8 fJ	0.20 ns

【図9】

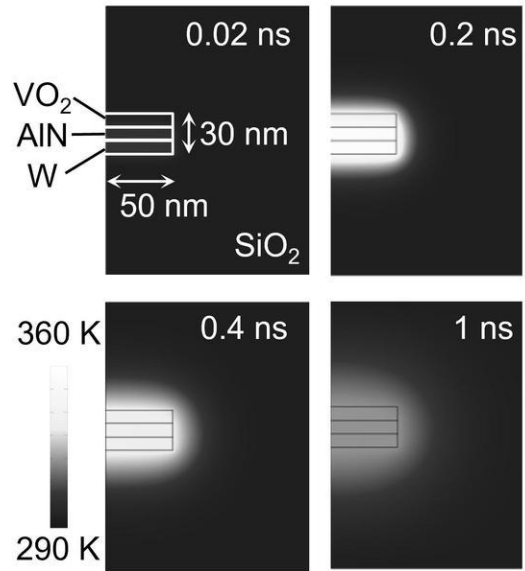




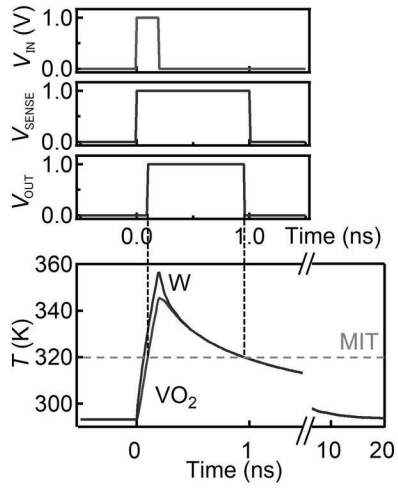
【 図 1 6 】



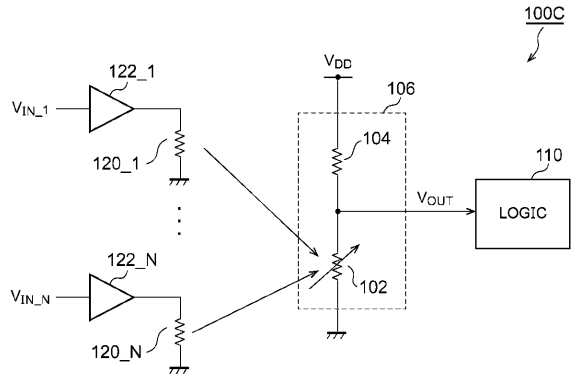
【 図 1 7 】



【 図 1 8 】



【 図 1 9 】



## フロントページの続き

(出願人による申告)平成29年度 国立研究開発法人科学技術振興機構、戦略的創造研究推進事業、研究タイプ「個人型研究(さきがけ)」、研究領域「微小エネルギーを利用した革新的な環境発電技術の創出」、研究題目「抵抗変化素子を活用した環境発電用回路技術の創成」、産業技術力強化法第17条の適用を受ける出願

(72)発明者 鳥海 明

東京都文京区本郷七丁目3番1号 国立大学法人東京大学内

審査官 大橋 達也

(56)参考文献 米国特許出願公開第2007/0013389(US, A1)

特表2009-539103(JP, A)

国際公開第2005/078399(WO, A1)

特開2011-216768(JP, A)

特開2017-163008(JP, A)

特開2018-064118(JP, A)

特開2010-096546(JP, A)

米国特許出願公開第2017/0249818(US, A1)

(58)調査した分野(Int.Cl., DB名)

H10D 1/47

H10D 89/60

H10D 89/00

G01K 7/16

H05B 3/00