(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第7620982号
(P7620982)
(45)発行日　令和7年1月24日(2025.1.24)　(24)登録日　令和7年1月16日(2025.1.16)

(51)Int.Cl.			F I		
G06G	*7/60*	*(2006.01)*	G06G	7/60	
G06N	*3/063*	*(2023.01)*	G06N	3/063	
H03K	*3/02*	*(2006.01)*	H03K	3/02	Z

請求項の数 28　(全 86 頁)

(21)出願番号　特願2021-501979(P2021-501979)
(86)(22)出願日　令和2年2月17日(2020.2.17)
(86)国際出願番号　PCT/JP2020/006045
(87)国際公開番号　WO2020/175209
(87)国際公開日　令和2年9月3日(2020.9.3)
審査請求日　令和5年2月16日(2023.2.16)
(31)優先権主張番号　特願2019-36951(P2019-36951)
(32)優先日　平成31年2月28日(2019.2.28)
(33)優先権主張国・地域又は機関
日本国(JP)

(73)特許権者　503360115
国立研究開発法人科学技術振興機構
埼玉県川口市本町四丁目１番８号
(74)代理人　110004370
弁理士法人片山特許事務所
(72)発明者　矢嶋　赳彬
東京都文京区本郷７丁目３番１号　国立大学法人東京大学内
審査官　征矢　崇

最終頁に続く

(54)【発明の名称】スパイク生成回路、情報処理回路、電力変換回路および電子回路

(57)【特許請求の範囲】
【請求項１】
入力信号が入力する入力端子に接続された中間ノードである第１ノードに出力ノードが接続され、第１電源と第２電源との間に接続された第１ＣＭＯＳインバータと、
前記第１電源と前記第２電源との間に前記第１ＣＭＯＳインバータと直列に接続されたスイッチと、
前記第１ノードの信号の反転信号を前記スイッチの制御端子に出力する第１反転回路と、
前記第１ノードの信号を遅延させ前記第１ＣＭＯＳインバータの入力ノードに出力し、出力端子に単発の出力スパイク信号を出力する遅延回路と、
を備えるスパイク生成回路。
【請求項２】
前記第１反転回路は前記第１ノードの信号の反転信号を前記スイッチの制御端子および第２ノードに出力し、
前記遅延回路は、前記第１反転回路と、前記第２ノードの信号の反転信号を前記第１ＣＭＯＳインバータの入力ノードおよび前記出力端子が接続された第３ノードに出力する第２反転回路と、を備える請求項１に記載のスパイク生成回路。
【請求項３】
前記第１反転回路は、前記第１ノードと前記第２ノードとの間に奇数段に接続された奇数個の第２ＣＭＯＳインバータを含み、前記奇数個の第２ＣＭＯＳインバータの各々にお

いて前記第１ノードに入力ノードが接続され前記第２ノードに出力ノードが接続され、
前記第２反転回路は、前記第２ノードと前記第３ノードとの間に奇数段に接続された奇数個の第３ＣＭＯＳインバータを含み、前記奇数個の第３ＣＭＯＳインバータの各々において前記第２ノードに入力ノードが接続され前記第３ノードに出力ノードが接続された請求項２に記載のスパイク生成回路。
【請求項４】
前記第２反転回路は、３個以上の奇数個の第３ＣＭＯＳインバータを含む請求項３に記載のスパイク生成回路。
【請求項５】
前記３個以上の第３ＣＭＯＳインバータの隣り合ういずれか２つの間の第４ノードに一端が接続され、他端が第１基準電位端子に接続された第１容量素子を備える請求項４に記載のスパイク生成回路。
【請求項６】
前記第１容量素子の容量値は、前記３個以上の第３ＣＭＯＳインバータ内の１つのＦＥＴのゲート容量値以上である請求項５に記載のスパイク生成回路。
【請求項７】
一端が前記第１ノードに接続され、他端が第２基準電位端子に接続された第２容量素子を備える請求項１から６のいずれか一項に記載のスパイク生成回路。
【請求項８】
第１ノードに出力ノードが接続され、第１電源と第２電源との間に接続された第１ＣＭＯＳインバータと、
前記第１電源と前記第２電源との間に前記第１ＣＭＯＳインバータと直列に接続された第１スイッチと、
前記第１ノードの信号の反転信号を前記第１スイッチの制御端子に出力する反転回路と、
前記第１ノードの信号を遅延させ前記第１ＣＭＯＳインバータの入力ノードに出力し、出力端子に単発の出力スパイク信号を出力する遅延回路と、
前記反転回路内に設けられ、入力信号が入力する入力端子に接続された中間ノードと、
を備えるスパイク生成回路。
【請求項９】
前記第１ＣＭＯＳインバータはハイレベルおよびローレベルの一方である第１レベルおよび前記ハイレベルおよび前記ローレベルの他方である第２レベルを出力し、
前記第１スイッチは、制御端子に前記第１レベルが入力するとオンし、前記制御端子に前記第２レベルが入力するとオフし、
前記反転回路は、前記第１ノードが前記第１レベルから前記第２レベルとなると前記第１レベルを前記第１スイッチの制御端子に出力する第１反転回路と、前記遅延回路の出力が前記第２レベルとなると前記第１スイッチの制御端子に前記第２レベルを出力する第２反転回路と、を備え、
前記中間ノードは、前記第２反転回路内に設けられている請求項８に記載のスパイク生成回路。
【請求項１０】
前記第２反転回路は、制御端子に前記遅延回路の出力が接続され、前記遅延回路が前記第２レベルを出力すると、前記中間ノードと前記入力信号の初期レベルが供給される電源とを接続する第２スイッチを備える請求項９に記載のスパイク生成回路。
【請求項１１】
入力ノードが前記中間ノードに接続され、出力ノードが前記第１スイッチの制御端子に接続された第２ＣＭＯＳインバータを備える請求項８から１０のいずれか一項に記載のスパイク生成回路。
【請求項１２】
前記第１反転回路は、制御端子が前記第１ノードに接続され、前記第１ノードが前記第

２レベルとなると前記第１スイッチの制御端子と前記第１レベルが供給される電源とを接続する第３スイッチを備える請求項１０に記載のスパイク生成回路。
【請求項１３】
制御端子が前記第１スイッチの制御端子に接続され、前記第１スイッチの制御端子が前記第２レベルのとき、前記第１ノードを前記第１レベルが供給される電源に接続する第４スイッチを備える請求項９または１０に記載のスパイク生成回路。
【請求項１４】
前記第２電源の電圧は前記第１電源の電圧より高く、
前記スイッチは、Ｎチャネルトランジスタでありかつ前記第１ノードと前記第１電源との間に接続されている、または、Ｐチャネルトランジスタでありかつ前記第１ノードと前記第２電源との間に接続されている請求項１から７のいずれか一項に記載のスパイク生成回路。
【請求項１５】
入力信号が入力する入力端子に接続された中間ノードである第１ノードに出力ノードが接続され、第１電源と第２電源との間に接続された第１ＣＭＯＳインバータと、
一端が前記第１ノードに接続され、他端が基準電位端子に接続され、前記入力信号による電荷が蓄積される容量素子と、
前記第１ノードと出力端子との間に偶数段に接続された偶数個の第２ＣＭＯＳインバータを含む遅延回路であって、前記偶数個の第２ＣＭＯＳインバータの各々において前記第１ノードに入力ノードが接続され前記出力端子に出力ノードが接続され、前記第１ノードの電圧が所定値になると前記容量素子に蓄積された電荷をリセットする信号を前記第１ＣＭＯＳインバータの入力ノードに出力することによって、前記第１ノードの電圧を立ち下がらせ、前記出力端子に単発の出力スパイク信号を出力する遅延回路と、
を備え、
前記偶数個の第２ＣＭＯＳインバータは、６個以上の偶数個の第２ＣＭＯＳインバータであるスパイク生成回路。
【請求項１６】
入力信号が入力する入力端子に接続された中間ノードである第１ノードに出力ノードが接続され、第１電源と第２電源との間に接続された第１ＣＭＯＳインバータと、
一端が前記第１ノードに接続され、他端が基準電位端子に接続され、前記入力信号による電荷が蓄積される容量素子と、
前記第１ノードと出力端子との間に偶数段に接続された偶数個の第２ＣＭＯＳインバータを含む遅延回路であって、前記偶数個の第２ＣＭＯＳインバータの各々において前記第１ノードに入力ノードが接続され前記出力端子に出力ノードが接続され、前記第１ノードの電圧が所定値になると前記容量素子に蓄積された電荷をリセットする信号を前記第１ＣＭＯＳインバータの入力ノードに出力することによって、前記第１ノードの電圧を立ち下がらせ、前記出力端子に単発の出力スパイク信号を出力する遅延回路と、
を備え、
前記第１電源と前記第２電源との間に前記第１ＣＭＯＳインバータと直列に接続され、前記偶数個の第２ＣＭＯＳインバータのうち前記第１ノードから奇数番目の第２ＣＭＯＳインバータの出力ノードの信号が入力する制御端子を有するスイッチを備えるスパイク生成回路。
【請求項１７】
前記偶数個の第２ＣＭＯＳインバータは、６個以上の偶数個の第２ＣＭＯＳインバータである請求項１６に記載のスパイク生成回路。
【請求項１８】
前記入力端子と前記中間ノードとの間に設けられ、前記入力信号の電圧を変換した信号を前記中間ノードに出力する電圧変換回路を更に備え、
前記遅延回路は、前記入力信号の電圧が所定範囲内のとき前記単発の出力スパイク信号を出力しない請求項１から１７のいずれか一項に記載のスパイク生成回路。

【請求項１９】
前記入力端子と前記中間ノードとの間に設けられ、前記入力信号の立ち上がりの時定数を長くし前記中間ノードに出力する時定数回路を更に備え、
前記遅延回路は、前記入力信号が入力した後、前記時定数回路の時定数に関連した遅延時間後に前記単発の出力スパイク信号を出力する請求項１から１７のいずれか一項に記載のスパイク生成回路。
【請求項２０】
前記入力端子と前記中間ノードとの間に設けられ、前記入力信号として入力スパイク信号が入力すると、前記中間ノードの電圧を高くまたは低くする入力回路を更に備え、
前記遅延回路は、前記入力スパイク信号が入力する頻度が所定範囲になると、前記単発の出力スパイク信号を出力する請求項１から１７のいずれか一項に記載のスパイク生成回路。
【請求項２１】
前記入力端子と前記中間ノードとの間に設けられ、前記入力信号の時間に対する変化量に応じ前記中間ノードの電圧を変化させる入力回路を更に備え、
前記遅延回路は、前記入力信号の時間に対する変化量が所定範囲になると、前記単発の出力スパイク信号を出力する請求項１から１７のいずれか一項に記載のスパイク生成回路。
【請求項２２】
請求項１から２１のいずれか一項に記載のスパイク生成回路と、
入力した信号を処理し、前記スパイク生成回路に出力することで、前記スパイク生成回路が前記単発の出力スパイク信号を出力する条件を設定する条件設定回路と、
前記スパイク生成回路が出力した前記単発の出力スパイク信号を処理するスパイク処理回路と、
を備える情報処理回路。
【請求項２３】
スイッチ素子と、
請求項１から２１のいずれか一項に記載のスパイク生成回路を含み、前記スイッチ素子のオンおよびオフを制御する制御回路と、
を備える電力変換回路。
【請求項２４】
一端が出力ノードに接続され、他端が第１基準電位端子に接続されたキャパシタと、電圧が時間に依存した入力信号が入力する入力端子に一端が接続され、他端が前記出力ノードに接続され、両端の電圧差に対応する定電流を生成する定電流素子または定電流回路と、を備え、前記入力信号の立ち上がりの時定数を長くし前記出力ノードから中間ノードに出力する時定数回路と、
前記中間ノードの電圧が閾値電圧になることに対応して出力端子に単発の出力スパイク信号を出力しかつ前記中間ノードの電圧をリセットする出力回路と、
を備え、
前記出力回路は、前記入力信号が入力した後、前記時定数回路の時定数に関連した遅延時間後に前記単発の出力スパイク信号を出力し、
前記定電流素子または定電流回路は、逆方向接続されたダイオードまたはオン状態となるように制御端子に電圧が印加されたトランジスタを含むスパイク生成回路。
【請求項２５】
一端が出力ノードに接続され、他端が第１基準電位端子に接続されたキャパシタと、一端が入力信号が入力する入力端子に接続され、他端が前記出力ノードに接続され、両端の電圧差に対応する定電流を生成する定電流回路と、を備え、前記入力信号の立ち上がりの時定数を長くし前記出力ノードから中間ノードに出力する時定数回路と、
前記中間ノードの電圧が閾値電圧になることに対応して出力端子に単発の出力スパイク信号を出力しかつ前記中間ノードの電圧をリセットする出力回路と、

を備え、
前記定電流回路は、
電流入力端子および電流出力端子のいずれか一方の端子が前記入力端子に接続され、前記電流入力端子および前記電流出力端子の他方の端子が前記出力ノードに接続された第１トランジスタと、
電流入力端子および電流出力端子のいずれか一方の端子が順方向接続された第１ダイオードを介し前記入力端子に接続され、前記電流入力端子および前記電流出力端子の他方の端子が逆方向接続された第２ダイオードを介し第２基準電位端子に接続され、制御端子が前記第１トランジスタの制御端子に接続された第２トランジスタと、
を備えるカレントミラー回路であるスパイク生成回路。
【請求項２６】
一端が中間ノードに接続され、他端が第１基準電位端子に接続されたキャパシタと、
電圧が時間に依存した入力信号が入力する入力端子と第２基準電位端子との間に直列に接続された第１素子および第２素子と、一端が前記第１素子と前記第２素子との間のノードに接続され、他端が前記中間ノードに接続された抵抗素子と、を備え、前記入力信号の電圧を前記第１素子と前記第２素子とで分割した信号を前記中間ノードに出力する電圧変換回路と、
前記中間ノードの電圧が閾値電圧になることに対応して出力端子に単発の出力スパイク信号を出力しかつ前記中間ノードの電圧をリセットする出力回路と、
を備え、
前記抵抗素子の抵抗値と前記キャパシタの容量値の積は前記単発の出力スパイク信号の幅より大きいスパイク生成回路。
【請求項２７】
前記第１素子は、抵抗、ダイオードおよびトランジスタのいずれかであり、前記第２素子は、抵抗、ダイオードおよびトランジスタのいずれかである請求項２６に記載のスパイク生成回路。
【請求項２８】
請求項１から２１のいずれか一項に記載のスパイク生成回路と、
前記スパイク生成回路が出力した単発の出力スパイク信号を出力するアンテナと、
を含む電子回路。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、スパイク生成回路、情報処理回路、電力変換回路および電子回路に関する。
【背景技術】
【０００２】
ニューラルネットワークに用いられるニューロン回路等のスパイク生成回路が知られている（例えば特許文献１、２、６）。複数のインバータを多段接続する回路が知られている（例えば特許文献３－５）。
【先行技術文献】
【特許文献】
【０００３】
【特許文献１】特開２００１－１４８６１９号公報
【特許文献２】特開２００６－２４３８７７号公報
【特許文献３】特開２０１２－４４２６５号公報
【特許文献４】特開平８－２４２１４８号公報
【特許文献５】特開２０００－１０６５２１号公報
【特許文献６】国際公開第２０１８／１００７９０号
【発明の概要】
【発明が解決しようとする課題】

【０００４】
ニューロン回路のようなスパイク生成回路において、消費電力を小さくすることが求められている。
【０００５】
本発明は、上記課題に鑑みなされたものであり、消費電力を削減することを目的とする。
【課題を解決するための手段】
【０００６】
本発明は、入力信号が入力する入力端子に接続された中間ノードである第１ノードに出力ノードが接続され、第１電源と第２電源との間に接続された第１ＣＭＯＳインバータと、前記第１電源と前記第２電源との間に前記第１ＣＭＯＳインバータと直列に接続されたスイッチと、前記第１ノードの信号の反転信号を前記スイッチの制御端子に出力する第１反転回路と、前記第１ノードの信号を遅延させ前記第１ＣＭＯＳインバータの入力ノードに出力し、出力端子に出力スパイク信号を出力する遅延回路と、を備えるスパイク生成回路である。
【０００７】
上記構成において、前記第１反転回路は前記第１ノードの信号の反転信号を前記スイッチの制御端子および第２ノードに出力し、前記遅延回路は、前記第１反転回路と、前記第２ノードの信号の反転信号を前記第１ＣＭＯＳインバータの入力ノードおよび前記出力端子が接続された第３ノードに出力する第２反転回路と、を備える構成とすることができる。
【０００８】
上記構成において、前記第１反転回路は、前記第１ノードと前記第２ノードとの間に奇数段に接続された奇数個の第２ＣＭＯＳインバータを含み、前記奇数個の第２ＣＭＯＳインバータの各々において前記第１ノードに入力ノードが接続され前記第２ノードに出力ノードが接続され、前記第２反転回路は、前記第２ノードと前記第３ノードとの間に奇数段に接続された奇数個の第３ＣＭＯＳインバータを含み、前記奇数個の第３ＣＭＯＳインバータの各々において前記第２ノードに入力ノードが接続され前記第３ノードに出力ノードが接続されたスパイク生成回路構成とすることができる。
【０００９】
上記構成において前記第２反転回路は、３個以上の奇数個の第３ＣＭＯＳインバータを含む構成とすることができる。
【００１０】
上記構成において、前記３個以上の第３ＣＭＯＳインバータの隣り合ういずれか２つの間の第４ノードに一端が接続され、他端が第１基準電位端子に接続された第１容量素子を備える構成とすることができる。
【００１１】
上記構成において、前記第１容量素子の容量値は、前記３個以上の第３ＣＭＯＳインバータ内の１つのＦＥＴのゲート容量値以上である構成とすることができる。
【００１２】
上記構成において、一端が前記第１ノードに接続され、他端が第２基準電位端子に接続された第２容量素子を備える構成とすることができる。
【００１３】
本発明は、第１ノードに出力ノードが接続され、第１電源と第２電源との間に接続された第１ＣＭＯＳインバータと、前記第１電源と前記第２電源との間に前記第１ＣＭＯＳインバータと直列に接続された第１スイッチと、前記第１ノードの信号の反転信号を前記第１スイッチの制御端子に出力する反転回路と、前記第１ノードの信号を遅延させ前記第１ＣＭＯＳインバータの入力ノードに出力し、出力端子に単発の出力スパイク信号を出力する遅延回路と、前記反転回路内に設けられ、入力信号が入力する入力端子に接続された中間ノードと、を備えるスパイク生成回路である。

【００１４】
上記構成において、前記第１ＣＭＯＳインバータはハイレベルおよびローレベルの一方である第１レベルおよび前記ハイレベルおよび前記ローレベルの他方である第２レベルを出力し、前記第１スイッチは、制御端子に前記第１レベルが入力するとオンし、前記制御端子に前記第２レベルが入力するとオフし、前記反転回路は、前記第１ノードが前記第１レベルから前記第２レベルとなると前記第１レベルを前記第１スイッチの制御端子に出力する第１反転回路と、前記遅延回路の出力が前記第２レベルとなると前記第１スイッチの制御端子に前記第２レベルを出力する第２反転回路と、を備え、前記中間ノードは、前記第２反転回路内に設けられている構成とすることができる。
【００１５】
上記構成において、前記第２反転回路は、制御端子に前記遅延回路の出力が接続され、前記遅延回路が前記第２レベルを出力すると、前記中間ノードと前記入力信号の初期レベルが供給される電源とを接続する第２スイッチを備える構成とすることができる。
【００１６】
上記構成において、入力ノードが前記中間ノードに接続され、出力ノードが前記第１スイッチの制御端子に接続された第２ＣＭＯＳインバータを備える構成とすることができる。
【００１７】
上記構成において、前記第１反転回路は、制御端子が前記第１ノードに接続され、前記第１ノードが前記第２レベルとなると前記第１スイッチの制御端子と前記第１レベルが供給される電源とを接続する第３スイッチを備える構成とすることができる。
【００１８】
上記構成において、制御端子が前記第１スイッチの制御端子に接続され、前記第１スイッチの制御端子が前記第２レベルのとき、前記第１ノードを前記第１レベルが供給される電源に接続する第４スイッチを備える構成とすることができる。
【００１９】
上記構成において、前記第２電源の電圧は前記第１電源の電圧より高く、前記スイッチは、Ｎチャネルトランジスタでありかつ前記第１ノードと前記第１電源との間に接続されている、または、Ｐチャネルトランジスタでありかつ前記第１ノードと前記第２電源との間に接続されている構成とすることができる。
【００２０】
本発明は、入力信号が入力する入力端子に接続された中間ノードである第１ノードに出力ノードが接続され、第１電源と第２電源との間に接続された第１ＣＭＯＳインバータと、一端が前記第１ノードに接続され、他端が基準電位端子に接続され、前記入力信号による電荷が蓄積される容量素子と、前記第１ノードと出力端子との間に偶数段に接続された偶数個の第２ＣＭＯＳインバータを含む遅延回路であって、前記偶数個の第２ＣＭＯＳインバータの各々において前記第１ノードに入力ノードが接続され前記出力端子に出力ノードが接続され、前記第１ノードの電圧が所定値になると前記容量素子に蓄積された電荷をリセットする信号を前記第１ＣＭＯＳインバータの入力ノードに出力することによって、前記第１ノードの電圧を立ち下がらせ、前記出力端子に単発の出力スパイク信号を出力する遅延回路と、を備え、前記偶数個の第２ＣＭＯＳインバータは、６個以上の偶数個の第２ＣＭＯＳインバータであるスパイク生成回路である。
【００２１】
本発明は、入力信号が入力する入力端子に接続された中間ノードである第１ノードに出力ノードが接続され、第１電源と第２電源との間に接続された第１ＣＭＯＳインバータと、一端が前記第１ノードに接続され、他端が基準電位端子に接続され、前記入力信号による電荷が蓄積される容量素子と、前記第１ノードと出力端子との間に偶数段に接続された偶数個の第２ＣＭＯＳインバータを含む遅延回路であって、前記偶数個の第２ＣＭＯＳインバータの各々において前記第１ノードに入力ノードが接続され前記出力端子に出力ノードが接続され、前記第１ノードの電圧が所定値になると前記容量素子に蓄積された電荷を

リセットする信号を前記第１ＣＭＯＳインバータの入力ノードに出力することによって、前記第１ノードの電圧を立ち下がらせ、前記出力端子に単発の出力スパイク信号を出力する遅延回路と、を備え、前記第１電源と前記第２電源との間に前記第１ＣＭＯＳインバータと直列に接続され、前記偶数個の第２ＣＭＯＳインバータのうち前記第１ノードから奇数番目の第２ＣＭＯＳインバータの出力ノードの信号が入力する制御端子を有するスイッチを備えるスパイク生成回路である。

【００２２】

上記構成において前記偶数個の第２ＣＭＯＳインバータは、６個以上の偶数個の第２ＣＭＯＳインバータである構成とすることができる。

【００２３】

上記構成において、前記入力端子と前記中間ノードとの間に設けられ、前記入力信号の電圧を変換した信号を前記中間ノードに出力する電圧変換回路を更に備え、前記遅延回路は、前記入力信号の電圧が所定範囲内のとき前記単発の出力スパイク信号を出力しない構成とすることができる。

【００２４】

上記構成において、前記入力端子と前記中間ノードとの間に設けられ、前記入力信号の立ち上がりの時定数を長くし前記中間ノードに出力する時定数回路を更に備え、前記遅延回路は、前記入力信号が入力した後、前記時定数回路の時定数に関連した遅延時間後に前記単発の出力スパイク信号を出力する構成とすることができる。

【００２５】

上記構成において、前記入力端子と前記中間ノードとの間に設けられ、前記入力信号として入力スパイク信号が入力すると、前記中間ノードの電圧を高くまたは低くする入力回路を更に備え、前記遅延回路は、前記入力スパイク信号が入力する頻度が所定範囲になると、前記単発の出力スパイク信号を出力する構成とすることができる。

【００２６】

上記構成において、前記入力端子と前記中間ノードとの間に設けられ、前記入力信号の時間に対する変化量に応じ前記中間ノードの電圧を変化させる入力回路を更に備え、前記遅延回路は、前記入力信号の時間に対する変化量が所定範囲になると、前記単発の出力スパイク信号を出力する構成とすることができる。

【００２７】

本発明は、上記スパイク生成回路と、入力した信号を処理し、前記スパイク生成回路に出力することで、前記スパイク生成回路が前記単発の出力スパイク信号を出力する条件を設定する条件設定回路と、前記スパイク生成回路が出力した前記単発の出力スパイク信号を処理するスパイク処理回路と、を備える情報処理回路である。

【００２８】

本発明は、スイッチ素子と、上記スパイク生成回路を含み、前記スイッチ素子のオンおよびオフを制御する制御回路と、を備える電力変換回路である。

【００２９】

本発明は、一端が出力ノードに接続され、他端が第１基準電位端子に接続されたキャパシタと、電圧が時間に依存した入力信号が入力する入力端子に一端が接続され、他端が前記出力ノードに接続され、両端の電圧差に対応する定電流を生成する定電流素子または定電流回路と、を備え、前記入力信号の立ち上がりの時定数を長くし前記出力ノードから中間ノードに出力する時定数回路と、前記中間ノードの電圧が閾値電圧になることに対応して出力端子に単発の出力スパイク信号を出力しかつ前記中間ノードの電圧をリセットする出力回路と、を備え、前記出力回路は、前記入力信号が入力した後、前記時定数回路の時定数に関連した遅延時間後に前記単発の出力スパイク信号を出力し、前記定電流素子または定電流回路は、逆方向接続されたダイオードまたはオン状態となるように制御端子に電圧が印加されたトランジスタを含むスパイク生成回路である。

【００３１】

本発明は、一端が出力ノードに接続され、他端が第１基準電位端子に接続されたキャパ

シタと、一端が入力信号が入力する入力端子に接続され、他端が前記出力ノードに接続され、両端の電圧差に対応する定電流を生成する定電流回路と、を備え、前記入力信号の立ち上がりの時定数を長くし前記出力ノードから中間ノードに出力する時定数回路と、前記中間ノードの電圧が閾値電圧になることに対応して出力端子に単発の出力スパイク信号を出力しかつ前記中間ノードの電圧をリセットする出力回路と、を備え、前記定電流回路は、電流入力端子および電流出力端子のいずれか一方の端子が前記入力端子に接続され、前記電流入力端子および前記電流出力端子の他方の端子が前記出力ノードに接続された第１トランジスタと、電流入力端子および電流出力端子のいずれか一方の端子が順方向接続された第１ダイオードを介し前記入力端子に接続され、前記電流入力端子および前記電流出力端子の他方の端子が逆方向接続された第２ダイオードを介し第２基準電位端子に接続され、制御端子が前記第１トランジスタの制御端子に接続された第２トランジスタと、を備えるカレントミラー回路であるスパイク生成回路である。

【００３２】

本発明は、一端が中間ノードに接続され、他端が第１基準電位端子に接続されたキャパシタと、電圧が時間に依存した入力信号が入力する入力端子と第２基準電位端子との間に直列に接続された第１素子および第２素子と、一端が前記第１素子と前記第２素子との間のノードに接続され、他端が前記中間ノードに接続された抵抗素子と、

を備え、前記入力信号の電圧を前記第１素子と前記第２素子とで分割した信号を前記中間ノードに出力する電圧変換回路と、前記中間ノードの電圧が閾値電圧になることに対応して出力端子に単発の出力スパイク信号を出力しかつ前記中間ノードの電圧をリセットする出力回路と、を備え、前記抵抗素子の抵抗値と前記キャパシタの容量値の積は前記単発の出力スパイク信号の幅より大きいスパイク生成回路である。

【００３６】

本発明の電子回路は、上記のスパイク生成回路と、前記スパイク生成回路が出力した単発の出力スパイク信号を出力するアンテナとを含む。

【発明の効果】

【００４９】

本発明によれば、消費電力を削減することができる。

【図面の簡単な説明】

【００５０】

【図１】図１（ａ）および図１（ｂ）は、実施例１およびその変形例１に係るスパイク生成回路の回路図である。

【図２】図２（ａ）は、実施例１の変形例２に係るスパイク生成回路の回路図、図２（ｂ）は、ノードＮ１および出力端子Ｔｏｕｔの電圧を示す図である。

【図３】図３（ａ）は、実施例１の変形例３に係るスパイク生成回路の回路図、図３（ｂ）は、ノードＮｉ、Ｎ１および出力端子Ｔｏｕｔの電圧を示す図である。

【図４】図４（ａ）は、実施例１の変形例４に係るスパイク生成回路の回路図、図４（ｂ）は、ノードＮ１および出力端子Ｔｏｕｔの電圧を示す図である。

【図５】図５（ａ）は、実施例１の変形例５に係るスパイク生成回路の回路図、図５（ｂ）は、ノードＮｉ、Ｎ１および出力端子Ｔｏｕｔの電圧を示す図である。

【図６】図６（ａ）は、実施例２に係るスパイク生成回路の回路図、図６（ｂ）は、時間に対する各電圧を示す図である。

【図７】図７（ａ）は、実施例２の変形例１に係るスパイク生成回路の回路図、図７（ｂ）は、時間に対する各電圧を示す図である。

【図８】図８は、実施例３に係るスパイク生成回路の回路図である。

【図９】図９（ａ）および図９（ｂ）は、実施例３における時間に対する各ノードの電圧を示す図である。

【図１０】図１０（ａ）および図１０（ｂ）は、実施例３における時間に対する入力電圧、出力電圧および消費電流を示す図である。

【図１１】図１１（ａ）から図１１（ｄ）は、実施例３における時間に対する出力電圧を

示す図である。
【図１２】図１２（ａ）から図１２（ｄ）は、実施例３における時間に対する出力電圧を示す図である。
【図１３】図１３（ａ）から図１３（ｄ）は、キャパシタＣ２の機能を説明する図である。
【図１４】図１４（ａ）および図１４（ｂ）は、実施例３におけるスパイク生成回路の回路図である。
【図１５】図１５（ａ）および図１５（ｂ）は、実施例３におけるスパイク生成回路の回路図である。
【図１６】図１６（ａ）から図１６（ｄ）は、実施例３におけるスパイク生成回路の時間に対する出力電圧を示す図である。
【図１７】図１７は、実施例３の変形例１のスパイク生成回路の回路図である。
【図１８】図１８は、実施例３の変形例１における時間に対する各ノードの電圧を示す図である。
【図１９】図１９（ａ）は、実施例３の変形例１に係るスパイク生成回路の別の例を示す回路図、図１９（ｂ）および図１９（ｃ）は、それぞれ実施例３の変形例２および３に係るスパイク生成回路の回路図である。
【図２０】図２０（ａ）および図２０（ｂ）は、実施例３の変形例３における時間に対する各ノードの電圧を示す図である。
【図２１】図２１は、実施例３の変形例４に係るスパイク生成回路の回路図である。
【図２２】図２２（ａ）および図２２（ｂ）は、実施例４に係るスパイク生成回路の回路図である。
【図２３】図２３（ａ）および図２３（ｂ）は、実施例４に係るスパイク生成回路の回路図である。
【図２４】図２４は、実施例４における時間に対する各端子およびノードの電圧を示す図である。
【図２５】図２５は、ＦＥＴ９１が設けられていない場合の時間に対する各電圧を示す図である。
【図２６】図２６（ａ）および図２６（ｂ）は、実施例４の変形例１に係るスパイク生成回路の回路図である。
【図２７】図２７（ａ）および図２７（ｂ）は、実施例４の変形例２に係るスパイク生成回路の回路図である
【図２８】図２８（ａ）および図２８（ｂ）は、実施例４の変形例３に係るスパイク生成回路の回路図である。
【図２９】図２９（ａ）および図２９（ｂ）は、実施例４の変形例４に係るスパイク生成回路の回路図である。
【図３０】図３０（ａ）および図３０（ｂ）は、実施例４の変形例５に係るスパイク生成回路の回路図である。
【図３１】図３１は、実施例５に係るスパイク生成回路の回路図である。
【図３２】図３２（ａ）から図３２（ｅ）は、実施例５における時間に対するノードＮ１の電圧および出力電圧を示す図である。
【図３３】図３３（ａ）から図３３（ｄ）は、実施例５における時間に対するノードＮ１の電圧および出力電圧を示す図である。
【図３４】図３４（ａ）および図３４（ｂ）は、実施例５における入力電圧に対するそれぞれ周波数および周期を示す図である。
【図３５】図３５は、実施例５の変形例１に係るスパイク生成回路の回路図である。
【図３６】図３６（ａ）は、実施例５の変形例２に係るスパイク生成回路の回路図、図３６（ｂ）は、実施例５の変形例２のタイミングチャートである。
【図３７】図３７は、実施例５の変形例３に係るスパイク生成回路の回路図である。
【図３８】図３８（ａ）および図３８（ｂ）は、実施例５の変形例３における時間に対す

るノードＮ１の電圧および出力電圧を示す図である。
【図３９】図３９は、実施例５の変形例４に係るスパイク生成回路の回路図である。
【図４０】図４０（ａ）および図４０（ｂ）は、実施例５の変形例４における時間に対するノードＮ１の電圧および出力電圧を示す図である。
【図４１】図４１は、実施例５の変形例５に係るスパイク生成回路の回路図である。
【図４２】図４２（ａ）は、実施例５の変形例６に係るスパイク生成回路の回路図、図４２（ｂ）は、実施例５の変形例６のタイミングチャートである。
【図４３】図４３（ａ）から図４３（ｃ）は、実施例６に係る情報処理回路のブロック図である。
【図４４】図４４は、実施例７に係る電力変換回路のブロック図である。
【図４５】図４５は、実施例７における判定回路の動作を説明する図である。
【図４６】図４６（ａ）から図４６（ｃ）は、実施例７におけるスパイク生成回路の記号を示す図である。
【図４７】図４７（ａ）から図４７（ｃ）は、実施例７におけるフリップフロップ回路の動作を示す図である。
【図４８】図４８は、実施例７における判定回路の回路図である。
【図４９】図４９は実施例７における時間に対する判定回路の各ノードの電圧を示す図である。
【図５０】図５０は、実施例７における整流回路を示す回路図である。
【図５１】図５１（ａ）から図５１（ｃ）は、実施例７における降圧回路の模式図である。
【図５２】図５２は、実施例７における降圧回路の回路図である。
【図５３】図５３は、実施例７における時間に対する降圧回路の各ノードの電圧を示す図である。
【図５４】図５４は、実施例７における時間に対するノードＡおよびＲの電圧を示す図である。
【図５５】図５５（ａ）から図５５（ｃ）は、実施例７における同期整流回路の模式図である。
【図５６】図５６は、実施例７における同期整流回路の回路図である。
【図５７】図５７は、実施例７における時間に対する同期整流回路の各ノードの電圧を示す図である。
【図５８】図５８は、実施例７における時間に対する同期整流回路によるキャパシタの充電電圧を示す図である。
【図５９】図５９は、実施例７における時間に対する発電電流およびキャパシタの電圧を示す図である。
【図６０】図６０（ａ）および図６０（ｂ）は、それぞれ実施例８およびその変形例１に係るスパイク生成回路の回路図である。
【図６１】図６１（ａ）および図６１（ｂ）は、シミュレーションに用いたそれぞれ実施例８の変形例１Ａおよび１に係るスパイク生成回路の回路図である。
【図６２】図６２（ａ）から図６２（ｄ）は、実施例８の変形例１Ａのシミュレーション結果を示す時間に対する電圧を示す図である。
【図６３】図６３（ａ）から図６３（ｄ）は、実施例８の変形例１のシミュレーション結果を示す時間に対する電圧を示す図である。
【図６４】図６４（ａ）から図６４（ｃ）は、それぞれ実施例８の変形例２から４に係るスパイク生成回路の回路図である。
【図６５】図６５は、実施例８の変形例５に係るスパイク生成回路の回路図である。
【図６６】図６６（ａ）および図６６（ｂ）は、シミュレーションに用いたそれぞれ実施例８の変形例５Ａおよび５に係るスパイク生成回路の回路図である。
【図６７】図６７（ａ）および図６７（ｂ）は、実施例８の変形例５Ａのシミュレーション結果を示す時間に対する電圧を示す図である。図６７（ｃ）および図６７（ｄ）は、実

施例８の変形例５のシミュレーション結果を示す時間に対する電圧を示す図である。
【図６８】図６８（ａ）から図６８（ｃ）は、それぞれ実施例８の変形例６から８に係るスパイク生成回路の回路図である。
【図６９】図６９（ａ）から図６９（ｃ）は、それぞれ実施例８の変形例９から１１に係るスパイク生成回路の回路図である。
【図７０】図７０（ａ）および図７０（ｂ）は、実施例８の変形例９における時間に対する各電圧を示す図である。
【図７１】図７１は、実施例９に係る検出器のブロック図である。
【図７２】図７２（ａ）および図７２（ｂ）は、実施例９に係る検出器の時間に対する各電圧を示す図である。
【図７３】図７３は、実施例９の変形例１に係る検出器のブロック図である。
【図７４】図７４は、実施例９の変形例１に係る検出器の時間に対する各電圧を示す図である。
【図７５】図７５は、実施例９の変形例３に係る同期整流回路の回路図である。
【図７６】図７６は、実施例９の変形例３に係る同期整流回路における時間に対する同期整流回路の各ノードの電圧を示す図である。
【図７７】図７７（ａ）および図７７（ｂ）は、比較例１および実施例１０に係る電子回路のブロック図である。
【図７８】図７８（ａ）は、スパイク生成回路を示す図、図７８（ｂ）および図７８（ｃ）は、時間に対するそれぞれ内部状態Ｓおよび出力電圧Ｖｏｕｔを示す図である。
【図７９】図７９（ａ）および図７９（ｂ）は、比較例１および実施例１０に係る電子回路のブロック図である。
【図８０】図８０（ａ）および図８０（ｂ）は、実施例１０に係る電子回路の例を示す図である。
【図８１】図８１（ａ）および図８１（ｂ）は、それぞれ実施例１０の変形例１および２に係る電子回路のブロック図である。
【図８２】図８２（ａ）および図８２（ｂ）は、実施例１０の変形例３に係る電子回路のブロック図、図８２（ｃ）は、実施例１０の変形例３に係る電子回路のシンボルを示す図である。
【図８３】図８３（ａ）および図８３（ｂ）は、実施例１０の変形例３における電子回路に入力するスパイク信号の例を示す図である。
【図８４】図８４（ａ）および図８４（ｂ）は、実施例１０の変形例３における電子回路から出力するスパイク信号が用いられる回路例を示す図である。
【図８５】図８５（ａ）および図８５（ｃ）は、実施例１０の変形例３における電子回路から出力するスパイク信号が用いられる例を示す回路図、図８５（ｂ）および図８５（ｄ）は、アンテナから出力される電磁波の大きさを示す図である。
【図８６】図８６は、実施例１０の変形例４に係るネットワーク回路の模式図である。
【発明を実施するための形態】
【００５１】
以下、図面を参照し、本発明の実施例について説明する。
【実施例１】
【００５２】
図１（ａ）および図１（ｂ）は、実施例１およびその変形例１に係るスパイク生成回路の回路図である。図１（ａ）に示すように、実施例１のスパイク生成回路１３０は、インバータ１２、ＦＥＴ（Field Effect Transistor）１４、反転回路１６および遅延回路１７を備える。インバータ１２は、ＣＭＯＳ（Complementary Metal Oxide Semiconductor）インバータであり、ＮＦＥＴ１３ａ（ＮチャネルＦＥＴ）およびＰＦＥＴ１３ｂ（ＰチャネルＦＥＴ）を備える。
【００５３】
ＮＦＥＴ１３ａのソースはグランド線２６に接続され、ドレインはノードＮ１に接続さ

れ、ゲートはノードＮ０に接続されている。ＰＦＥＴ１３ｂのソースは電源線２８に接続され、ドレインはノードＮ１に接続され、ゲートはノードＮ０に接続されている。ノードＮ０およびＮ１はそれぞれインバータ１２の入力ノードおよび出力ノードである。ＦＥＴ１４は、ＰＦＥＴであり、ノードＮ１と電源線２８との間においてＰＦＥＴ１３ｂと直列に接続されている。ＦＥＴ１４のソースはＰＦＥＴ１３ｂを介して電源線２８に接続され、ドレインはノードＮ１に接続されている。

【００５４】

反転回路１６は、ノードＮ１のレベルを反転しＦＥＴ１４のゲートに出力する。遅延回路１７は、ノードＮ１のレベルを遅延させノードＮ３に出力する。ノードＮ３はインバータ１２の入力ノードＮ０および出力端子Ｔｏｕｔに接続されている。反転回路１６およびＦＥＴ１４は正帰還ループ１５を形成する。入力端子Ｔｉｎは正帰還ループ１５内の中間ノードＮｉに接続されている。

【００５５】

［実施例１の変形例１］

図１（ｂ）に示すように、実施例１の変形例１のスパイク生成回路１３１では、ＦＥＴ１４は、ＮＦＥＴであり、ノードＮ１とグランド線２６との間においてＮＦＥＴ１３ａと直列に接続されている。ＦＥＴ１４のソースはＮＦＥＴ１３ａを介してグランド線２６に接続され、ドレインはノードＮ１に接続されている。その他の構成は実施例１と同じであり説明を省略する。

【００５６】

実施例１において、入力端子Ｔｉｎが接続された中間ノードＮｉがノードＮ１である実施例１の変形例２と、中間ノードＮｉが反転回路１６内である実施例１の変形例３について説明する。

【００５７】

［実施例１の変形例２］

実施例１の変形例２は、実施例１における中間ノードＮｉをノードＮ１とした例である。図２（ａ）は、実施例１の変形例２に係るスパイク生成回路の回路図、図２（ｂ）は、ノードＮ１および出力端子Ｔｏｕｔの電圧を示す図である。図２（ａ）に示すように、スパイク生成回路１３２では、入力端子ＴｉｎはノードＮ１およびＮｉに接続されている。これにより、ノードＮ１に入力信号が入力する。その他の構成は実施例１と同じであり説明を省略する。

【００５８】

図２（ｂ）に示すように、ノードＮ１の電圧が０Ｖから一様に高くなる場合について説明する。これは、後述する実施例３の図８のように、入力端子Ｔｉｎと中間ノードＮｉとの間にキャパシタがシャント接続されている場合に、入力端子Ｔｉｎの一定の電流を流す場合に相当する。時刻ｔ０においてノードＮ１の電圧はローレベル（０Ｖ）である。反転回路１６の出力はハイレベルであり、ＦＥＴ１４はオフである。出力端子Ｔｏｕｔの電圧はローレベル（０Ｖ）である。ＦＥＴ１４はオフしているため、インバータ１２は機能しない。

【００５９】

ノードＮ１の電圧は時間とともに一様に高くなる。ノードＮ１の電圧が反転回路１６の閾値電圧Ｖｔｈより低いとき、反転回路１６の出力はハイレベルであり、遅延回路１７の出力はローレベルであり、出力端子Ｔｏｕｔの電圧はローレベルを維持する。

【００６０】

時刻ｔ１においてノードＮ１の電圧が反転回路１６の閾値電圧Ｖｔｈとなると、反転回路１６はローレベルを出力する。ＦＥＴ１４がオンするため、インバータ１２が起動する。出力端子Ｔｏｕｔの電圧はローレベルのため、インバータ１２はノードＮ１の電圧をハイレベル（Ｖｄｄ）とする。

【００６１】

時刻ｔ１から遅延回路１７の遅延時間ΔＴ遅れた時刻ｔ２において、遅延回路１７の出

力がハイレベルとなる。インバータ１２はノードＮ１をローレベルとする。反転回路１６の出力はハイレベルとなり、ＦＥＴ１４はオフする。ノードＮ１の電圧はローレベルに戻る。時刻ｔ２からΔＴ遅れた時刻ｔ３において、遅延回路１７は出力端子Ｔｏｕｔの電圧をローレベルとする。これにより、遅延回路１７の遅延時間のパルス幅を有するスパイク信号５２が出力端子Ｔｏｕｔから出力される。

【００６２】

［実施例１の変形例３］

実施例１の変形例３は、実施例１における中間ノードＮｉを反転回路１６内とした例である。中間ノードＮｉを設ける箇所の例は実施例４およびその変形例において説明する。図３（ａ）は、実施例１の変形例３に係るスパイク生成回路の回路図、図３（ｂ）は、ノードＮｉ、Ｎ１および出力端子Ｔｏｕｔの電圧を示す図である。図３（ａ）に示すように、スパイク生成回路１３３では、入力端子Ｔｉｎは反転回路１６内の中間ノードＮｉに接続されている。その他の構成は実施例１と同じであり説明を省略する。

【００６３】

図３（ｂ）に示すように、時刻ｔ０においてノードＮｉの電圧はローレベル、ＦＥＴ１４のゲートはハイレベルである。ＦＥＴ１４はオフしており、ノードＮ１の電圧はローレベルである。出力端子Ｔｏｕｔの電圧はローレベルである。時間とともにノードＮｉの電圧は一様に高くなる。時刻ｔ１においてノードＮｉの電圧が閾値電圧Ｖｔｈとなると、ＦＥＴ１４のゲートはローレベルとなる。ＦＥＴ１４がオンし、インバータ１２が機能するため、ノードＮ１はハイレベルとなる。時刻ｔ１から遅延回路１７の遅延時間ΔＴ遅れた時刻ｔ２において、出力端子Ｔｏｕｔの電圧がハイレベルとなるとインバータ１２によりノードＮ１はローレベルとなる。時刻ｔ３において、出力端子Ｔｏｕｔはローレベルとなる。その後動作は実施例１の変形例２と同じであり説明を省略する。

【００６４】

実施例１の変形例１において、入力端子Ｔｉｎが接続された中間ノードＮｉがノードＮ１である実施例１の変形例４と、中間ノードＮｉが反転回路１６内である実施例１の変形例５について説明する。

【００６５】

［実施例１の変形例４］

実施例１の変形例４は、実施例１の変形例１における中間ノードＮｉをノードＮ１とした例である。図４（ａ）は、実施例１の変形例４に係るスパイク生成回路の回路図、図４（ｂ）は，ノードＮ１および出力端子Ｔｏｕｔの電圧を示す図である。図４（ａ）に示すように、スパイク生成回路１３４では、入力端子Ｔｉｎはノード Ｎ１およびＮｉに接続されている。これにより、ノードＮ１に入力信号が入力する。その他の構成は実施例１の変形例１と同じであり説明を省略する。

【００６６】

図４（ｂ）に示すように、ノードＮ１の電圧がＶｄｄから一様に低くなる場合について説明する。これは、後述する実施例３の変形例３の図１９（ｂ）のように、入力端子Ｔｉｎと中間ノードＮｉとの間にキャパシタがシャント接続されている場合に、入力端子Ｔｉｎの一定の電流を流す場合に相当する。時刻ｔ０においてノードＮ１の電圧はハイレベル（Ｖｄｄ）である。反転回路１６の出力はローレベル（０Ｖ）であり、ＦＥＴ１４はオフである。出力端子Ｔｏｕｔの電圧はハイレベルである。ＦＥＴ１４がオフしているため、インバータ１２は機能しない。

【００６７】

ノードＮ１の電圧は時間とともに一様に低くなる。ノードＮ１の電圧が反転回路１６の閾値電圧Ｖｔｈより高いとき、反転回路１６の出力はローレベルであり、遅延回路１７の出力はハイレベルであり、出力端子Ｔｏｕｔの電圧はハイレベルを維持する。

【００６８】

時刻ｔ１においてノードＮ１の電圧が反転回路１６の閾値電圧Ｖｔｈとなると、反転回路１６はハイレベルを出力する。ＦＥＴ１４がオンするため、インバータ１２が起動する

。出力端子Ｔｏｕｔの電圧はハイレベルのため、インバータ１２はノードＮ１の電圧をローレベル（０Ｖ）とする。

【００６９】

時刻ｔ２において、遅延回路１７の出力がローレベルとなる。インバータ１２はノードＮ１をハイレベルとする。反転回路１６の出力はローレベルとなり、ＦＥＴ１４はオフする。ノードＮ１の電圧はハイレベルに戻る。時刻ｔ３において、遅延回路１７は出力端子Ｔｏｕｔの電圧をハイレベルとする。これにより、幅がΔＴのスパイク信号５２が出力端子Ｔｏｕｔから出力される。

【００７０】

［実施例１の変形例５］

実施例１の変形例５は、実施例１の変形例１における中間ノードＮｉを反転回路１６内とした例である。中間ノードＮｉを設ける箇所の例は実施例４およびその変形例において説明する。図５（ａ）は、実施例１の変形例５に係るスパイク生成回路の回路図、図５（ｂ）は、ノードＮｉ、Ｎ１および出力端子Ｔｏｕｔの電圧を示す図である。図５（ａ）に示すように、スパイク生成回路１３５では、入力端子Ｔｉｎは反転回路１６内に接続されている。その他の構成は実施例１の変形例１と同じであり説明を省略する。

【００７１】

図５（ｂ）に示すように、時刻ｔ１においてノードＮｉの電圧が閾値電圧Ｖｔｈとなると、反転回路１６はハイレベルを出力する。ＦＥＴ１４がオンしノードＮ１はローレベルとなる。その後の動作は実施例１の変形例４と同じであり説明を省略する。

【００７２】

実施例１およびその変形例によれば、インバータ１２（第１ＣＭＯＳインバータ）はグランド線２６と電源線２８との間（第１電源と第２電源との間）に接続され、出力ノードがノードＮ１（第１ノード）に接続されている。ＦＥＴ１４（スイッチまたは第１スイッチ）は、グランド線２６と電源線２８との間にインバータ１２と直列に接続されている。反転回路１６（第１反転回路）は、ノードＮ１の信号の反転信号をＦＥＴ１４のゲート（制御端子）に出力する。遅延回路１７は、ノードＮ１の信号を遅延させインバータ１２の入力ノード（Ｎ０）に出力し、出力端子Ｔｏｕｔに出力スパイク信号５２を出力する。

【００７３】

このような構成において、実施例１の変形例２および４では、ノードＮ１は入力信号が入力する入力端子Ｔｉｎに接続された中間ノードＮｉである。これにより、図２（ｂ）および図４（ｂ）のように、時刻ｔ１においてノードＮ１の電圧が閾値電圧Ｖｔｈを越えると、反転回路１６はＦＥＴ１４のゲートをハイレベル（図２（ｂ））またはローレベル（図４（ｂ））とする。これによりＦＥＴ１４がオンし、ノードＮ１がハイレベル（図２（ｂ））またはローレベル（図４（ｂ））となる。このように反転回路１６を介し正帰還がかかる。

【００７４】

時刻ｔ２において、遅延回路１７がハイレベル（図２（ｂ））またはローレベル（図４（ｂ））を出力すると、インバータ１２の出力が反転し、ノードＮ１はローレベル（図２（ｂ））またはハイレベル（図４（ｂ））となる。このように、遅延回路１７を介し負帰還がかかる。

【００７５】

よって、スパイク信号５２の立ち上がりおよび立下りが急峻になり、パルス幅の狭いスパイク信号５２が生成できる。また、ＦＥＴ１４がオフすることにより、電源線２８からグランド線２６に貫通する電流を抑制できる。これにより、消費電力を抑制できる。実施例１およびその変形例において、反転回路１６と遅延回路１７はその一部または全体を共有してもよい。

【００７６】

実施例１の変形例３および５では、入力端子Ｔｉｎに接続された中間ノードＮｉは反転回路１６内に設けられている。これにより、図３（ｂ）および図５（ｂ）のように、時刻

ｔ１においてノードＮ１から反転回路１６を介し正帰還がかかる。時刻ｔ２においてノードＮ１から遅延回路１７を介し負帰還がかかる。よって、パルス幅の狭いスパイク信号５２が生成でき、かつ、消費電力を抑制できる。

【実施例２】

【００７７】

実施例２は、実施例１の変形例２および４の具体例であり、ニューロン回路等に用いられるスパイク生成回路の例である。図６（ａ）は、実施例２に係るスパイク生成回路の回路図、図６（ｂ）は、時間に対する各電圧を示す図である。図６（ａ）に示すように、実施例２のスパイク生成回路１００は、入力回路１０、インバータ１２、ＦＥＴ１４、反転回路１６および１８を備える。反転回路１６と１８とは遅延回路１７を形成する。入力回路１０は、入力端子Ｔｉｎに入力した入力信号に対しスパイク信号を生成するための条件を設定する回路である。インバータ１２は、ＣＭＯＳインバータであり、ＮＦＥＴ１３ａおよびＰＦＥＴ１３ｂを備える。

【００７８】

ＮＦＥＴ１３ａのソースはグランド線２６に接続され、ドレインはノードＮ１に接続され、ゲートはノードＮ０に接続されている。ＰＦＥＴ１３ｂのソースは電源線２８に接続され、ドレインはノードＮ１に接続され、ゲートはノードＮ０に接続されている。ノードＮ０およびＮ１はそれぞれインバータ１２の入力ノードおよび出力ノードである。ＦＥＴ１４は、ＰＦＥＴであり、ノードＮ１と電源線２８との間においてＰＦＥＴ１３ｂと直列に接続されている。ＦＥＴ１４のソースはＰＦＥＴ１３ｂを介して電源線２８に接続され、ドレインはノードＮ１に接続されている。

【００７９】

反転回路１６は、ノードＮ１のレベルを反転しＦＥＴ１４のゲートおよびノードＮ２に出力する。反転回路１８は、ノードＮ２のレベルを反転しノードＮ３に出力する。ノードＮ３はインバータ１２の入力ノードＮ０および出力端子Ｔｏｕｔに接続されている。

【００８０】

図６（ｂ）は、時間に対する入力端子Ｔｉｎ、ノードＮ１および出力端子Ｔｏｕｔの電圧を示す図である。入力回路１０として、入力端子Ｔｉｎに入力した入力信号を積分しノードＮ１に出力する積分回路を例に説明する。

【００８１】

定常時における入力端子Ｔｉｎおよび出力端子Ｔｏｕｔの電圧はグランド線２６の電圧（０Ｖ）である。時刻ｔ０の直前においてノードＮ１の電圧は０Ｖである。ノードＮ２はハイレベルでありノードＮ３はローレベルである。ＦＥＴ１４のゲートはハイレベルであり、ＦＥＴ１４はオフである。インバータ１２の入力ノードはローレベルであり、ＦＥＴ１４がオフのため、ノードＮ１はグランド線２６および電源線２８から遮断される。よって、ノードＮ１の電圧は維持される。

【００８２】

時刻ｔ０からｔ１の間において、入力端子Ｔｉｎに入力信号として時系列にスパイク信号５０が入力する。入力端子Ｔｉｎにスパイク信号５０が入力したとき、入力端子Ｔｉｎの電圧は０Ｖより高いＶｉｎとなる。入力回路１０は、スパイク信号５０が入力するたびにノードＮ１の電圧を高くする。これにより、ノードＮ１の電圧は徐々に高くなる。ノードＮ１の電圧が反転回路１６の閾値電圧Ｖｔｈより低いとき、ノードＮ２はハイレベルであり、ノードＮ３はローレベルである。よって、出力端子Ｔｏｕｔの電圧は０Ｖに維持される。ノードＮ１はグランド線２６および電源線２８から遮断されている。

【００８３】

時刻ｔ１において、ノードＮ１の電圧が閾値電圧Ｖｔｈを越える。反転回路１６は、ノードＮ２をハイレベルからローレベルにする。ＦＥＴ１４のゲートにローレベルが印加されるため、ＦＥＴ１４はオンし、ノードＮ１に正帰還がかかる。これにより、ノードＮ１がハイレベル（電源線２８の電圧Ｖｄｄ）に立ち上がる。反転回路１８は、ノードＮ２がハイレベルからローレベルになると、ノードＮ３をローレベルからハイレベルにする。イ

ンバータ１２の入力ノードＮ０がハイレベルとなるため、ノードＮ１に負帰還がかかり、ノードＮ１はローレベル（グランド線の電圧０Ｖ）に立ち下がる。ノードＮ２およびノードＮ３がハイレベルおよびローレベルとなり、出力端子Ｔｏｕｔにパルス幅の狭いスパイク信号５２が出力される。ＦＥＴ１４がオフし、ノードＮ１はグランド線２６および電源線２８から遮断される。

【００８４】

その後は、同様にノードＮ１の電圧が閾値電圧Ｖｔｈを越えると出力端子Ｔｏｕｔにスパイク信号５２が出力される。このように、ノードＮ１に正帰還がかかった直後に負帰還がかかるため、パルス幅の狭いスパイク信号５２が生成できる。また、正帰還によってＦＥＴ１４がオンした直後に、負帰還によってＦＥＴ１３ａがオンする。このとき、負帰還によって同時にＦＥＴ１３ｂがオフすることによって、電源線２８からグランド線２６に貫通する電流を抑制できる。これにより、消費電力を抑制できる。

【００８５】

［実施例２の変形例１］

図７（ａ）は、実施例２の変形例１に係るスパイク生成回路の回路図、図７（ｂ）は、時間に対する各電圧を示す図である。実施例２の変形例１のスパイク生成回路１０２では、ＦＥＴ１４は、ＮＦＥＴであり、ノードＮ１とグランド線２６との間においてＮＦＥＴ１３ａと直列に接続されている。ＦＥＴ１４のソースはＮＦＥＴ１３ａを介しグランド線２６に接続され、ドレインはノードＮ１に接続されている。ノードＮ２はＦＥＴ１４のゲートに接続されている。その他の構成は実施例２の図６（ａ）と同じであり説明を省略する。

【００８６】

図７（ｂ）は、時間に対する入力端子Ｔｉｎ、ノードＮ１および出力端子Ｔｏｕｔの電圧を示す図である。定常時における入力端子Ｔｉｎおよび出力端子Ｔｏｕｔの電圧は電源線２８の電圧Ｖｄｄである。時刻ｔ０の直前においてノードＮ１の電圧はＶｄｄである。

【００８７】

時刻ｔ０からｔ１の間において、入力端子Ｔｉｎに時系列にスパイク信号５０が入力する。スパイク信号５０が入力すると、入力端子Ｔｉｎの電圧はＶｄｄより低いＶｉｎとなる。入力回路１０はスパイク信号５０を積分しノードＮ１に出力する。これにより、ノードＮ１の電圧は徐々に低くなる。ノードＮ１の電圧が反転回路１６の閾値電圧Ｖｔｈより高いとき、ノードＮ２はローレベルであり、ノードＮ３はハイレベルである。よって、出力端子Ｔｏｕｔの電圧はＶｄｄに維持される。実施例２の変形例１では、電圧が低くなる場合が立ち上がりであり、電圧が高くなる場合が立下りである。

【００８８】

時刻ｔ１において、ノードＮ１の電圧が閾値電圧Ｖｔｈより低くなる。反転回路１６は、ノードＮ２をローレベルからハイレベルにする。ＦＥＴ１４のゲートにハイレベルが印加されるため、ＦＥＴ１４はオンし、ノードＮ１に正帰還がかかる。これにより、ノードＮ１がローレベルに立ち上がる。反転回路１８は、ノードＮ２がローレベルからハイレベルになると、ノードＮ３をハイレベルからローレベルにする。インバータ１２の入力ノードＮ０がローレベルとなるため、ノードＮ１に負帰還がかかり、ノードＮ１はハイレベルに立ち下がる。これにより、出力端子Ｔｏｕｔにパルス幅の狭いスパイク信号５２が出力される。

【００８９】

このように、実施例２の変形例１では、ＦＥＴ１４をＮＦＥＴとし、グランド線２６とノードＮ１との間に設けることで、パルス幅の狭いスパイク信号５２が生成できる。また、ＦＥＴ１３ｂにより消費電力を抑制できる。

【００９０】

図６（ｂ）および図７（ｂ）では、入力信号としてスパイク信号５０を例に説明したが、入力信号は任意の波形を有してもよい。入力回路１０は、スパイク信号５２を生成する条件となったときに、ノードＮ１の電圧を閾値電圧Ｖｔｈに達するように入力信号を変換

する回路であればよい。

【００９１】

実施例２およびその変形例によれば、入力端子Ｔｉｎに入力信号が入力する。インバータ１２（第１ＣＭＯＳインバータ）は、入力端子Ｔｉｎに接続されたノードＮ１（第１ノード）に出力ノードが接続され、グランド線２６（第１電源）と電源線２８（第１電源の電圧より高い電圧の第２電源）との間に接続されている。ＦＥＴ１４（スイッチ）は、グランド線２６と電源線２８との間にインバータ１２と直列に接続されている。反転回路１６（第１反転回路）は、ノードＮ１の信号の反転信号をＦＥＴ１４のゲート（制御端子）に出力する。遅延回路１７は、ノードＮ１の信号を遅延させ、インバータ１２の入力ノードＮ０に出力し、出力端子Ｔｏｕｔにスパイク信号５２（出力スパイク信号）が出力する。

【００９２】

これにより、反転回路１６を介した正帰還と遅延回路１７を介した負帰還がかかるため、パルス幅の狭いスパイク信号５２が生成できる。また、ＦＥＴ１３ｂがオフすることにより、電源線２８からグランド線２６に貫通する電流を抑制できる。これにより、消費電力を抑制できる。

【００９３】

反転回路１６は、ノードＮ１の信号の反転信号をＦＥＴ１４のゲートおよびノードＮ２（第２ノード）に出力する。遅延回路１７は、反転回路１６と、ノードＮ２の信号の反転信号をインバータ１２の入力ノードＮ０およびノードＮ３（第３ノード）に出力する反転回路１８と、を備える。これにより、反転回路１６はノードＮ１の信号をＦＥＴ１４のゲートに正帰還し、反転回路１８はノードＮ１の信号をインバータ１２の入力ノードＮ０に負帰還することができる。

【００９４】

図６（ａ）のように、ＦＥＴ１４がＰＦＥＴ（Ｐチャネルトランジスタ）のとき、ＦＥＴ１４はノードＮ１と電源線２８との間に接続されている。これにより、図６（ｂ）のように、正方向のスパイク信号５２を生成できる。図７（ａ）のように、ＦＥＴ１４がＮＦＥＴ（Ｎチャネルトランジスタ）のとき、ＦＥＴ１４はノードＮ１とグランド線２６との間に接続されている。これにより、図７（ｂ）のように、負方向のスパイク信号５２を生成できる。

【実施例３】

【００９５】

実施例３は、実施例２およびその変形例のスパイク生成回路の具体例である。図８は、実施例３に係るスパイク生成回路の回路図である。図８に示すように、実施例３のスパイク生成回路１０４では、入力回路１０は、一端がノードＮ１に他端がグランド線２６に接続されたキャパシタＣ１である。

【００９６】

反転回路１６は、入力ノードがＮ１に接続され出力ノードがノードＮ２に接続されたインバータ２０である。インバータ２０は、ＣＭＯＳインバータであり、ＮＦＥＴ２１ａおよびＰＦＥＴ２１ｂを備えている。ＮＦＥＴ２１ａのソースはグランド線２６に接続され、ドレインはノードＮ２に接続され、ゲートはノードＮ１に接続されている。ＰＦＥＴ２１ｂのソースは電源線２８に接続され、ドレインはノードＮ２に接続され、ゲートはノードＮ１に接続されている。

【００９７】

反転回路１８は、インバータ２２ａから２２ｃおよびキャパシタＣ２を備えている。インバータ２２ａから２２ｃはノードＮ２とＮ３との間に多段に接続されている。すなわちノードＮ２とＮ３との間に互いに直列に接続されている。インバータ２２ａから２２ｃは、ＣＭＯＳインバータであり、各々ＮＦＥＴ２３ａおよびＰＦＥＴ２３ｂを備えている。ＮＦＥＴ２３ａのソースはグランド線２６に接続され、ドレインは出力ノードに接続され、ゲートは入力ノードに接続されている。ＰＦＥＴ２３ｂのソースは電源線２８に接続さ

れ、ドレインは出力ノードに接続され、ゲートは入力ノードに接続されている。インバータ２２ａの入力ノードはノードＮ２に接続され、出力ノードはノードＮ４に接続されている。インバータ２２ｂの入力ノードはノードＮ４に接続され、出力ノードはノードＮ５に接続されている。インバータ２２ｃの入力ノードはノードＮ５に接続され、出力ノードはノードＮ３に接続されている。キャパシタＣ２の一端はノードＮ４に接続され、他端はグランド線２６に接続されている。その他の構成は実施例２と同じであり説明を省略する。

【００９８】

実施例３の各電圧についてＳＰＩＣＥ（Simulation Program with Integrated Circuit Emphasis）を用いシミュレーションした。シミュレーション条件は以下である。

ＮＦＥＴ：

タイプ：ＳＯＩ（Silicon on Insulator）を用いたＮチャネルＭＯＳ、ゲート長：１００ｎｍ、ゲート幅：１００ｎｍ、閾値電圧：＋０．８Ｖ、ゲート容量：１ｆＦ

ＰＦＥＴ：

タイプ：ＳＯＩを用いたＰチャネルＭＯＳＦＥＴ、ゲート長：１００ｎｍ、ゲート幅：２００ｎｍ、閾値電圧：－０．８Ｖ、ゲート容量：１ｆＦ

キャパシタＣ１：容量値：１０ｆＦ

キャパシタＣ２：容量値：４ｆＦ

グランド線２６：電圧：０Ｖ

電源線２８：電圧Ｖｄｄ：１Ｖ

入力端子Ｔｉｎに１ｐＡの定電流を流した。

【００９９】

図９（ａ）および図９（ｂ）は、実施例３における時間に対する各ノードの電圧を示す図である。図９（ｂ）は、図９（ａ）のうちスパイク信号５２付近の拡大図である。図９（ｂ）の横軸の最初の目盛に図９（ａ）の時間に相当する１０５９９０００ｎｓを記載し、以後の目盛には下２桁のみ記載する。以降の拡大図についても同様である。

【０１００】

図９（ａ）に示すように、ノードＮ１の電圧が時間とともに高くなり、時刻ｔ１において閾値電圧である０．５Ｖを越えるとノードＮ３にスパイク信号５２が出力される。

【０１０１】

図９（ｂ）に示すように、時刻ｔ１からｔ２の間において、ノードＮ１の電圧は０．５Ｖから０．８Ｖに増加する。ノードＮ１の電圧は、図９（ａ）の時間軸では急激に増加するが、図９（ｂ）の時間軸では緩やかに増加する。図９（ｂ）では、時刻ｔ１は時間１０５９９０００ｎｓより前の時間に対応する。時刻ｔ１からｔ２の間において、ノードＮ２の電圧はハイレベルからローレベルに緩やかに変化する。ノードＮ４の電圧は、時刻ｔ１からｔ２の間において、ノードＮ２に比べるとやや速くローレベルからハイレベルに変化する。ノードＮ５の電圧は、ノードＮ４に比べ非常に速くハイレベルからローレベルに変化する。ノードＮ３の電圧は、時刻ｔ２において非常に急峻にローレベルからハイレベルに変化する。

【０１０２】

時刻ｔ２以降において、ノードＮ１、Ｎ２、Ｎ４、Ｎ５およびＮ３に行くにしたがい、電圧の変化は急峻になる。これにより、スパイク信号５２の幅は約２ｎｓと狭い。またスパイク信号５２の立ち上がりおよび立下りは急峻となる。ＣＭＯＳインバータは電圧の遷移期間に電源線２８からグランド線２６に貫通電流が流れるが、ＣＭＯＳインバータのＮＦＥＴおよびＰＦＥＴのリーク電流を小さくすることで、この貫通電流を充分に減らすことができ、消費電力を抑制できる。実施例３のように、スパイク信号５２の立ち上がりおよび立下りが急峻なため、スパイク生成回路１０４の消費電力をより抑制できる。

【０１０３】

図１０（ａ）および図１０（ｂ）は、実施例３における時間に対する入力電圧、出力電圧および消費電流を示す図である。図１０（ｂ）は、図１０（ａ）のスパイク信号５２周辺の拡大図である。図１０（ａ）に示すように、時刻０ｍｓから５ｍｓにかけてノードＮ

１の電圧Ｖ１は徐々に大きくなり、電圧Ｖ１が０．５Ｖとなると電圧Ｖ１は急激に０．８Ｖとなりその後０Ｖとなる。時刻５ｍｓにおいて、出力端子Ｔｏｕｔの電圧Ｖｏｕｔは１Ｖとなりスパイク信号５２が出力される。時刻０ｍｓから５ｍｓの間の消費電流は10^{-11}Ａ以下である。

【０１０４】

図１０（ｂ）に示すように、時刻ｔ２において、ノードＮ１の電圧Ｖ１は０．８Ｖから急激に０Ｖに低下する。出力端子Ｔｏｕｔには幅が約２ｎｓのスパイク信号５２が出力される。時刻ｔ２において電流は約1×10^{-6}Ａとなり、最も大きくなる。スパイク生成回路１０４では電力はほとんどスパイク信号５２が生成されるときに消費される。電源電圧が１Ｖのとき、１スパイクにおける消費エネルギーは、約１５ｆＪである。このように、スパイク生成のための消費電力（消費エネルギー）を非常に小さくできる。

【０１０５】

実施例３におけるキャパシタＣ２の機能について説明する。実施例３において、キャパシタＣ２の容量値を変化させ、時間に対する出力電圧Ｖｏｕｔをシミュレーションした。図１１（ａ）から図１２（ｄ）は、実施例３における時間に対する出力電圧を示す図である。図１１（ａ）から図１２（ｄ）では、キャパシタＣ２の容量値をそれぞれ０Ｆ、１ｆＦ、２ｆＦ、３ｆＦ，４ｆＦ、６ｆＦ、１０ｆＦおよび２０ｆＦとしている。

【０１０６】

図１１（ａ）に示すように、キャパシタＣ２の容量値が０Ｆのとき、スパイク信号５２の幅は約６０ｎｓであり、立ち上がりは緩やかである。図１１（ｂ）に示すように、キャパシタＣ２の容量値が１ｆＦのとき、スパイク信号５２の幅は約１６ｎｓと小さくなり、立ち上がりはやや急峻になる。図１１（ｃ）に示すように、キャパシタＣ２の容量値が２ｆＦのとき、スパイク信号５２の幅は約３ｎｓとさらに小さくなり、立ち上がりはより急峻になる。図１１（ｄ）に示すように、キャパシタＣ２の容量値が３ｆＦのとき、スパイク信号５２の幅は約２ｎｓと最小となり、立ち上がりはさらに急峻になる。

【０１０７】

図１２（ａ）に示すように、キャパシタＣ２の容量値が４ｆＦのとき、スパイク信号５２の幅は約２ｎｓと最小であり、立ち上がりはさらに急峻になる。図１２（ｂ）に示すように、キャパシタＣ２の容量値が６ｆＦのとき、スパイク信号５２の幅は約２．５ｎｓとやや大きくなり、立ち上がりは同程度であり、立下りがやや緩やかになる。図１２（ｃ）に示すように、キャパシタＣ２の容量値が１０ｆＦのとき、スパイク信号５２の幅は約３ｎｓとさらに大きくなり、立ち上がりはやや緩やかになる。図１２（ｄ）に示すように、キャパシタＣ２の容量値が２０ｆＦのとき、スパイク信号５２の幅は約５ｎｓとさらに大きくなり、立ち上がりおよび立下りはやや緩やかになる。

【０１０８】

以上のように、キャパシタＣ２を設けることで、スパイク信号５２の幅を狭くし、かつ立ち上がりおよび立下りを急峻にできる。よって、消費電力をより抑制できる。ＮＦＥＴおよびＰＦＥＴのゲート容量値は０．１ｆＦであり、キャパシタＣ２の容量値は、ゲート容量値の１倍以上が好ましく、２倍以上がより好ましく、３倍以上がさらに好ましい。キャパシタＣ２の容量値は、ゲート容量値の１０００倍以下が好ましく、５０倍以下がより好ましい。

【０１０９】

図１３（ａ）から図１３（ｄ）は、キャパシタＣ２の機能を説明する図である。図１３（ａ）は、時間に対するインバータの出力が反転するときに出力ノードに流れる電流を示す模式図である。図１３（ａ）に示すように、ＣＭＯＳインバータの出力が反転するとき、出力ノードには小さい電流ＩＬが流れる。その後、大きい電流ＩＨが流れる。電流ＩＬおよびＩＨを一定と仮定し、電流ＩＬおよびＩＨが流れる期間をＴＬおよびＴＨとする。

【０１１０】

図１３（ｂ）から図１３（ｄ）は、実施例３における時間に対するノードＮ４の電圧Ｖ４を示す模式図である。図１３（ｂ）に示すように、キャパシタＣ２の容量値が小さい場

合、ノードＮ４の電圧の上昇はインバータ２２ｂのゲート容量値の充電時間により決まる。期間ＴＬでは、電流ＩＬが小さいため、ノードＮ４の電圧Ｖ４は期間ＴＬにおいてなだらかに増加する。期間ＴＨでは、電流ＩＨが大きいため電圧Ｖ４は急激に増加する。期間ＴＬにおいて電圧Ｖ４が閾値電圧Ｖｔｈを越えると、インバータ２２ｂの出力は緩やかに反転する。よって、スパイク信号５２の立ち上がりおよび立下りが緩やかになってしまう。また、キャパシタＣ２の容量値が小さい場合、負帰還のタイミングが早すぎて正帰還を阻害してしまい、立ち上がりがさらに緩やかになってしまう。

【０１１１】

図１３（ｃ）に示すように、キャパシタＣ２の容量値が中程度の場合、電流ＩＬはインバータ２２ｂに加えキャパシタＣ２に充電される。このため、期間ＴＬにおいて電圧Ｖ４は閾値電圧Ｖｔｈを越えない。期間ＴＨにおいて、電圧Ｖ４が閾値電圧Ｖｔｈを越えると、インバータ２２ｂの出力は急激に反転する。よって、スパイク信号５２の立ち上がりおよび立下がりが急峻になる。

【０１１２】

図１３（ｄ）に示すように、キャパシタＣ２の容量値が大きい場合、期間ＴＨにおける電圧Ｖ４の上昇が緩やかになってしまう。このため、インバータ２２ｂの出力は緩やかに反転する。よって、スパイク信号５２の立ち上がりおよび立下がりが緩やかになる。さらに、スパイク信号５２の幅が広くなる。

【０１１３】

以上のように、実施例３では、キャパシタＣ２を設けることで、スパイク信号５２の幅を狭くし、立ち上がりおよび立下りを急峻にできる。よって、消費電力を抑制できる。

【０１１４】

キャパシタＣ２は、ＭＯＳキャパシタ、ＭＩＳ（Metal Insulator Semiconductor）キャパシタを用いることができる。キャパシタＣ２は、ＭＯＳＦＥＴの寄生容量を用いてもよい。

【０１１５】

実施例３の反転回路１８内のインバータの数を変えてシミュレーションを行った。図１４（ａ）から図１５（ｂ）は、実施例３におけるスパイク生成回路の回路図である。図１４（ａ）に示すように、スパイク生成回路１０４ａでは、反転回路１８は１個のインバータ２２ａとキャパシタＣ２を備えている。キャパシタＣ２は、インバータ２２ａの後段のノードＮ４に接続されている。図１４（ｂ）に示すように、スパイク生成回路１０４は、実施例３の図８と同様に、反転回路１８は３個のインバータ２２ａから２２ｃを備えている。キャパシタＣ２は、インバータ２２ａと２２ｂとの間のノードＮ４に接続されている。

【０１１６】

図１５（ａ）に示すように、スパイク生成回路１０４ｂでは、反転回路１８は５個のインバータ２２ａから２２ｅを備えている。キャパシタＣ２は、インバータ２２ａと２２ｂとの間のノードＮ４に接続されている。図１５（ｂ）に示すように、スパイク生成回路１０４ｃでは、反転回路１８は７個のインバータ２２ａから２２ｇを備えている。キャパシタＣ２は、インバータ２２ａと２２ｂとの間のノードＮ４に接続されている。

【０１１７】

図１６（ａ）から図１６（ｄ）は、実施例３におけるスパイク生成回路の時間に対する出力電圧を示す図である。図１６（ａ）に示すように、スパイク生成回路１０４ａでは、スパイク信号５２の立ち上がりは緩やかであり、スパイク信号５２の幅は広い。図１６（ｂ）に示すように、スパイク生成回路１０４では、スパイク信号５２の立ち上がりが急峻になり、スパイク信号５２の幅は約２ｎｓである。図１６（ｃ）に示すように、スパイク生成回路１０４ｂでは、スパイク信号５２の幅はやや広くなるものの、立ち上がりは急峻である。図１６（ｄ）に示すように、スパイク生成回路１０４ｃでは、スパイク信号５２の幅はやや広くなるものの、立ち上がりは急峻である。

【０１１８】

以上のように、反転回路１８のインバータの個数を奇数個とすることでスパイク生成回路を実現できる。スパイク信号５２の幅を狭くし、かつ立ち上がりおよび立下りを急峻にするためには、インバータ２２ａから２２ｇの個数は３個以上が好ましい。インバータ２２ａから２２ｇの個数は３個がより好ましい。

【０１１９】

［実施例３の変形例１］

図１７は、実施例３の変形例１のスパイク生成回路の回路図である。図１７に示すように、実施例３の変形例１のスパイク生成回路１０６では、キャパシタＣ２が設けられていない。反転回路１８のインバータの個数は奇数個であり、例えば７個である。インバータ２２ａと２２ｂとの間のノードはＮ４、インバータ２２ｂと２２ｃとの間のノードはＮ５、インバータ２２ｃと２２ｄとの間のノードはＮ６、インバータ２２ｄと２２ｅとの間のノードはＮ７、インバータ２２ｅと２２ｆとの間のノードはＮ８、インバータ２２ｆと２２ｇとの間のノードはＮ９である。その他の構成は実施例３と同じであり説明を省略する。

【０１２０】

実施例３の変形例１における各ノードの電圧をシミュレーションした。図１８は、実施例３の変形例１における時間に対する各ノードの電圧を示す図である。図１８に示すように、ノードＮ１、Ｎ２、Ｎ４、Ｎ５、Ｎ６、Ｎ７、Ｎ８、Ｎ９およびＮ３にいくに従い、電圧の遷移が急峻になっている。特に、ノードＮ９では、ハイレベルからローレベルへの変化が急峻であり、ノードＮ３のスパイク信号５２の立ち上がりおよび立下りは実施例３の図９（ｂ）程度に急峻である。

【０１２１】

以上のように、キャパシタＣ２を設けなくてもインバータ２２ａから２２ｇの個数を増やすことで、スパイク信号５２の立ち上がりおよび立下りを急峻にできる。

【０１２２】

図１９（ａ）は、実施例３の変形例１に係るスパイク生成回路の別の例を示す回路図である。図１９（ａ）に示すように、スパイク生成回路１０６ａでは、反転回路１８のインバータ２２ａは１個である。

【０１２３】

図１７および図１９（ａ）のように、インバータ２２ａの個数は奇数個であればよい。キャパシタＣ２を設けない場合に、スパイク信号５２の立ち上がりおよび立下りを急峻にするために、インバータ２２ａから２２ｇの個数は３個以上が好ましく、５個以上がより好ましく、７個以上がさらに好ましい。

【０１２４】

［実施例３の変形例２］

図１９（ｂ）は、実施例３の変形例２に係るスパイク生成回路の回路図である。図１９（ｂ）に示すように、スパイク生成回路１０８では、キャパシタＣ２の一端は電源線２８に接続され、他端はノードＮ４に接続されている。その他の構成は実施例３と同じであり説明を省略する。

【０１２５】

実施例３の変形例２のように、キャパシタＣ２は電源線２８に接続されていてもよい。キャパシタＣ２は、グランド線２６および電源線２８以外の一定電位が供給される基準電位端子に接続されていてもよい。

【０１２６】

［実施例３の変形例３］

図１９（ｃ）は、実施例３の変形例３に係るスパイク生成回路の回路図である。図１９（ｃ）に示すように、スパイク生成回路１１０では、キャパシタＣ１の一端は電源線２８に接続され、他端はノードＮ１に接続されている。ＦＥＴ１４はＮＦＥＴであり、ソースがグランド線２６に接続され、ドレインがＮＦＥＴ１３ａを介しノードＮ１に接続され、ゲートがノードＮ２に接続されている。その他の構成は実施例３と同じであり説明を省略

する。
【０１２７】
図２０（ａ）および図２０（ｂ）は、実施例３の変形例３における時間に対する各ノードの電圧を示す図である。図２０（ｂ）は、図２０（ａ）のうちスパイク信号５２付近の拡大図である。
【０１２８】
図２０（ａ）に示すように、ノードＮ１の電圧はＶｄｄである１Ｖから時間とともに減少する。ノードＮ１の電圧が０．５Ｖ以下となると、スパイク信号５２が生成される。
【０１２９】
図２０（ｂ）に示すように、各ノードＮ１からＮ５の電圧は、実施例３の図９（ｂ）の電圧の上下を反転させた波形となる。スパイク信号５２の幅は約２ｎｓと実施例３と同程度であり、立ち上がりおよび立下りは実施例３と同程度に急峻である。
【０１３０】
実施例３の変形例３のように、ＦＥＴ１４にＮＦＥＴを用いることにより、実施例２の変形例１と同様に、スパイク信号５０が負方向に向かう場合にも対応できる。
【０１３１】
実施例３の変形例３のように、キャパシタＣ１は電源線２８に接続されていてもよい。キャパシタＣ１は、グランド線２６および電源線２８以外の一定電位が供給される基準電位端子に接続されていてもよい。
【０１３２】
［実施例３の変形例４］
図２１は、実施例３の変形例４に係るスパイク生成回路の回路図である。図２１に示すように、実施例３の変形例４のスパイク生成回路１１２では、反転回路１６は、インバータ２０およびＦＥＴ２４を備えている。ＦＥＴ２４はＰＦＥＴであり、インバータ２０と電源線２８との間に接続されている。ＦＥＴ２４のゲートとＦＥＴ１４のゲートはノードＮ１０に接続されている。ノードＮ１０はＦＥＴ２４のドレインに接続されている。ＦＥＴ１４と２４はカレントミラー回路を形成する。
【０１３３】
ノードＮ１の電圧が閾値電圧を越えると、ノードＮ２がローレベルとなる。ＦＥＴ２４のソースとドレインとの間を流れる電流は大きくなる。よって、ノードＮ１０の電圧が低くなり、ＦＥＴ１４のソース－ドレイン電流とＦＥＴ２４のソース－ドレイン電流が同程度になる。これにより、ノードＮ１に正帰還がかかる。
【０１３４】
反転回路１８は、インバータ２２、キャパシタＣ２、ＮＦＥＴ２９ａおよび２９ｂを備えている。キャパシタＣ２は、ノードＮ２とグランド線２６との間に接続されている。インバータ２２の入力ノードはノードＮ２に接続され、出力ノードはノードＮ３に接続されている。ＮＦＥＴ２９ａはノードＮ３とＮＦＥＴ２３ａの間に接続されている。ＮＦＥＴ２９ｂはノードＮ３とインバータ２０の入力ノードＮ０との間に接続されている。ＮＦＥＴ２９ａおよび２９ｂのゲートは電源線２８に接続されている。キャパシタＣ３は一端がノードＮ０に他端がグランド線２６に接続されている。キャパシタＣ３、ＮＦＥＴ２９ａおよび２９ｂは負帰還を遅延させるための抵抗として機能する。反転回路１８は、ノードＮ１に負帰還をかける。
【０１３５】
実施例３の変形例４のように、ＦＥＴ１４のゲートにはインバータ２０の出力ノードＮ２を接続しなくてもよい。反転回路１６は、インバータ２０のレベルが変化したときに、ノードＮ１の信号の反転信号をＦＥＴ１４のゲートに出力すればよい。
【０１３６】
実施例３およびその変形例のように、反転回路１６は、ノードＮ１とノードＮ２との間に互いに直列接続され、ノードＮ１に入力ノードが接続されノードＮ２に出力ノードが接続された奇数個のインバータ２０（第２ＣＭＯＳインバータ）を含む。反転回路１８は、

ノードＮ２とＮ３との間に互いに直列接続され、ノードＮ２に入力ノードが接続されノードＮ３に出力ノードが接続された奇数個のインバータ２２ａから２２ｇ（第３ＣＭＯＳインバータ）を含む。これにより、反転回路１６は正帰還をかけ、反転回路１８は負帰還をかけることができる。

【０１３７】

反転回路１６は、３個以上のインバータ２０を備えてもよいが、小型化のためインバータ２０の個数は１個が好ましい。

【０１３８】

反転回路１８は、３個以上のインバータ２２ａから２２ｇを含む。これにより、スパイク信号５２の幅を狭くできかつ立ち上がりおよび立下りを急峻にできる。

【０１３９】

３個以上のインバータ２２ａから２２ｇの間のノードＮ４（第４ノード）に一端が接続され、他端がグランド線２６または電源線２８（第１基準電位端子）に接続されたキャパシタＣ２（第１容量素子）を備える。これにより、実施例３およびその変形例２のように、スパイク信号５２の幅を狭くできかつ立ち上がりおよび立下りを急峻にできる。

【０１４０】

キャパシタＣ２の容量値は、インバータ２２ａから２２ｇ内の１つのＦＥＴのゲート容量値以上である。これにより、スパイク信号５２の幅を狭くできかつ立ち上がりおよび立下りを急峻にできる。例えば、キャパシタＣ２の容量値は、インバータ２２ａから２２ｇのうち最もゲート容量値の小さなＦＥＴのゲート容量値以上とする。

【０１４１】

入力回路１０は、一端がノードＮ１に接続され、他端がグランド線２６または電源線２８（第２基準電位端子）に接続されたキャパシタＣ１（第２容量素子）を備える。これにより、入力端子Ｔｉｎに入力された入力信号を積分しノードＮ１に出力できる。

【０１４２】

実施例２から３およびその変形例において、スパイク信号５２を生成するとき以外の待機時における消費電力を小さくするためには、各ＦＥＴのオフ時のリーク電流を小さくすることが好ましい。よって、各ＦＥＴの閾値電圧を高くすることが好ましい。例えば全てのＦＥＴまたは一部のＦＥＴの閾値電圧は０．３×Ｖｄｄ（電源線２８の電圧－グランド線２６の電圧）以上が好ましく、０．５×Ｖｄｄ以上がより好ましく、０．８×Ｖｄｄ以上がさらに好ましい。なお、閾値電圧が０．３×Ｖｄｄ以上とは、ＮＦＥＴでは＋０．３×Ｖｄｄ以上であり、ＰＦＥＴでは－０．３×Ｖｄｄ以下を意味する。他のＦＥＴの閾値電圧も同様である。

【０１４３】

ノードＮ１にはローレベル（グランド線２６の電圧）より高い電圧（例えば閾値電圧Ｖｔｈよりやや低い電圧）が長時間加わる。よって、最もリーク電流が大きくなりやすいＦＥＴは、入力ノードがノードＮ１に接続されたインバータ２０のＮＦＥＴ２１ａおよびＰＦＥＴ２１ｂである。そこで、インバータ２０（インバータ２０が複数の場合は初段のインバータ）のＮＦＥＴ２１ａおよびＰＦＥＴ２１ｂの閾値電圧を０．３×Ｖｄｄ以上とすることが好ましく、０．５×Ｖｄｄ以上とすることがより好ましく、０．８×Ｖｄｄ以上とすることがさらに好ましい。

【０１４４】

スパイク生成動作以外のときにスパイク生成回路に許容される最大リーク電流をＩＫとする。例えば、ノードＮ１にＶｄｄ／２程度の電圧が長時間加わったときに、スパイク生成回路の消費電力を所望電力以下とすることを考える。このとき、スパイク生成回路のリーク電流がほとんどインバータ２０のリーク電流とすると、インバータ２０のＮＦＥＴ２１ａおよびＰＦＥＴ２１ｂのリーク電流をＩＫ以下とするとスパイク生成回路の消費電力を所望電力以下とすることができる。ソースを接地したときに、チャネルのリーク電流がＩＫとなるＮＦＥＴ２１ａおよびＰＦＥＴ２１ｂのゲート電圧をそれぞれＶｎ＿ＩＫおよび－（Ｖｐ＿ＩＫ）とする。このときＶｄｄ≦Ｖｎ＿ＩＫ＋Ｖｐ＿ＩＫとすると、ノード

Ｎ１にＶｄｄ／２程度の電圧が長時間加わっても消費電力を所望電力以下とすることができる。例えば所望電力が１ｎＷのとき、リーク電流ＩＫは $１×１０^{-9}$ ／Ｖｄｄである。さらに消費電力を抑制するため、リーク電流ＩＫを $５×１０^{-10}$ ／Ｖｄｄ以下とすることが好ましく、$２×１０^{-10}$ ／Ｖｄｄ以下とすることがより好ましい。

【０１４５】

各ＦＥＴのリーク電流を抑制するため、ＦＥＴは、ＳＯＩ（Silicon on Insulator）基板を用いたＦＥＴを用いることが好ましい。このＦＥＴはソースとドレインとの間のリーク電流が小さいため、消費電力を抑制できる。例えば、１個のＦＥＴにおけるリーク電流を１ｐＡ以下とすることができる。

【実施例４】

【０１４６】

実施例４は、実施例１の変形例３および５の具体例である。図２２（ａ）から図２３（ｂ）は、実施例４に係るスパイク生成回路の回路図である。図２２（ａ）に示すように、実施例４のスパイク生成回路１３６は、フリップフロップ回路９０、遅延回路１７およびＦＥＴ９１を備えている。遅延回路１７は、例えば、実施例２およびその変形例１の反転回路１６および１８を有する遅延回路１７のように偶数段のインバータが縦続接続された回路である。

【０１４７】

フリップフロップ回路９０は、入力ノード９０ａがハイレベルとなると、出力ノード９０ｃをハイレベルとし、入力ノード９０ｂにハイレベルが入力するまで出力ノード９０ｃのハイレベルを維持する。フリップフロップ回路９０は、入力ノード９０ｂがハイレベルとなると、出力ノード９０ｃをローレベルとし、入力ノード９０ａにハイレベルが入力するまで出力ノード９０ｃのローレベルを維持する。

【０１４８】

入力ノード９０ａは入力端子Ｔｉｎに接続された中間ノードＮｉに接続されている。入力ノード９０ｂはノードＮ３に接続されている。出力ノード９０ｃは遅延回路１７の入力ノードに接続され、遅延回路１７の出力ノードはノードＮ３に接続されている。ＦＥＴ９１はＮＦＥＴであり、ソース、ドレインおよびゲートがそれぞれグランド線２６、中間ノードＮｉおよびノードＮ３に接続されている。

【０１４９】

図２２（ｂ）に示すように、スパイク生成回路１３７では、図２２（ａ）のフリップフロップ回路９０としてＮＦＥＴ９２ａから９２ｄおよびＰＦＥＴ９３ａから９３ｄを用いている。図２２（ｂ）のうちＮＦＥＴ９２ｃおよびＰＦＥＴ９３ｃは、削除可能であり、削除した例を以下に示す。

【０１５０】

図２３（ａ）に示すように、スパイク生成回路１３８では、ＮＦＥＴ９２ｃおよびＰＦＥＴ９３ｃが設けられていない。ＮＦＥＴ９２ｄおよびＰＦＥＴ９３ｂはそれぞれＮＦＥＴ１３ａおよびＰＦＥＴ１３ｂに相当する。ＮＦＥＴ１３ａとＰＦＥＴ１３ｂは、電源線２８とグランド線２６との間に直列に接続され、ＣＭＯＳインバータ１２を形成する。ＰＦＥＴ９３ｄはＦＥＴ１４に相当する。ＦＥＴ１４は、ノードＮ１と電源線２８との間においてＰＦＥＴ１３ｂと直列に接続されている。ＦＥＴ１４のゲートはノードＮｇに接続されている。

【０１５１】

ＮＦＥＴ９２ｂはＦＥＴ９５に相当する。ＦＥＴ９５のソース、ドレインおよびゲートは、それぞれグランド線２６、ノードＮｇおよびノードＮ１に接続されている。ＮＦＥＴ９２ａおよびＰＦＥＴ９３ａはＣＭＯＳインバータ９４に相当する。ＣＭＯＳインバータ９４の入力ノードおよび出力ノードはそれぞれノードＮｉおよびＮｇに接続されている。遅延回路１７の入力ノードおよび出力ノードはそれぞれノードＮ１およびＮ３に接続されている。

【０１５２】

反転回路１６は、反転回路１６ａおよび１６ｂを備えている。反転回路１６ａはＦＥＴ９５を含む。反転回路１６ｂはＦＥＴ９１およびインバータ９４を含む。

【０１５３】

図２３（ｂ）に示すように、スパイク生成回路１３９では、図２３（ａ）のスパイク生成回路１３８に、図２２（ｂ）のＮＦＥＴ９２ｃを設ける。ＮＦＥＴ９２ｃはＦＥＴ９６に相当する。ＦＥＴ９６のソース、ドレインおよびゲートは、それぞれグランド線２６、ノードＮ１およびノードＮｇに接続されている。図２３（ａ）のスパイク生成回路１３８では、ＦＥＴ１４がオフすると、ノードＮ１がフローティングとなる。スパイク生成回路１３９では、ＦＥＴ１４がオフすると、ＦＥＴ９６がオンするためノードＮ１はローレベルとなる。これにより、ノードＮ１がフローティングとなることを抑制できる。実施例４は、図２２（ａ）から図２３（ｂ）のいずれの回路でもよい。

【０１５４】

図２３（ｂ）の回路を例に実施例４の動作を説明する。図２４は、実施例４における時間に対する各端子およびノードの電圧を示す図であり、ノードＮｉ、ＦＥＴ１４のゲートに相当するノードＮｇ、ノードＮ１および出力端子Ｔｏｕｔ（すなわちノードＮ３）の電圧を示している。時刻ｔ０では、ノードＮｉの電圧は０Ｖ、ノードＮｇの電圧はハイレベル（Ｖｄｄ）、ノードＮ１の電圧はローレベル（０Ｖ）、出力端子Ｔｏｕｔの電圧はローレベル（０Ｖ）である。インバータ１２の入力ノードＮ０はローレベルである。ノードＮｇがハイレベルでありＦＥＴ１４がオフのためインバータ１２は機能しない。また、ＦＥＴ９６がオンするため、ノードＮ１はローレベルとなる。

【０１５５】

入力信号として時間とともに一定の傾きで電圧が上昇する例について説明する。時刻ｔ０以降時間ともにノードＮｉの電圧が上昇する。ノードＮｉの電圧がインバータ９４ａの閾値電圧に達しないとき、ノードＮｇの電圧はＶｄｄである。ノードＮｉの電圧が閾値電圧Ｖｔｈに近づくと、ノードＮｇの電圧は徐々に低下する。ＦＥＴ１４がオフであり、ＦＥＴ９６がオンのため、ノードＮ１はローレベルを維持する。

【０１５６】

時刻ｔ１において、ノードＮｉの電圧が閾値電圧Ｖｔｈに達すると、ノードＮｇの電圧はＦＥＴ１４の閾値電圧に達する。これにより、ノードＮ１の電圧が上昇する。ＦＥＴ９５がオンすると、ノードＮｇの電圧はローレベルとなる。ＦＥＴ１４はオンし、ＦＥＴ９６はオフする。これにより、ノードＮ１の電圧はハイレベルとなる。このように、ＦＥＴ９５は、ノードＮ１がハイレベルとなるとノードＮｇをローレベルとする反転回路１６ａとして機能する。反転回路１６ａおよびＦＥＴ１４によりノードＮ１に正帰還が加わり、ノードＮ１の電圧は急峻に立ち上がる。

【０１５７】

時刻ｔ２において、遅延回路１７は時刻ｔ１から遅延して出力端子Ｔｏｕｔをハイレベルとする。ＦＥＴ９１のゲートがハイレベルとなるため、ＦＥＴ９１がオンし、ノードＮｉの電圧は０Ｖとなる。ノードＮｇはハイレベルとなる。ＦＥＴ１４がオフし、ＦＥＴ９６がオンするため、ノードＮ１はローレベルとなる。このように、ＦＥＴ９１およびインバータ９４は、ノードＮ３がハイレベルとなると、ノードＮｇをハイレベルとし、ノードＮ１をローレベルとする反転回路１６ｂとして機能する。

【０１５８】

時刻ｔ４において、遅延回路１７は時刻ｔ２から遅延して出力端子Ｔｏｕｔをローレベルとする。これにより出力端子Ｔｏｕｔにパルス幅がｔ４－ｔ２のスパイク信号５２が出力される。

【０１５９】

図２３（ｂ）において、インバータ９４が設けられておらず、ＦＥＴ１４の制御端子とノードＮｉが接続されている場合を考える。この場合、ノードＮ１からＦＥＴ９５および１４を介した正帰還ループにノードＮｉが含まれてしまい、ノードＮｉはローレベルの状態で維持されてしまう。このように、中間ノードＮｉとＦＥＴ１４のゲートの間にはイン

バータ９４が設けられることが好ましい。
【０１６０】
図２３（ｂ）において、ＦＥＴ９１が設けられておらず、出力端子Ｔｏｕｔが中間ノードＮｉに帰還していない場合を考える。図２５は、ＦＥＴ９１が設けられていない場合の時間に対する各電圧を示す図である。図２５に示すように、時刻ｔ２において出力端子ＴｏｕｔがハイレベルとなってもノードＮｉの電圧は０Ｖにならず上昇し続ける。ＦＥＴ９５を介した正帰還と、遅延回路１７を介した負帰還が交互にかかるため、ノードＮ１の電圧はローレベルとハイレベルを繰り返し、出力端子Ｔｏｕｔからスパイク信号５２が繰り返し出力される。このように、反転回路１６ａがノードＮ１がローレベルとなってもＦＥＴ１４のゲートをハイレベルとしない場合には、ＦＥＴ９１を設けることが好ましい。
【０１６１】
［実施例４の変形例１］
図２６（ａ）および図２６（ｂ）は、実施例４の変形例１に係るスパイク生成回路の回路図である。図２６（ａ）に示すように、スパイク生成回路１４０では、フリップフロップ回路９０にＮＡＮＤ回路９１ａおよび９１ｂを有するラッチを用いる。ＦＥＴ９１はＰＦＥＴであり、ＦＥＴ９１のソースは電源線２８に接続されている。その他の構成は図２２（ａ）のスパイク生成回路１３６と同じであり説明を省略する。
【０１６２】
図２６（ｂ）に示すように、スパイク生成回路１４１では、フリップフロップ回路９０をＦＥＴに分解し、削除可能なＦＥＴが削除されている。図２３（ｂ）のスパイク生成回路１３９に比べ、ＦＥＴ１４がＮＦＥＴであり、ＦＥＴ１４はノードＮ１とグランド線２６との間にＦＥＴ１３ａと直列に接続されている。ＦＥＴ９５および９６はＰＦＥＴである。ＦＥＴ９５および９６のソースは電源線２８に接続されている。インバータ９４から遅延回路１７は回路９８を形成する。その他の構成は図２３（ｂ）のスパイク生成回路１３９と同じであり説明を省略する。
【０１６３】
実施例３の変形例１では、入力端子Ｔｉｎに入力する入力信号は、実施例１の変形例５の図５（ｂ）の入力端子Ｔｉｎの信号のようにハイレベルからローレベルに下降する信号である。出力端子Ｔｏｕｔからは図５（ｂ）のようにローレベルのスパイク信号５２が出力される。
【０１６４】
スパイク生成回路１４１のように、ＦＥＴ１４をＮＦＥＴとすることで、実施例１の変形例５のスパイク生成回路１３５を実現できる。
【０１６５】
［実施例４の変形例２］
図２７（ａ）および図２７（ｂ）は、実施例４の変形例２に係るスパイク生成回路の回路図である。図２７（ａ）に示すように、スパイク生成回路１４２では、図２６（ａ）のスパイク生成回路１４０に加え、インバータ９４ａおよび９４ｂを備えている。インバータ９４ａはノードＮｉとフリップフロップ回路９０の入力ノード９０ａとの間に接続され、インバータ９４ｂはノードＮ３とＦＥＴ９１のゲートとの間に接続されている。ＦＥＴ９１はＮＦＥＴであり、ソースがグランド線２６に接続されている。その他の構成は図２６（ａ）のスパイク生成回路１４０と同じであり説明を省略する。
【０１６６】
図２７（ｂ）に示すように、スパイク生成回路１４３では、フリップフロップ回路９０をＦＥＴに分解し、削除可能なＦＥＴが削除されている。スパイク生成回路１４３の回路９８は、図２６（ｂ）のスパイク生成回路１４１の回路９８と同じである。ＦＥＴ９１がＮＦＥＴであり、インバータ９４ａおよび９４ｂが設けられている。反転回路１６ｂは、インバータ９４、９４ａ、９４ｂおよびＦＥＴ９１を含む。その他の構成は図２６（ｂ）のスパイク生成回路１４１と同じであり説明を省略する。
【０１６７】

入力端子Ｔｉｎに入力する入力信号は、実施例１の変形例３の図３（ｂ）の入力端子Ｔｉｎの信号のようなローレベルからハイレベルに上昇する信号である。インバータ９４ａは入力信号を、実施例１の変形例５の図５（ｂ）の入力端子Ｔｉｎの信号のようにハイレベルからローレベルに下降する信号に変換する。出力端子Ｔｏｕｔからは図５（ｂ）のようなローレベルのスパイク信号５２が出力される。インバータ９４ｂはノードＮ３の信号を反転しＦＥＴ９１のゲートに出力する。

【０１６８】

スパイク生成回路１４３のように、入力信号を反転させてもよい。この場合、インバータ９４ｂを設けることで、ノードＮｉをリセットできる。

【０１６９】

［実施例４の変形例３］

図２８（ａ）および図２８（ｂ）は、実施例４の変形例３に係るスパイク生成回路の回路図である。図２８（ａ）に示すように、スパイク生成回路１４４では、フリップフロップ回路９０にＮＯＲ回路９１ｃおよびＮＡＮＤ回路９１ｂを有するラッチを用いる。ＮＯＲ回路９１ｃおよびＮＡＮＤ回路９１ｂのループ内にインバータ９４ｄおよび９４ｅを設けている。インバータ９４ａは設けられていない。その他の構成は図２７（ａ）のスパイク生成回路１４２と同じであり説明を省略する。

【０１７０】

図２８（ｂ）に示すように、スパイク生成回路１４５では、フリップフロップ回路９０をＦＥＴに分解し、削除可能なＦＥＴが削除されている。図２７（ｂ）のスパイク生成回路１４３と比較すると、ＦＥＴ９５がＮＦＥＴである。インバータ９４ｃはノードＮ１の信号を反転しＦＥＴ９５のゲートに出力する。ＦＥＴ９５のドレインはインバータ９４ａと９４の間のノードＮｇ２に接続されている。インバータ９４はノードＮｇ２の信号を反転してノードＮｇに出力する。反転回路１６ａはインバータ９４、９４ｃおよびＦＥＴ９５を含む。反転回路１６ｂはインバータ９４、９４ａ、９４ｂおよびＦＥＴ９１を含む。その他の構成は図２７（ｂ）のスパイク生成回路１４３と同じであり説明を省略する。

【０１７１】

入力信号はローレベルからハイレベルに上昇する信号である。ノードＮｇ２の信号はハイレベルからローレベルに下降する信号である。インバータ９４から遅延回路１７の回路９９は、実施例１の変形例５のスパイク生成回路１３５のように、ローレベルのスパイク信号５２を出力する。

【０１７２】

スパイク生成回路１４５のように、反転回路１６ａはＦＥＴ９５以外にインバータ９４および９４ｃ等を含んでもよい。反転回路１６ａと１６ｂは一部の回路素子（例えばインバータ９４）を共有してもよい。

【０１７３】

［実施例４の変形例４］

図２９（ａ）および図２９（ｂ）は、実施例４の変形例４に係るスパイク生成回路の回路図である。図２９（ａ）に示すように、スパイク生成回路１４６では、フリップフロップ回路９０にＮＡＮＤ回路９１ａおよびＮＯＲ回路９１ｄを有するラッチを用いる。ＮＡＮＤ回路９１ａおよびＮＯＲ回路９１ｄのループ内にインバータ９４ｄおよび９４ｅを設けている。ノードＮｉとフリップフロップ回路９０の入力ノード９０ａとの間にインバータ９４ａが設けられ、出力端子ＴｏｕｔとＦＥＴ９１のゲートとの間にインバータ９４ｂが設けられていない。その他の構成は図２８（ａ）のスパイク生成回路１４４と同じであり説明を省略する。

【０１７４】

図２９（ｂ）に示すように、スパイク生成回路１４７では、フリップフロップ回路９０をＦＥＴに分解し、削除可能なＦＥＴが削除されている。図２８（ｂ）のスパイク生成回路１４５と比較すると、インバータ９４ａと９４との間にインバータ９４ｂが設けられ、ノードＮ３とＦＥＴ９１のゲートとの間にインバータが設けられていない。ＦＥＴ９６は

ＮＦＥＴであり、ＦＥＴ１４および９５はＰＦＥＴである。反転回路１６ａはインバータ９４、９４ｃおよびＦＥＴ９５を含む。反転回路１６ｂはインバータ９４、９４ａ、９４ｂおよびＦＥＴ９１を含む。その他の構成は図２８（ｂ）のスパイク生成回路１４５と同じであり説明を省略する。

【０１７５】

入力信号はローレベルからハイレベルに上昇する信号である。ノードＮｇ２の信号はローレベルからハイレベルに上昇する信号である。インバータ９４から遅延回路１７の回路９９ａは、実施例１の変形例３５のスパイク生成回路１３３のように、ハイレベルのスパイク信号５２を出力する。

【０１７６】

スパイク生成回路１４３、１４５および１４７のように、反転回路１６ａおよび１６ｂは適宜インバータを含んでもよい。

【０１７７】

［実施例４の変形例５］

図３０（ａ）および図３０（ｂ）は、実施例４の変形例５に係るスパイク生成回路の回路図である。図３０（ａ）に示すように、スパイク生成回路１４８では、フリップフロップ回路９０にＮＯＲ回路９１ｃおよび９１ｄを有するラッチを用いる。フリップフロップ回路９０の出力ノード９０ｃと相補的な出力ノード９０ｄとＮ３との間に遅延回路１７ａと直列にインバータ９４ｆが接続されている。出力ノード９０ｄは出力ノード９０ｃと相補的な信号が出力される。よって、遅延回路１７ａの前段または後段にインバータ９４ｆを設ければ、遅延回路１７ａを出力ノード９０ｃに接続した場合と同様の機能が得られる。スパイク生成回路１３６、１３８、１４０、１４２、１４４および１４６においても出力ノード９０ｃの相補的な出力ノードとノードＮ３との間に遅延回路１７ａとインバータ９４ｆを接続してもよい。その他の構成は図２２（ａ）のスパイク生成回路１３６と同じであり説明を省略する。

【０１７８】

図３０（ｂ）に示すように、スパイク生成回路１４９では、フリップフロップ回路９０をＦＥＴに分解し、削除可能なＦＥＴが削除されている。図２３（ｂ）のスパイク生成回路１３９と比較すると、遅延回路１７ａの入力ノードはノードＮｇ（すなわちＦＥＴ９５のドレイン）に接続され、遅延回路１７ａの出力はインバータ９４ｆを介しノードＮ３に接続されている。ＦＥＴ９５、遅延回路１７ａおよびインバータ９４ｆが遅延回路１７として機能する。その他の構成は図２３（ｂ）のスパイク生成回路１３９と同じであり説明を省略する。

【０１７９】

スパイク生成回路１４９のように、反転回路１６ａと遅延回路１７とは一部の回路素子（例えばＦＥＴ９５）を共有してもよい。

【０１８０】

実施例４およびその変形例１によれば、インバータ１２は第１レベル（ハイレベルおよびローレベルの一方）および第２レベル（ハイレベルおよびローレベルの他方）を出力する。ＦＥＴ１４（第１スイッチ）は、ゲート（制御端子）に第１レベルが入力するとオンし、第２レベルが入力するとオフする。ここで、ＦＥＴ１４がＮＦＥＴの場合、第１レベルおよび第２レベルはそれぞれハイレベルおよびローレベルであり、ＦＥＴ１４がＰＦＥＴの場合、第１レベルおよび第２レベルはそれぞれローレベルおよびハイレベルである。

【０１８１】

反転回路１６ａ（第１反転回路）は、ノードＮ１が第１レベルから第２レベルとなると第１レベルをＦＥＴ１４のゲートに出力する。例えば、図２３（ｂ）、図２９（ｂ）および図３０（ｂ）のスパイク生成回路１３９、１４７および１４９では、ノードＮ１がローレベルからハイレベルとなると、反転回路１６ａはＦＥＴ１４のゲートにローレベルを出力する。図２６（ｂ）、図２７（ｂ）および図２８（ｂ）のスパイク生成回路１４１、１４３および１４５では、ノードＮ１がハイレベルからローレベルとなると、反転回路１６

ａはＦＥＴ１４のゲートにハイレベルを出力する。
【０１８２】
反転回路１６ｂ（第２反転回路）は、遅延回路１７の出力が第２レベルとなるとＦＥＴ１４のゲートに第２レベルを出力する。例えば、図２３（ｂ）、図２９（ｂ）および図３０（ｂ）のスパイク生成回路１３９、１４７および１４９では、ノードＮ３がハイレベルとなると、反転回路１６ｂはＦＥＴ１４のゲートにハイレベルを出力する。図２６（ｂ）、図２７（ｂ）および図２８（ｂ）のスパイク生成回路１４１、１４３および１４５では、ノードＮ３がローレベルとなると、反転回路１６ｂはＦＥＴ１４のゲートにローレベルを出力する。中間ノードＮｉは反転回路１６ｂ内に設けられている。
【０１８３】
これにより、図２４のように、消費電力を抑制しかつパルス幅の狭いスパイク信号５２を生成できる。
【０１８４】
反転回路１６ｂは、ゲート（制御端子）に遅延回路１７の出力（ノードＮ３）が接続されたＦＥＴ９１（第２スイッチ）を備えている。ＦＥＴ９１は、遅延回路１７が第２レベルを出力すると、中間ノードＮｉと入力信号の初期レベルが供給される電源とを接続する。例えば図３（ｂ）のように入力信号の初期レベルがローレベルのとき、ＦＥＴ９１はＮＦＥＴであり、中間ノードＮｉをグランド線２６に接続する。例えば図５（ｂ）のように入力信号の初期レベルがハイレベルのとき、ＦＥＴ９１はＰＦＥＴであり、中間ノードＮｉを電源線２８に接続する。これにより、中間ノードＮｉをリセットし、ノードＮｇを第２レベルとすることができる。
【０１８５】
インバータ９４（第２ＣＭＯＳインバータ）は、入力ノードがノードＮｉに接続され、出力ノードがＦＥＴ１４のゲート（ノードＮｇ）に接続されている。これにより、正帰還ループ１５内にノードＮｉが含まれなくなるため、ノードＮｇの電圧が入力信号にともない変化できる。
【０１８６】
反転回路１６ａは、ゲートがノードＮ１に接続され、ノードＮ１が第２レベルとなるとＦＥＴ１４のゲート（ノードＮｇ）と第１レベルが供給される電源とを接続するＦＥＴ９５（第３スイッチ）を備える。これにより、ＦＥＴ９５を反転回路１６ａとして用いることができる。
【０１８７】
ＦＥＴ９６（第４スイッチ）は、ゲートがＦＥＴ１４のゲート（ノードＮｇ）に接続され、ＦＥＴ１４ゲートが第２レベルのとき、ノードＮ１を第１レベルが供給される電源に接続する。これにより、ノードＮ１がフローティングとなることを抑制できる。
【０１８８】
同じノード（または端子）においてハイレベルはローレベルより高い電圧であればよく、異なるノード（または端子）間のハイレベルは同じ電圧でなくてもよく、ローレベルは同じ電圧でなくてもよい。
【０１８９】
実施例２、３およびその変形例における入力回路１０を、実施例４およびその変形例の入力端子Ｔｉｎと中間ノードＮｉとの間に設けてもよい。
【実施例５】
【０１９０】
実施例５は、実施例１から４およびその変形例を電圧判定回路として用いる例である。図３１は、実施例５に係るスパイク生成回路の回路図である。図３１に示すように、実施例５のスパイク生成回路１１４では、キャパシタＣ１と入力端子Ｔｉｎとの間に、電圧変換回路３０が接続されている。入力回路１０は、キャパシタＣ１と電圧変換回路３０を含む。
【０１９１】

電圧変換回路３０は、ＮＦＥＴ３１ａおよび３１ｂを備えている。ＮＦＥＴ３１ａのソースおよびゲートがグランド線２６に接続され、ドレインがノードＮ１１に接続されている。ＮＦＥＴ３１ｂのソースがノードＮ１１に接続され、ゲートがグランド線２６に接続され、ドレインが入力端子Ｔｉｎに接続されている。ＮＦＥＴ３１ａおよび３１ｂはオフするため、ソースとドレインとの間は高抵抗として機能する。入力端子Ｔｉｎに入力された入力信号はＮＦＥＴ３１ａおよび３１ｂにより分圧されノードＮ１１に出力される。その他の構成は実施例３と同じであり説明を省略する。

【０１９２】

入力端子Ｔｉｎに入力する入力信号の電圧を変え、出力端子Ｔｏｕｔに出力されるスパイク信号５２をシミュレーションした。図３２（ａ）から図３３（ｄ）は、実施例５における時間に対するノードＮ１の電圧および出力電圧を示す図である。図３２（ａ）から図３３（ｄ）は、入力信号を一定の電圧Ｖｉｎの信号とした。電圧Ｖｉｎをそれぞれ０．９Ｖ、１．０Ｖ、１．２Ｖ、１．５Ｖ、２Ｖ、３Ｖ、５Ｖ、７Ｖおよび１０Ｖとした。電圧変換回路３０は、入力端子Ｔｉｎの電圧を約１／２に分圧する。

【０１９３】

図３２（ａ）に示すように、電圧Ｖｉｎが０．９Ｖでは、ノードＮ１の電圧は、０．９Ｖ×１／２である０．４５Ｖで飽和してしまう。これにより、ノードＮ１の電圧は閾値電圧である０．５Ｖに到達しない。このため、スパイク信号５２は生成されない。図３２（ｂ）に示すように、電圧Ｖｉｎが１Ｖでは、ノードＮ１の電圧が０．５Ｖに達する。これにより、スパイク信号５２が生成される。スパイク信号５２が生成される周期は３０．３ｍｓであり周波数は３３Ｈｚである。

【０１９４】

図３２（ｃ）に示すように、電圧Ｖｉｎが１．２Ｖでは、電圧Ｖｉｎが１Ｖのときより、キャパシタＣ１が速く充電される。これにより、電圧Ｖｉｎが１Ｖのときより、ノードＮ１の電圧が速く０．５Ｖに達する。よって、スパイク信号５２が生成される周期は１５．９ｍｓと短くなり、周波数は６２．８Ｈｚと高くなる。図３２（ｄ）に示すように、電圧Ｖｉｎが１．５Ｖでは、スパイク信号５２が生成される周期は６．７１ｍｓとより短くなり、周波数は１４９Ｈｚとより高くなる。図３２（ｅ）に示すように、電圧Ｖｉｎが２Ｖでは、スパイク信号５２が生成される周期は４．２７ｍｓであり周波数は２３４Ｈｚである。

【０１９５】

図３３（ａ）に示すように、電圧Ｖｉｎが３Ｖでは、スパイク信号５２が生成される周期は２．５０ｍｓであり周波数は４００Ｈｚである。図３３（ｂ）に示すように、電圧Ｖｉｎが５Ｖでは、スパイク信号５２が生成される周期は１．２８ｍｓであり周波数は７８２Ｈｚである。図３３（ｃ）に示すように、電圧Ｖｉｎが７Ｖでは、スパイク信号５２が生成される周期は０．７９２ｍｓであり周波数は１２６２Ｈｚである。図３３（ｄ）に示すように、電圧Ｖｉｎが１０Ｖでは、スパイク信号５２が生成される周期は０．４５４ｍｓであり周波数は２２０３Ｈｚである。

【０１９６】

図３４（ａ）および図３４（ｂ）は、実施例５における入力電圧に対するそれぞれ周波数および周期を示す図である。図３４（ａ）に示すように電圧Ｖｉｎが高くなるとスパイク信号５２の周波数が高くなる。図３４（ｂ）に示すように、電圧Ｖｉｎが高くなるとスパイク信号５２が生成される周期が短くなる。電圧Ｖｉｎが閾値電圧Ｖｉｎｔｈより小さいとスパイク信号５２は生成されない。図３４（ａ）および図３４（ｂ）ではＶｉｎｔｈは約１Ｖである。

【０１９７】

このように、実施例５では、入力される入力信号の電圧が閾値電圧Ｖｉｎｔｈより低いとき、スパイク信号５２は生成されず、入力信号の電圧が閾値電圧Ｖｉｎｔｈより高いとスパイク信号５２が生成される。このように、スパイク生成回路１１４は、入力端子Ｔｉｎの電圧を判定する判定回路として機能する。入力端子Ｔｉｎにスパイク信号が入力する

場合、キャパシタＣ１の容量値を設定することにより、スパイク信号５２が出力されるための入力スパイク信号の個数を設定できる。

【０１９８】

スパイク生成回路１１４は、入力端子Ｔｉｎの電圧をスパイク信号５２の周波数に変換する回路として機能する。閾値電圧Ｖｉｎｔｈは、電圧変換回路３０のＮＦＥＴ３１ａと３１ｂとの抵抗値の比により任意に設定できる。電圧変換回路３０は、入力信号の電圧を分圧する回路であれば、抵抗分圧回路以外の回路でもよい。

【０１９９】

電圧変換回路３０は、入力信号の電圧を分圧した信号をノードＮ１に出力する。反転回路１８は、入力信号の電圧の絶対値が閾値電圧Ｖｉｎｔｈ（所定値）より大きいときスパイク信号５２を出力し、入力信号の電圧がＶｉｎｔｈ以下のときスパイク信号５２を出力しない。このように、低消費電力の電圧判定回路を実現できる。

【０２００】

［実施例５の変形例１］

図３５は、実施例５の変形例１に係るスパイク生成回路の回路図である。図３５に示すように、実施例５の変形例１のスパイク生成回路１１４ａでは、実施例３の変形例３のスパイク生成回路に電圧変換回路３０が設けられている。その他の構成は実施例５と同じであり説明を省略する。

【０２０１】

実施例５の変形例１では、反転回路１８は、入力信号の電圧の絶対値が閾値電圧より小さいときスパイク信号５２を出力し、入力信号の電圧がＶｉｎｔｈ以上のときスパイク信号５２を出力しない。

【０２０２】

［実施例５の変形例２］

図３６（ａ）は、実施例５の変形例２に係るスパイク生成回路の回路図である。図３６（ａ）に示すように、実施例５の変形例２のスパイク生成回路１１４ｂでは、キャパシタＣ１の一端が入力端子Ｔｉｎに接続され、キャパシタＣ１の他端がノードＮ１に接続されている。その他の構成は実施例３と同じであり説明を省略する。

【０２０３】

図３６（ｂ）は、実施例５の変形例２のタイミングチャートである。図３６（ｂ）に示すように、入力端子Ｔｉｎに入力する入力信号は時間に対し電圧が変化する。例えば、入力信号の低周波数成分は３．５Ｖである。ノードＮ１の電圧は、キャパシタＣ１により低周波数成分が遮断される。これにより、ノードＮ１の電圧は入力信号の変化量（直流成分を除いた電圧）となる。ノードＮ１の電圧の大きさはキャパシタＣ１の容量の大きさにより任意に設定できる。すなわち、キャパシタＣ１は電圧変換回路として機能する。時刻ｔ３０において入力信号の低周波数成分からの変化量が３Ｖに達すると、ノードＮ１の電圧はＶｔｈとなる。これにより、出力端子Ｔｏｕｔからスパイク信号が出力される。

【０２０４】

実施例５の変形例２によれば、反転回路１８は入力信号の低周波数成分からの変化量が所定範囲内のときスパイク信号５２を生成し、所定範囲外のときスパイク信号５２を生成しない。

【０２０５】

実施例５およびその変形例１および２によれば、電圧変換回路３０（またはキャパシタＣ１）は入力信号の電圧を変換した信号をノードＮ１に出力する。反転回路１８は、入力信号の電圧が所定範囲内のときスパイク信号５２を出力せず、入力信号の電圧が所定範囲外のときスパイク信号５２を出力する。これにより、低消費電力の電圧判定回路を実現できる。

【０２０６】

［実施例５の変形例３］

実施例５の変形例３は、実施例１から４およびその変形例を遅延回路に用いる例である

。図３７は、実施例５の変形例３に係るスパイク生成回路の回路図である。図３７に示すように、実施例５の変形例３のスパイク生成回路１１６では、キャパシタＣ１と入力端子Ｔｉｎとの間に、ＮＦＥＴ３３が接続されている。ＮＦＥＴ３３はオフするため、ソースとドレインとの間は高抵抗として機能する。ＮＦＥＴ３３とキャパシタＣ１とは入力回路１０である時定数回路３２を形成する。時定数回路３２は、入力端子Ｔｉｎに入力した入力信号の立ち上がりの時定数を長くする。ノードＮ１の電圧の立ち上がりの時定数はＮＦＥＴ３３とキャパシタＣ１により定まる時定数となる。その他の構成は実施例３と同じであり説明を省略する。

【０２０７】

入力端子Ｔｉｎに入力信号を入力し、ノードＮ１の電圧および出力端子Ｔｏｕｔに出力されるスパイク信号５２をシミュレーションした。キャパシタＣ１の容量値を５．７５ｆＦとした。入力信号として、時定数回路３２の時定数に比べ十分に短時間でローレベルからハイレベルに変移する信号を入力した。

【０２０８】

図３８（ａ）および図３８（ｂ）は、実施例５の変形例３における時間に対するノードＮ１の電圧および出力電圧を示す図である。図３８（ｂ）は、図３８（ａ）の拡大図である。図３８（ａ）に示すように、ノードＮ１の電圧は、時定数回路３２の時定数で立ち上がる。ノードＮ１の電圧が閾値電圧である０．５Ｖ以上となると出力端子Ｔｏｕｔにスパイク信号５２が出力される。図３８（ｂ）に示すように、スパイク信号５２の幅は約２ｎｓであり、立ち上がりおよび立下りは急峻である。

【０２０９】

このように、スパイク生成回路１１６は、入力端子Ｔｉｎにハイレベルの信号が入力してから所定時間遅延してスパイク信号５２を出力する遅延回路として機能する。出力されるスパイク信号５２は幅が短く急峻な波形にできる。時定数回路３２は、入力信号の立ち上がりおよび／または立下りの時定数を長くする回路であればＲＣ回路以外の回路でもよい。遅延時間は、時定数回路３２の時定数を変えることで任意に設定できる。

【０２１０】

実施例５の変形例３によれば、時定数回路３２は、入力信号の立ち上がりの時定数を長くしノードＮ１に出力する。出力端子Ｔｏｕｔは、入力信号が入力した後、時定数回路３２の時定数に関連した遅延時間後にスパイク信号５２を出力する。これにより、低消費電力でかつ急峻な立ち上がりおよび立下りを有するスパイク信号５２を出力できる遅延回路を実現できる。

【０２１１】

［実施例５の変形例４］

実施例５の変形例４は、実施例２、３およびその変形例を入力スパイク信号５０の頻度が下がるとスパイク信号５２を生成する頻度低下検出回路に用いる例である。図３９は、実施例５の変形例４に係るスパイク生成回路の回路図である。図３９に示すように、実施例５の変形例４のスパイク生成回路１１８では、キャパシタＣ１と入力端子Ｔｉｎとの間に抑制回路３４が接続されている。入力回路１０は、抑制回路３４とキャパシタＣ１を含む。

【０２１２】

抑制回路３４は、ＮＦＥＴ３５ａ、３５ｂおよびＰＦＥＴ３５ｃを備えている。ＮＦＥＴ３５ａ、３５ｂおよびＰＦＥＴ３５ｃはグランド線２６と電源線２８との間に直列に接続されている。ＮＦＥＴ３５ｂとＰＦＥＴ３５ｃとの間のノードＮ１２はキャパシタＣ１に接続されている。ＮＦＥＴ３５ａのゲートはドレインに接続され、ＰＦＥＴ３５ｃのゲートはソースに接続されている。これにより、ＮＦＥＴ３５ａおよびＰＦＥＴ３５ｃは負荷として機能する。ＮＦＥＴ３５ｂのゲートに入力端子Ｔｉｎが接続されている。これにより、抑制回路３４はソース接地回路として機能する。

【０２１３】

キャパシタＣ１はＰＦＥＴ３５ｃを介して電源線２８からキャパシタＣ１に流れる電流

により充電される。入力端子Ｔｉｎにスパイク信号５０が入力するとＦＥＴ３５ｂがオンし、ノードＮ１２の電圧を下げる。スパイク信号５０の頻度が高ければ、ノードＮ１２（すなわちＮ１）の電圧は適度に下がるため、ノードＮ１の電圧は閾値電圧Ｖｔｈに達しない。しかし、スパイク信号５０の頻度が低くなると、ノードＮ１２の電圧が高くなり、閾値電圧Ｖｔｈに達する。

【０２１４】

入力端子Ｔｉｎに一定周波数でスパイク信号５０を入力し、ノードＮ１の電圧および出力端子Ｔｏｕｔに出力されるスパイク信号５２をシミュレーションした。入力信号のスパイク信号５０の高さおよび幅を１Ｖおよび２ｎｓとした。

【０２１５】

図４０（ａ）および図４０（ｂ）は、実施例５の変形例４における時間に対するノードＮ１の電圧および出力電圧を示す図である。図４０（ａ）および図４０（ｂ）は、それぞれ入力スパイク信号の周波数が２００Ｈｚおよび１００Ｈｚのときの図である。

【０２１６】

図４０（ａ）に示すように、電源線２８からＰＦＥＴ３５ｃを介した電流によりキャパシタＣ１が充電されるとノードＮ１の電圧は上昇する。スパイク信号５０が入力すると、ＮＦＥＴ３５ｂがオンしノードＮ１２の電圧を低くする。ＰＦＥＴ３５ｃを介し電源線２８からノードＮ１２に流れる電流と、ＮＦＥＴ３５ｂを介しノードＮ１２からグランド線２６に流れる電流と、によりノードＮ１の電圧は所定の電圧に飽和する。入力スパイク信号５０の周波数が２００Ｈｚのとき、ノードＮ１の電圧は０．２４Ｖ程度に飽和する。このため、ノードＮ１の電圧は反転回路１６の閾値電圧である０．５Ｖ以上とならない。よって、出力端子Ｔｏｕｔからスパイク信号５２は出力されない。

【０２１７】

図４０（ｂ）に示すように、入力スパイク信号５０の周波数が１００Ｈｚのとき、ＮＦＥＴ３５ｂがオンする頻度が低いため、ノードＮ１の電圧は図４０（ａ）より高くなる。このため、ノードＮ１の電圧は反転回路１６の閾値電圧である０．５Ｖ以上となる。よって、出力端子Ｔｏｕｔからスパイク信号５２が出力される。

【０２１８】

このように、スパイク生成回路１１８は、入力端子Ｔｉｎに入力するスパイク信号５０の頻度が低くなると出力端子Ｔｏｕｔにスパイク信号５２を出力する。ＮＦＥＴ３５ａおよびＰＦＥＴ３５ｃの抵抗値を変更することで、スパイク信号５２を出力する閾値となる入力スパイク信号５０の頻度を任意に設定できる。

【０２１９】

実施例５の変形例４によれば、抑制回路３４は、入力信号として入力スパイク信号５０が入力すると、ノードＮ１の電圧を低くする。出力端子Ｔｏｕｔは、入力スパイク信号５０が入力する頻度が所定の頻度より低くなると、スパイク信号５２を出力する。入力スパイク信号５０の頻度が下がるとスパイク信号５２を生成する頻度低下検出回路を実現できる。

【０２２０】

なお、実施例２のように、入力スパイク信号５０が正方向のスパイクのとき、実施例５の変形例２のように、抑制回路３４は入力スパイク信号５０が入力すると、ノードＮ１の電圧を低くする。実施例２の変形例１のように、入力スパイク信号５０が負方向のスパイクのとき、抑制回路３４は入力スパイク信号５０が入力すると、ノードＮ１の電圧を高くすればよい。

【０２２１】

［実施例５の変形例５］

図４１は、実施例５の変形例５に係るスパイク生成回路の回路図である。図４１に示すように、実施例５の変形例５のスパイク生成回路１１８ａでは、活性化回路３４ａは、ＮＦＥＴ３５ｄ、ＰＦＥＴ３５ｅ、３５ｆおよびインバータ３５ｇを備えている。ＮＦＥＴ３５ｄ、ＰＦＥＴ３５ｅおよびＰＦＥＴ３５ｆはグランド線２６と電源線２８との間に直

列に接続されている。ＮＦＥＴ３５ｄとＰＦＥＴ３５ｅとの間のノードＮ１２はキャパシタＣ１に接続されている。ＮＦＥＴ３５ｄのゲートはソースに接続され、ＰＦＥＴ３５ｆのゲートはドレインに接続されている。これにより、ＮＦＥＴ３５ｄおよびＰＦＥＴ３５ｆは負荷として機能する。ＰＦＥＴ３５ｅのゲートにインバータ３５ｇを介し入力端子Ｔｉｎが接続されている。

【０２２２】

キャパシタＣ１はＮＦＥＴ３５ｄを介してノードＮ１２からグランド線に流れる電流により充電される。入力端子Ｔｉｎにスパイク信号５０が入力するとＰＦＥＴ３５ｅがオンし、ノードＮ１２の電圧を上げる。スパイク信号５０の頻度が高ければ、ノードＮ１２（すなわちＮ１）の電圧は適度に上がるため、ノードＮ１の電圧は閾値電圧Ｖｔｈに達し、スパイク信号５２が生成される。しかし、スパイク信号５０の頻度が低くなると、ノードＮ１２の電圧が低くなり、ノードＮ１の電圧は閾値電圧Ｖｔｈに達しなくなる。

【０２２３】

このように、実施例５の変形例５によれば、活性化回路３４ａは、入力信号として入力スパイク信号５０が入力すると、ノードＮ１の電圧を高くする。出力端子Ｔｏｕｔは、入力スパイク信号５０が入力する頻度が所定の頻度より高くなると、スパイク信号５２を出力する。

【０２２４】

実施例５の変形例４および５によれば、抑制回路３４および活性化回路３４ａ（入力回路）は入力信号として入力スパイク信号５０が入力すると、ノードＮ１の電圧を高くまたは低くする。反転回路１８は、スパイク信号５０が入力する頻度が所定範囲になると、スパイク信号５２を出力し、所定範囲外のときスパイク信号５２を出力しない。このように、スパイク信号５０の頻度に基づきスパイク信号５２を生成する頻度検出回路を実現できる。

【０２２５】

［実施例５の変形例６］

図４２（ａ）は、実施例５の変形例６に係るスパイク生成回路の回路図である。図４２（ａ）に示すように、実施例５の変形例６のスパイク生成回路１１８ｂでは、入力回路１０は、キャパシタＣ１とＮＦＥＴ３３ａを有する。ＮＦＥＴ３３ａのソースはグランド線２６に接続され、ドレインはノードＮ１に接続されている。ＮＦＥＴ３３ａのゲートはソースに接続されている。ＮＦＥＴ３３ａはリーク電流が流れる抵抗として機能する。その他の構成は実施例５の変形例２と同じであり説明を省略する。

【０２２６】

図４２（ｂ）は、実施例５の変形例６のタイミングチャートである。図４２（ｂ）に示すように、入力端子Ｔｉｎに入力する入力信号は時間に対し電圧が変化する。入力信号の時間に対する変化量が小さいときノードＮ１の電荷はＮＦＥＴ３３ａを介しグランド線２６に流れるため、ノードＮ１の電圧はほぼ０である。時刻ｔ３１において、入力信号が時間に対し急激に変化すると、ノードＮ１の電荷はグランド線２６に流れきれない。このため、ノードＮ１の電圧がＶｔｈとなり、スパイク信号５２が出力される。

【０２２７】

実施例５の変形例６によれば、入力回路１０は、入力信号の時間に対する変化量に応じノードＮ１の電圧を変化させる。反転回路１８は入力信号の時間に対する変化量が所定範囲内のときスパイク信号５２を生成し、所定範囲外のときスパイク信号５２を生成しない。このように、スパイク信号５０の時間に対する変化量に基づきスパイク信号５２を生成する回路を実現できる。

【０２２８】

実施例５およびその変形例のように、スパイク生成回路は、低消費電力で、入力信号の電圧、スパイク信号の頻度、入力信号が入力してからの期間、および入力信号の時間の変化率に基づきスパイク信号５２を生成できる。

【実施例６】

【０２２９】
実施例６は、実施例１から４およびその変形例を用いた情報処理回路の例である。図４３（ａ）から図４３（ｃ）は、実施例６に係る情報処理回路のブロック図である。図４３（ａ）に示すように、ノード回路４５は、条件設定回路４２、スパイク生成回路４０およびスパイク処理回路４４を備えている。
【０２３０】
条件設定回路４２には、時間ｔに依存した１または複数の信号Ｖ１（ｔ）からＶ２（ｔ）等が入力する。条件設定回路４２は、スパイク生成回路４０がスパイク信号を出力する条件を設定する回路であり、入力した信号Ｖ１（ｔ）およびＶ２（ｔ）等からスパイク生成回路４０に出力する信号（電圧Ｖｉｎ）を生成する。条件設定回路４２は、例えば実施例２から３およびその変形例のような入力回路１０を含む。
【０２３１】
スパイク生成回路４０は、例えば実施例２から３およびその変形例のスパイク生成回路である。電圧Ｖｉｎに基づきスパイク信号５２を出力する。
【０２３２】
スパイク処理回路４４は、スパイク信号５２を処理する回路であり、インバータまたは２項演算回路等のロジック回路および／またはフリップフロップを含む。スパイク処理回路４４は、スパイク信号５２を処理しスパイク信号またはＬ／Ｈ(ローレベルおよびハイレベル）信号等の信号４４ａを出力する。
【０２３３】
図４３（ｂ）に示すように、ノード回路４５ａから４５ｆは互いに接続されている。ノード回路４５ａから４５ｄのようにノード回路は多段に接続されていてもよい。ノード回路４５ｂのように、ノード回路４５ｂの出力を複数のノード回路４５ｃおよび４５ｆに分岐してもよい。ノード回路４５ｃのように、複数のノード回路４５ｂおよび４５ｅの出力が入力してもよい。このように、ノード回路４５ａから４５ｆはネットワークを構成する。
【０２３４】
図４３（ｃ）に示すように、ノード回路４５が出力した信号４６ａがフリップフロップ４６に入力される。信号４６ａは、スパイク信号またはローレベル／ハイレベル信号（すなわちローレベルまたはハイレベルの２値信号）である。フリップフロップ４６は、信号４６ａに基づき、ローレベル／ハイレベル信号である信号４６ｂを出力する。Ｖｇ生成回路４７は、信号４６ｂに基づきＦＥＴ４８のゲートに出力する信号４７ａを生成する。Ｖｇ生成回路４７は、例えばロジック回路および昇圧回路等を含む。ＦＥＴ４８は、信号４７ａに基づきオンまたはオフする。
【０２３５】
実施例６によれば、条件設定回路４２は、入力した信号を処理し、実施例２から３およびその変形例のスパイク生成回路４０に出力することで、スパイク生成回路４０がスパイク信号を出力する条件を設定する。スパイク処理回路４４は、スパイク生成回路４０が出力したスパイク信号５２を処理する。これにより、様々な情報処理を低消費電力で可能となる情報処理回路が実現できる。このようなノード回路４５をネットワーク状に接続する。これにより、さらに様々な情報処理を低消費電力で可能となる情報処理回路が実現できる。
【０２３６】
条件設定回路４２が設定した条件が満たされるイベントが発生した場合、スパイク生成回路４０が出力するスパイク信号５２は、イベントが発生したことを示すイベント生成情報とイベントが発生した時刻を示すタイミング情報を含むことになる。スパイク信号５２は、イベント生成情報とタイミング情報とを含み、次段のスパイク生成回路４０またはスパイク処理回路４４に伝達される。このように、共通の電源を有する条件設定回路４２、スパイク生成回路４０およびスパイク処理回路４４を相互に直列接続することで、クロック信号を用いることなく任意の情報処理を行うことができる。

【０２３７】
例えば、ノード回路４５のネットワークを形成することで、スパイク生成回路をニューロンとして末梢神経を模倣した情報処理を実現できる。これにより、非常に小さい消費電力の判定回路または制御回路を実現できる。
【実施例７】
【０２３８】
実施例７は、実施例１から４およびその変形例のスパイク生成回路を実施例６の情報処理回路として電力変換回路に用いる例である。振動により発電する振動発電等の環境発電においては、発電回路からの電流Ｉｇｅｎは一定ではなく、刻々と変化する。蓄電回路（例えばキャパシタ）の電圧Ｖｃａｐは急激には変化できない。よって、蓄電回路の入力インピーダンスＺｉｎ＝Ｖｃａｐ／Ｉｇｅｎとなり、電流Ｉｇｅｎの変化にともない刻々と変化する。一方、発電回路の出力インピーダンスＺｏｕｔは一定である。このため、発電回路の出力インピーダンスＺｏｕｔと蓄電回路の入力インピーダンスＺｉｎに不整合が発生してしまう。実施例７では、発電回路と蓄電回路とのインピーダンス整合を小さい消費電力で実現する。
【０２３９】
図４４は、実施例７に係る電力変換回路のブロック図である。図４４に示すように、電力変換回路１２０は、整流回路６２、６４、判定回路６５および降圧回路６６を備えている。電力端子６１ａおよび６１ｂには発電回路６０が接続されている。発電回路６０は交流の電力を発電する。電力端子６１ａおよび６１ｂには整流回路６２および６４が接続されている。整流回路６２および６４は、発電回路６０の出力電力を整流する。降圧回路６６は整流回路６２の出力を降圧し、蓄電回路６８に出力する。整流回路６４は発電回路６０の出力電力を整流し蓄電回路６８に出力する。蓄電回路６８は電力を蓄電する。判定回路６５は、整流回路６２の出力に基づき、整流回路６２と６４のいずれを動作させるか判定する。整流回路６２を用い整流する場合、判定回路６５は、整流回路６２および降圧回路６６を動作させ、整流回路６４を動作させない。整流回路６４を用い整流する場合、判定回路６５は、整流回路６４を動作させ、整流回路６２および降圧回路６６を動作させない。
【０２４０】
図４５は、実施例７における判定回路の動作を説明する図である。発電回路６０の出力インピーダンスＺｏｕｔは、例えばピエゾ材料やエレクトレット材料を用いた振動発電の場合１０Ωから１００ＭΩであるが、ここでは１００ＭΩとする。発電回路６０の発電電流を１０ｎＡのときと１００ｎＡのときを考える。電力変換回路１２０が電力端子６１ａおよび６１ｂにおいて電流１０ｎＡおよび１００ｎＡを１Ｖで受けると電力変換回路１２０の入力インピーダンスＺｉｎはそれぞれ１００ＭΩおよび１０ＭΩとなる。電力変換回路１２０が電力端子６１ａおよび６１ｂにおいて電流１０ｎＡおよび１００ｎＡを１０Ｖで受けると電力変換回路１２０の入力インピーダンスＺｉｎはそれぞれ１０００ＭΩおよび１００ＭΩとなる。
【０２４１】
そこで、発電電流が１０ｎＡのとき、判定回路６５は整流回路６４を動作させる。整流回路６４は、１Ｖで整流を行う。これにより、電力変換回路１２０の入力インピーダンスＺｉｎは１００ＭΩとなる。整流した電力は蓄電回路６８に蓄電される。発電電流が１００ｎＡのとき、判定回路６５は整流回路６２および降圧回路６６を動作させる。整流回路６２は、１０Ｖで整流を行う。これにより、電力変換回路１２０の入力インピーダンスＺｉｎは１００ＭΩとなる。降圧回路６６は、整流された１０Ｖの電力を１Ｖに降圧する。降圧された電力は蓄電回路６８に蓄電される。
【０２４２】
このように、発電回路６０の出力インピーダンスＺｏｕｔと電力変換回路１２０の入力インピーダンスＺｉｎを整合させることができる。
【０２４３】

以下、実施例７の具体例を説明する。整流回路６２としてダイオードブリッジ回路を用いる。整流回路６２は高電圧（例えば１０Ｖ）を整流するため、ダイオードのターンオン電圧による電力消費は少ない。整流回路６４は低電圧を整流するため、ブリッジ回路を用いるとダイオードのターンオン電圧により消費電力が大きくなる。そこで、整流回路６４として同期整流回路を用いる。

【０２４４】

以下の回路図内の記号について説明する。図４６（ａ）から図４６（ｃ）は、実施例７におけるスパイク生成回路の記号を示す図である。図４６（ａ）に示すように、スパイク生成回路７４ａの下の端子は入力端子７５ａであり、上の端子は出力端子７６ａである。スパイク生成回路７４ａは実施例５の電圧判定回路である。円内の８Ｖは、閾値電圧Ｖｉｎｔｈが８Ｖであることを示している。

【０２４５】

図４６（ｂ）に示すように、スパイク生成回路７４ｂの下の端子は入力端子７５ｂであり、上の端子は出力端子７６ｂである。スパイク生成回路７４ｂは実施例５の変形例１の遅延回路である。円内の１００ｎｓは、遅延時間が１００ｎｓであることを示している。

【０２４６】

図４６（ｃ）に示すように、スパイク生成回路７４ｃの下の端子は入力端子７５ｃであり、上の端子は出力端子７６ｃである。スパイク生成回路７４ｃは実施例５の変形例２の頻度低下検出回路である。円内のＬＫは、頻度低下検出回路であることを示している。

【０２４７】

図４７（ａ）から図４７（ｃ）は、実施例７におけるフリップフロップ回路の動作を示す図である。図４７（ａ）に示すように、フリップフロップ回路（ＦＦ）７０は、入力端子７１ａ、７１ｂ、出力端子７２ａおよび７２ｂを備えている。

【０２４８】

図４７（ｂ）に示すように、入力端子７１ａに信号７３が入力すると、ＦＦ回路７０は出力端子７２ａにローレベルを、出力端子７２ｂにハイレベルを出力する。信号７３は、正方向のスパイク信号またはハイレベルの信号である。ＦＦ回路７０は、次に入力端子７１ｂに信号７３が入力するまで、出力端子７２ａをローレベルに、出力端子７２ｂをハイレベルに維持する。

【０２４９】

図４７（ｃ）に示すように、入力端子７１ｂに信号７３が入力すると、ＦＦ回路７０は出力端子７２ａにハイレベルを、出力端子７２ｂにローレベルを出力する。ＦＦ回路７０は、次に入力端子７１ａに信号７３が入力するまで、出力端子７２ａをハイレベルに、出力端子７２ｂをローレベルに維持する。

【０２５０】

［判定回路］

図４８は、実施例７における判定回路の回路図である。図４９は実施例７における時間に対する判定回路の各ノードの電圧を示す図である。図４８および図４９に示すように、ノードＢ１は整流回路６２の出力である。ノードＢ４は降圧動作スパイクを出力する。ノードＢ２８は降圧回路６６の動作を停止させかつ整流回路６４の動作を開始させる切替スパイク信号を出力する。ノードＢ２９は、整流回路６２および降圧回路６６を動作させるときハイレベルでありかつ整流回路６４を動作させるときローレベルとなる切替信号を出力する。

【０２５１】

時刻ｔ０１において、整流回路６２および降圧回路６６が動作しており、整流回路６４が停止している。ノードＢ４、Ｂ２６、Ｂ２７およびＢ２８の電圧はローレベルであり、Ｂ２９の電圧はハイレベルである。整流回路６２の出力ノードＢ１の電圧が８Ｖ以上となると、スパイク生成回路Ｘ４はノードＢ４に降圧動作スパイク信号としてスパイク信号８０を出力する。発電回路６０が出力する電流が小さくなると、ノードＢ１の電圧が８Ｖ以上となる回数が減ってくる。ノードＢ４のスパイク信号８０の頻度が低下する。ノードＢ

４のスパイク信号８０の頻度が所定以下に低下すると、スパイク生成回路Ｘ３８は、時刻ｔ０２においてノードＢ２６にスパイク信号８１を出力する。スパイク信号８１が入力したＦＦ回路Ｘ４０はノードＢ２７にハイレベルを出力する。これにより、スパイク生成回路Ｘ４１の入力はローレベルからハイレベルとなる。スパイク生成回路Ｘ４１は、ノードＢ２７がハイレベルとなってから１００ｎｓ後の時刻ｔ０３にノードＢ２８にスパイク信号８２を出力する。スパイク信号８２が入力したＦＦ回路Ｘ４０はノードＢ２７をハイレベルからローレベルにする。スパイク信号８２が入力したＦＦ回路Ｘ３７はノードＢ２９をローレベルとする。

【０２５２】

以上のように発電回路６０の発電電流が小さくなると、ノードＢ１が８Ｖ以上となる頻度が減り、ノードＢ２８に切替スパイク信号が出力される。また、ノードＢ２９の切替信号がローレベルとなる。このように、低消費電力のスパイク生成回路を用い、切替スパイク信号および切替信号を生成できる。

【０２５３】

ノードＢ１の電圧が所定電圧以上か以下かを判定する判定回路は、コンパレータ等を用い実現できる。しかしながら、判定回路にコンパレータを用いると消費電力が大きくなる。実施例７では、判定回路を実施例２から３およびその変形例を用い実現するため、消費電力を低減できる。

【０２５４】

［整流回路６２］

図５０は、実施例７における整流回路６２を示す回路図である。図５０に示すように、ＮＦＥＴｍ１からｍ４はゲートがドレインに接続されておりダイオードとして機能する。整流回路６２はダイオードブリッジ回路である。ダイオードブリッジ回路の入力端子は電力端子６１ａおよび６１ｂに接続される。電力端子６１ａおよび６１ｂには発電回路６０に相当する、交流電流Ｉ１の電流源と１０ＭΩが、接続される。ダイオードブリッジ回路の出力は図４８のノードＢ１（後述する図５１（ａ）のノードＡに相当する）に接続されている。

【０２５５】

［降圧回路］

図５１（ａ）から図５１（ｃ）は、実施例７における降圧回路の模式図である。図５１（ａ）に示すように、整流回路６２の出力はノードＡである。ノードＡとグランドとの間にキャパシタＣ１およびＰＦＥＴＭ４が直列に接続されている。キャパシタＣ１は一次キャパシタである。ＰＦＥＴＭ４はスイッチである。ノードＡとグランドとの間にインダクタＬ１およびキャパシタＣ４が直列に接続されている。キャパシタＣ４は２次キャパシタであり、蓄電回路６８に相当する。インダクタＬ１とキャパシタＣ４との間にスイッチとしてＮＦＥＴＭ３が接続されている。キャパシタＣ１とインダクタＬ１との間のノードとグランドとの間にスイッチとしてＮＦＥＴＭ２が接続されている。

【０２５６】

キャパシタＣ１およびＣ４の容量値をそれぞれ１００ｐＦおよび１０ｎＦとし、インダクタＬ１のインダクタンスを０．３ｎＨとする。ＮＦＥＴＭ４のオン抵抗（例えば１０ｋΩ）の電圧降下が無視できるようにこれらの値を設定した。これらの値は適宜設定できる。

【０２５７】

降圧回路６６の動作時においてＮＦＥＴＭ３はオンである。ノードＡの電圧が低下すると、ＰＦＥＴＭ４がオンしＮＦＥＴＭ２がオフする。これにより、図５１（ｂ）のように、キャパシタＣ１に蓄電されていた電荷が電流Ｉａとしてインダクタ Ｌ１を通過しキャパシタＣ４に充電される。このとき、インダクタＬ１には磁束エネルギーが蓄積される。

【０２５８】

キャパシタＣ１内の電荷が少なくなると、ＰＦＥＴＭ４がオフしＮＦＥＴＭ２がオンする。図５１（ｃ）のように、インダクタＬ１の磁束エネルギーが電流Ｉｂを流し、キャパ

シタＣ４に蓄電される。これにより、インダクタＬ１の磁束エネルギーがキャパシタＣ４に回収される。

【０２５９】

例えば、キャパシタＣ１およびＣ４の充電時の電圧をそれぞれ１０Ｖおよび１Ｖとすると、キャパシタＣ４にはキャパシタＣ１の１０倍の電荷が蓄積されることになる。図５１（ｂ）では、キャパシタＣ１に蓄積されていた電荷がキャパシタＣ４に充電される。このとき、インダクタＬ１の磁束エネルギーとしてエネルギーを蓄積する。図５１（ｃ）では、磁束エネルギーとして蓄積されていたエネルギーを電流Ｉｂに変えキャパシタＣ４を充電する。これにより、キャパシタＣ１に蓄積されていた電荷の約１０倍の電荷をキャパシタＣ４に蓄積できる。

【０２６０】

図５２は、実施例７における降圧回路の回路図である。図５３は、実施例７における時間に対する降圧回路の各ノードの電圧を示す図である。図５２および図５３に示すように、時刻ｔ１１からｔ１２では、ノードＡの電圧は８Ｖに達していない。この間、ノードＯはローレベルである。ノードＯがローレベルのときＮＦＥＴＭ３はオフし、ノードＯがハイレベルのときＮＦＥＴＭ３はオンする。よって、時刻ｔ１１とｔ１２の間では、ＮＦＥＴＭ３はオフする。インダクタＬ１を右方向に通過する電流Ｉ＿Ｌ１は０である。整流回路６２の出力はキャパシタＣ１を充電し、ノードＡの電圧が高くなっていく。

【０２６１】

ＮＦＥＴＭ３の動作について説明する。ＮＦＥＴＭ３およびＭ７の閾値電圧を０．４Ｖとする。ＮＦＥＴＭ７はノードＯからＲの方向が順方向のダイオードとして機能する。ノードＯがローレベルのとき、ＮＦＥＴＭ３のゲートの電圧は、キャパシタＣ４の一端のノードＲの電圧よりダイオードのターンオン電圧に相当する約－０．３Ｖ低くなる。よって、ＮＦＥＴＭ３はオフする。

【０２６２】

時刻ｔ１２において、ノードＡの電圧が８Ｖを越えると、判定回路６５は降圧動作スパイク信号８０をノードＢに出力する。ＦＦ回路Ｘ２４はノードＯにハイレベルを出力する。ＮＦＥＴＭ３のゲートは、ノードＲの電圧より約＋０．７Ｖ高くなり、ＮＦＥＴＭ３はオンする。これにより、インダクタＬ１に電流Ｉ＿Ｌ１が流れ始める。

【０２６３】

さらに、時刻ｔ１２において、ＦＦ回路Ｘ２１のノードＢに降圧動作スパイク信号８０が入力する。ＦＦ回路Ｘ２１はノードＣにハイレベルを出力し、キャパシタＣ２の一端にローレベルを出力する。スパイク生成回路Ｘ２８はノードＣがハイレベルとなった時刻ｔ１２から１μｓ後の時刻ｔ１３にノードＥにスパイク信号８３を出力する。これにより、時刻ｔ１３においてＦＦ回路Ｘ２１はノードＣにローレベルを出力し、キャパシタＣ２の一端にハイレベルを出力する。これにより、ノードＣは時刻ｔ１２とｔ１３の間の１μｓの期間においてハイレベルとなり、他の期間においてローレベルとなる。

【０２６４】

ノードＤはダイオードとして機能するＮＦＥＴＭ６を介しグランドに接続されている。これにより、ノードＤは時刻ｔ１２とｔ１３の間において負の電圧となり、他の期間（時刻ｔ１３以降を含む）において０Ｖとなる。これにより、ゲートがノードＤに接続されたＰＦＥＴＭ４は時刻ｔ１２とｔ１３の間においてオンする。これにより、ＰＦＥＴＭ４およびＮＦＥＴＭ３がともにオンし、図５１（ｂ）の接続関係となる。キャパシタＣ１に充電されていた電荷が電流Ｉ＿Ｃ１としてノードＡに流れる。電流Ｉ＿Ｃ１はインダクタＬ１を通過する電流Ｉ＿Ｌ１となり、キャパシタＣ４を充電する。

【０２６５】

ＮＦＥＴＭ１のゲートはＦＦ回路Ｘ２２の出力に接続されている。ＮＦＥＴＭ１は降圧回路６６を動作させるスイッチであるが、説明を省略する。ＮＦＥＴＭ１０およびＭ１１は、ノードＡが負に大きな電圧となって回路を破壊するのを防ぐための、電圧リミッタとして機能する。

【０２６６】
時刻ｔ１３において、スパイク信号８３がＦＦ回路Ｘ３４に入力すると、ＦＦ回路Ｘ３４はノードＦをハイレベルとする。スパイク生成回路Ｘ３２はノードＦがハイレベルとなった時刻ｔ１３から１μｓ遅延した時刻ｔ１４にノードＧにスパイク信号８４を出力する。時刻ｔ１３とｔ１４の間において、ノードＦはハイレベルでありノードＨはローレベルのため、ＸＯＲ回路Ｘ２３はノードＧａｔｅにハイレベルを出力する。時刻ｔ１４においてスパイク信号８４がＦＦ回路Ｘ２６に入力すると、ＦＦ回路Ｘ２６はノードＨにハイレベルを出力する。これにより、時刻ｔ１４とｔ１５との間において、ＸＯＲ回路Ｘ２３はノードＧａｔｅにローレベルを出力する。

【０２６７】
インバータＸ３５はノードＧａｔｅの信号を反転しキャパシタＣ５の一端に出力する。キャパシタＣ５の他端に接続されたノードＩはダイオードとして機能するＮＦＥＴＭ８を介しグランドに接続されている。このため、ノードＩの電圧は、ノードＧａｔｅがローレベルのとき０Ｖ、ノードＧａｔｅがハイレベルのとき負電圧となる。すなわち時刻ｔ１３とｔ１４との間においてノードＩは負電圧となり、時刻ｔ１４とｔ１５との間においてノードＩは０Ｖとなる。

【０２６８】
ゲートがノードＧａｔｅに接続されたＮＦＥＴＭ２およびゲートがノードＩに接続されたＰＦＥＴＭ５は、時刻ｔ１３とｔ１４との間においてオンし、時刻ｔ１４とｔ１５との間においてオフする。

【０２６９】
時刻ｔ１３とｔ１４の間において、ＰＦＥＴＭ４はオフし、ＰＦＥＴＭ５およびＮＦＥＴＭ３がオンする。よって、図５１（ｂ）の接続関係となる。時刻ｔ１３とｔ１４の間において、インダクタＬ１を流れる電流Ｉ＿Ｌ１に相当する電流Ｉ＿Ｍ５がＰＦＥＴＭ５を流れ、キャパシタＣ４が充電される。

【０２７０】
ＮＯＲ回路Ｘ２９はノードＣとノードＧａｔｅのＮＯＲをＰＦＥＴＭ９のゲートに出力する。ＰＦＥＴＭ９のドレインは１Ｖの定電圧源Ｖ２２に接続されている。ノードＣとノードＧａｔｅがともにローレベルの期間においてＰＦＥＴＭ９はオフし、他の期間においてＰＦＥＴＭ９はオンする。これにより、時刻ｔ１３とｔ１４との間においてＰＦＥＴＭ９はオンしノードＪはハイレベル（１Ｖ）となる。キャパシタＣ６は一端がノードＡに接続され、他端がノードＪに接続されている。時刻ｔ１３とｔ１４の間においてキャパシタＣ６はノードＡとＪとの電位差で充電される。時刻ｔ１４とｔ１５との間においてキャパシタＣ６に充電されていた電荷が放電されるとノードＪは負電圧となる。

【０２７１】
インバータＸ３６はノードＪの電圧を反転しノードＫに出力する。スパイク生成回路Ｘ３０はノードＫの電圧が０．５Ｖ以上になるとスパイク信号８５をノードＬに出力する。ＯＲ回路Ｘ３１はノードＬとノードＮのＯＲをＦＦ回路Ｘ２６に出力する。時刻ｔ１５において、ノードＪの電圧が約－０．５Ｖ以下となると、ノードＫの電圧は＋０．５Ｖ以上となる。スパイク生成回路Ｘ３０がスパイク信号８５を出力するとＯＲ回路Ｘ３１はＦＦ回路Ｘ２６にスパイク信号８５を出力する。これにより、ＦＦ回路Ｘ２６はノードＨをローレベルとする。ノードＧａｔｅはハイレベルとなる。

【０２７２】
このように、ノードＧａｔｅは、１μｓの期間ハイレベルとなり、ＰＦＥＴＭ９がオフしてからノードＪが約－０．５Ｖ以下となるまでの期間ローレベルとなる。インダクタＬ１の電流Ｉ＿Ｌ１が流れている間は、ノードＧａｔｅはハイレベルとローレベルとを繰り返す。

【０２７３】
インダクタＬ１に蓄積されている磁束エネルギーが小さくなるとインダクタＬ１を流れる電流Ｉ＿Ｌ１は徐々に小さくなる。時刻ｔ１６において、電流Ｉ＿Ｌ１がほぼ０となる

。ノードＡの電圧は１Ｖ程度に低下するため、キャパシタＣ６はほとんど充電されていない。このため、時刻ｔ１６においてＰＦＥＴＭ９がオフしてもノードＪは長時間約－０．５Ｖ以下とならない。このため、ノードＫは＋０．５Ｖ以上とならず、スパイク生成回路Ｘ３０はスパイク信号８５を出力しない。時刻ｔ１６にノードＨの電圧がハイレベルとなってから１００ｎｓ経過した時刻ｔ１７において、スパイク生成回路Ｘ２７はスパイク信号８６をノードＮに出力する。これにより、ＦＦ回路Ｘ２４がノードＯにローレベルを出力する。ＮＦＥＴＭ３がオフし、降圧回路６６の降圧動作が終了する。

【０２７４】

図５４は、実施例７における時間に対するノードＡおよびＲの電圧を示す図である。図５３は例えば図５４内の範囲ＲＥ内の動作を示している。図５４に示すように、整流回路６２が動作し始めると、キャパシタＣ１に電荷が蓄積されノードＡの電圧が上昇する。ノードＡの電圧が８Ｖ以上となると、図５３の時刻ｔ１１からｔ１７の間の降圧動作が開始される。ノードＡの電圧は低下し、ノードＲの電圧が上昇する。ノードＡの電圧が１Ｖ程度となると、降圧動作が終了する。キャパシタＣ１に電荷が蓄積されノードＡの電圧が上昇する。このように、降圧動作を行うたびにノードＲの電圧が上昇し、キャパシタＣ４が充電される。

【０２７５】

降圧回路のＮＦＥＴＭ３、ＰＦＥＴＭ４およびＭ５のオンおよびオフを制御する制御回路にコンパレータ等を用いると消費電力が大きくなる。実施例７のように、ＮＦＥＴＭ３、ＰＦＥＴＭ４およびＭ５のオンおよびオフの制御にスパイク生成回路を用いることにより、低消費電力で降圧動作が可能となる。

【０２７６】

［同期整流回路］

図５５（ａ）から図５５（ｃ）は、実施例７における同期整流回路の模式図である。図５５（ｂ）および図５５（ｃ）では電気的な接続を実線で示し、電気的な遮断を破線で示す。

【０２７７】

図５５（ａ）に示すように、同期整流回路６４では、電力端子６１ａは、パスゲートＸ９を介しキャパシタＣ４の正側端子６８ａに接続され、パスゲートＸ１０を介しキャパシタＣ４の負側端子６８ｂ（例えばグランド）に接続されている。電力端子６１ｂは、パスゲートＸ１２を介しキャパシタＣ４の正側端子６８ａに接続され、パスゲートＸ１１を介しキャパシタＣ４の負側端子６８ｂに接続されている。

【０２７８】

パスゲートＸ９およびＸ１１は、電圧Ｖ３およびＶ４がそれぞれローレベルおよびハイレベルのときオンし、電圧Ｖ３およびＶ４がそれぞれハイレベルおよびローレベルのときオフする。パスゲートＸ１０およびＸ１２は、電圧Ｖ３およびＶ４がそれぞれハイレベルおよびローレベルのときオンし、電圧Ｖ３およびＶ４がそれぞれローレベルおよびハイレベルのときオフする。

【０２７９】

図５５（ｂ）に示すように、電力端子６１ａが６１ｂに対し正の電圧のとき、電圧Ｖ３およびＶ４をそれぞれローレベルおよびハイレベルとする。これにより、電力端子６１ａはキャパシタＣ４の正側端子６８ａに接続され負側端子６８ｂから遮断される。電力端子６１ｂはキャパシタＣ４の負側端子６８ｂに接続され正側端子６８ａから遮断される。

【０２８０】

図５５（ｃ）に示すように、電力端子６１ａが６１ｂに対し負の電圧のとき、電圧Ｖ３およびＶ４をそれぞれハイレベルおよびローレベルとする。これにより、電力端子６１ａはキャパシタＣ４の負側端子６８ｂに接続され正側端子６８ａから遮断される。電力端子６１ｂはキャパシタＣ４の正側端子６８ａに接続され負側端子６８ｂから遮断される。以上により、交流電力を整流しキャパシタＣ４に充電できる。

【０２８１】

図５６は、実施例７における同期整流回路の回路図である。図５７は、実施例７における時間に対する同期整流回路の各ノードの電圧を示す図である。図５６および図５７に示すように、時刻ｔ２１以降に発電回路６０から交流電流Ｉ１が電力端子６１ａおよび６１ｂに入力する。電力端子６１ａおよび６１ｂ間の終端抵抗は１００ＭΩである。

【０２８２】

スパイク生成回路Ｘ５は自発的に１ｍｓごとにスパイク信号８７を電圧Ｖ０として出力する。時刻ｔ２２においてスパイク信号８７が出力されると、ＦＦ回路Ｘ２は電圧Ｖ５およびＶ６をそれぞれハイレベルおよびローレベルとする。これにより、パスゲートＸ１３およびＸ１５がオフし、パスゲートＸ７およびＸ８がオンする。時刻ｔ２２では電力端子６１ａおよび６１ｂはそれぞれ正電圧および負電圧のため、パスゲートＸ１３およびＸ１５がオフすると、発電回路６０から入力する電流により電圧Ｖ１が上昇し、電圧Ｖ２が下降する。

【０２８３】

電圧Ｖ１が０．５Ｖ以上となると、時刻ｔ２３においてスパイク生成回路Ｘ３は電圧Ｖ１０にスパイク信号８８を出力する。スパイク生成回路Ｘ４はスパイク信号を出力しない。ＯＲ回路Ｘ６は、ＦＦ回路Ｘ２にスパイク信号８８を出力する。これにより、ＦＦ回路Ｘ２は、電圧Ｖ５およびＶ６をそれぞれローレベルおよびハイレベルとする。パスゲートＸ１３およびＸ１５がオンし、パスゲートＸ７およびＸ８がオフする。時刻ｔ２２とｔ２３との間は例えば１０ｎｓである。

【０２８４】

時刻ｔ２３において、スパイク生成回路Ｘ３が出力したスパイク信号８８がＦＦ回路Ｘ１に入力すると、ＦＦ回路Ｘ１は電圧Ｖ３およびＶ４をそれぞれハイレベルおよびローレベルとする。パスゲートＸ９およびＸ１１がオンし、パスゲートＸ１０およびＸ１２がオフする。これにより、時刻ｔ２３から時刻ｔ２５までの期間において、図５５（ｂ）のように、電力端子６１ａおよび６１ｂはキャパシタＣ４のそれぞれ正側端子６８ａおよび負側端子６８ｂに接続される。時刻ｔ２３と時刻ｔ２５の間において、時刻ｔ２３とｔ２４の間のようにパスゲートＸ１３およびＸ１５がオンすると、キャパシタＣ４の電流Ｉ＿Ｃ４が流れ、キャパシタＣ４が充電される。

【０２８５】

その後、時刻ｔ２５までは、スパイク生成回路Ｘ３がスパイク信号８８を出力し、スパイク生成回路Ｘ４はスパイク信号を出力しないため、ＦＦ回路Ｘ１は電圧Ｖ３およびＶ４をそれぞれローレベルおよびハイレベルに維持する。

【０２８６】

時刻ｔ２５において、電力端子６１ａおよび６１ｂがそれぞれ負電圧および正電圧となる。パスゲートＸ１３およびＸ１５がオフすると、発電回路６０から入力する電流により電圧Ｖ２が上昇し、電圧Ｖ１が下降する。電圧Ｖ２が０．５Ｖ以上となると、時刻ｔ２６においてスパイク生成回路Ｘ４は電圧Ｖ１１にスパイク信号８９を出力する。スパイク生成回路Ｘ３はスパイク信号を出力しない。

【０２８７】

スパイク生成回路Ｘ４が出力したスパイク信号８９がＦＦ回路Ｘ１に入力すると、ＦＦ回路Ｘ１は電圧Ｖ３およびＶ４をそれぞれハイレベルおよびローレベルとする。パスゲートＸ９およびＸ１１がオフし、パスゲートＸ１０およびＸ１２がオンする。これにより、時刻ｔ２６から時刻ｔ２８までの期間において、図５５（ｃ）のように、電力端子６１ａおよび６１ｂはキャパシタＣ４のそれぞれ負側端子６８ｂおよび正側端子６８ａに接続される。時刻ｔ２６と時刻ｔ２８の間において、時刻ｔ２６とｔ２７との間のようにパスゲートＸ１３およびＸ１５がオンすると、キャパシタＣ４の電流Ｉ＿Ｃ４が流れ、キャパシタＣ４が充電される。その後、電力端子６１ａおよび６１ｂがそれぞれ正電圧および負電圧となると、時刻ｔ２２から繰り返す。

【０２８８】

図５８は、実施例７における時間に対する同期整流回路によるキャパシタの充電電圧を

示す図である。発電回路６０からの電流を最大振幅が１０ｎＡの交流電流としてキャパシタＣ４の電圧をシミュレーションした。図５８に示すように、最大振幅が１０ｎＡという非常に小さい電流でもキャパシタＣ４が充電され、キャパシタＣ４の電圧が上昇している。

【０２８９】

同期整流回路のパスゲートＸ９からＸ１２のオンおよびオフを制御する制御回路にコンパレータ等を用いると消費電力が大きくなる。実施例７のように、パスゲートＸ９からＸ１２のオンおよびオフの制御にスパイク生成回路を用いることにより、低消費電力で同期整流が可能となる。

【０２９０】

実施例７の電力変換回路についてシミュレーションを行った。シミュレーションした回路は、説明した判定回路６５、整流回路６２、６４、降圧回路６６および蓄電回路６８を含む回路であり、１８個のスパイク生成回路、１７個のＦＦ回路を含み、ＦＥＴを約３４０個含む。

【０２９１】

図５９は、実施例７における時間に対する発電電流およびキャパシタの電圧を示す図である。図５９に示すように、発電回路６０は、期間Ｔ１およびＴ３において最大振幅が５００ｎＡの交流電流Ｉ１を発電し、期間Ｔ２において最大振幅が４０ｎＡの交流電流Ｉ１を発電する。期間Ｔ１では判定回路６５は整流回路６２および降圧回路６６を動作させる。これにより、蓄電回路６８のキャパシタＣ４の電圧が高くなり、蓄電回路６８に蓄電されている。

【０２９２】

期間Ｔ２となると、発電回路が発電する電流Ｉ１が小さくなるため、整流回路６２の入力インピーダンスは発電回路６０の出力インピーダンスより高くなる。このため、判定回路６５は整流回路６２から同期整流回路６４に自発的に切り替える。これにより、同期整流回路６４の入力インピーダンスと発電回路６０の出力インピーダンスがほぼ整合する。よって、期間Ｔ２の矢印５８のように、蓄電回路６８に蓄電される。

【０２９３】

期間Ｔ３となると、発電回路が発電する電流Ｉ１が大きくなるため、同期整流回路６４の入力インピーダンスは発電回路６０の出力インピーダンスより低くなる。このため、判定回路６５は同期整流回路６４から整流回路６２に自発的に切り替える。これにより、整流回路６２の入力インピーダンスと発電回路６０の出力インピーダンスがほぼ整合する。よって、期間Ｔ３では、蓄電回路６８に蓄電される。

【０２９４】

電力変換回路１２０の制御にスパイク生成回路およびＦＦ回路を用いることで、電力変換回路の制御のための電力を１ｎＷ以下にできる。この制御電力は、同様の電力変換回路を制御ＩＣ（Integrated Circuit）等を用い実現する場合より３桁小さい電力である。よって、発電回路６０が発電する電力が数ｎＷと微小であっても、蓄電可能な電力変換回路を実現できる。

【０２９５】

実施例７によれば、図４４のように、整流回路６２および６４は、入力した電力を整流する。判定回路６５は、図４８のように、実施例１から３およびその変形例のスパイク生成回路を含み、整流回路６２および６４のいずれか一方に電力を整流させる。実施例１から３およびその変形例のスパイク生成回路を用いることにより、低消費電力の判定回路６５を実現できる。このため、ｎＷ程度の微小電力を整流できる。

【０２９６】

降圧回路６６では、ＮＦＥＴＭ３からＭ５（スイッチ素子）のオンおよびオフを制御する制御回路は、実施例２から３およびその変形例のスパイク生成回路を含む。同期整流回路６４では、パスゲートＸ９からＸ１２（スイッチ素子）のオンおよびオフを制御する制御回路は、実施例２から４およびその変形例のスパイク生成回路を含む。これにより、低

消費電力の制御回路を実現できる。

【０２９７】

実施例１から３およびその変形例のスパイク生成回路を用いる電力変換回路として、降圧回路６６および同期整流回路６４を例に説明したが、電力変換回路は、他の回路構成の降圧回路、昇圧回路、直流－交流電力変換回路または交流－直流電力変換回路でもよい。

【実施例８】

【０２９８】

実施例８およびその変形例１は、実施例１～４およびその変形例に係るスパイク生成回路を閾値判別回路（電圧判定回路）に用いる例である。実施例１～４、８およびその変形例において、単発のスパイク信号とは、スパイク信号のパルス幅に対しスパイク信号の間隔が十分に広い信号であり、例えばスパイク信号の間隔に対しパルス幅は１／１０以下であり、１／１００以下である。

【０２９９】

図６０（ａ）は、実施例８に係るスパイク生成回路の回路図である。図６０（ａ）に示すように、スパイク生成回路１５１は、入力回路１０および出力回路１５０を備えている。入力回路１０は電圧変換回路３０ａおよびキャパシタＣ１を有する。電圧変換回路３０ａは素子３７ａ、３７ｂおよび抵抗３７ｃを有する。素子３７ａおよび３７ｂは入力端子Ｔｉｎとグランド線２６との間に直列に接続されている。素子３７ａと３７ｂとの間のノードＮ１１と入力回路１０の出力ノードＮｏとの間に抵抗３７ｃが接続されている。キャパシタＣ１は出力ノードＮｏとグランド線２６との間に接続されている。

【０３００】

出力回路１５０は、例えば実施例１およびその変形例のスパイク生成回路１３０から１３６である。入力回路１０の出力ノードＮｏは出力回路１５０の中間ノードＮｉに接続されている。

【０３０１】

入力端子Ｔｉｎに入力した入力信号の電圧は素子３７ａおよび３７ｂにより分割され、分割された電圧がノードＮ１１に出力され出力ノードＮｏに出力される。このように、実施例５およびその変形例１と同様に電圧変換回路３０ａが入力信号の電圧を変換する。このため、出力回路１５０は、入力信号の電圧が所定電圧以上のとき単発のスパイク信号を出力し、入力信号の電圧が所定電圧未満のときスパイク信号を出力しない。または、出力回路１５０は、入力信号の電圧が所定電圧以下のとき単発のスパイク信号を出力し、入力信号の電圧が所定電圧より大きいときスパイク信号を出力しない。

【０３０２】

素子３７ａおよび３７ｂは入力信号の電圧を分割する素子であればよく、例えば、抵抗、ダイオードまたはトランジスタを用いることができる。また、素子３７ａは定電流素子として機能してもよい。

【０３０３】

素子３７ａおよび３７ｂの寄生容量が大きいと、波形のきれいなスパイク信号が生成されないことがある。そこで、抵抗３７ｃを設けることで、出力回路１５０から素子３７ａおよび３７ｂの寄生容量を見えにくくできる。よって、波形のきれいなスパイク信号を生成できる。素子３７ａおよび３７ｂの出力回路１５０への影響を小さくするため、キャパシタＣ１の容量値と抵抗３７ｃの抵抗値との積は出力回路１５０が出力するスパイク信号の幅より大きいことが好ましい。

【０３０４】

［実施例８の変形例１］

図６０（ｂ）は、実施例８の変形例１に係るスパイク生成回路の回路図である。図６０（ｂ）に示すように、スパイク生成回路１５３では、電圧変換回路３０ｃはダイオード３７ｅ、３７ｇおよびＦＥＴ３７ｆを有する。ダイオード３７ｇは入力端子Ｔｉｎとノード Ｎ１１との間に順方向に２個接続され、ダイオード３７ｅはノードＮ１１とグランド線２６との間に順方向に接続されている。ダイオード３７ｅおよび３７ｇはＦＥＴのゲートを

ソースに接続したトランジスタダイオードでもよい。入力端子Ｔｉｎに入力された入力信号はダイオード３７ｇと３７ｅとで抵抗分割される。

【０３０５】

ＦＥＴ３７ｆのソースおよびドレインのいずれか一方はノードＮ１１に接続され、ソースおよびドレインの他方はノードＮｏに接続されている。ゲートは電源線２８に接続されている。ＦＥＴ３７ｆは抵抗として機能する。その他の構成は実施例８と同じであり説明を省略する。

【０３０６】

各ダイオード３７ｅおよび３７ｇの両端に加わる電圧がダイオードの順方向電圧（電圧降下）より十分小さければ、各ダイオード３７ｅおよび３７ｇを流れる電流は非常に小さいため、電圧変換回路３０ｃにおいて消費される電力をｎW以下とすることができる。例えば入力信号の最大電圧が１Ｖのとき、ダイオード３７ｅおよび３７ｇの順方向電圧を０．８Ｖ程度とすると、ダイオード３７ｅおよび３７ｇを流れる電流は非常に小さくなる。

【０３０７】

各ダイオード３７ｅおよび３７ｇが逆方向接続されていてもよい。しかし、ダイオードの順方向電流は素子によるばらつきが小さく、逆方向電流は素子によるばらつきが大きい。このため、ダイオード３７ｅおよび３７ｇを順方向接続することが好ましい。実施例８の素子３７ａおよび３７ｂとして抵抗素子を用いてもよい。しかし、高抵抗な抵抗素子は作製しにくい。よって、実施例８の変形例１のように、順方向接続されたダイオード３７ｅおよび３７ｇを用いることが好ましい。

【０３０８】

実施例８の抵抗３７ｃを抵抗素子で形成すると、高抵抗の抵抗３７ｃを作製しにくい。ＦＥＴ３７ｆのオン抵抗を抵抗３７ｃとして用いることで、適切な抵抗値の抵抗３７ｃを実現できる。例えばＦＥＴ３７ｆをＰＦＥＴとし、電源線２８の電圧が１Ｖとのき、ＦＥＴ３７ｆの閾値電圧を０．８程度とすると、ＦＥＴ３７ｆのソースとドレインとの間の抵抗は１ＭΩ以上となる。

【０３０９】

実施例８の変形例１のスパイク生成回路におけるスパイク信号をシミュレーションした。図６１（ａ）および図６１（ｂ）は、シミュレーションに用いたそれぞれ実施例８の変形例１Ａおよび１に係るスパイク生成回路の回路図である。

【０３１０】

図６１（ａ）に示すように、実施例８の変形例１Ａの電圧変換回路３０ｄはＦＥＴ３７ｆを有しておらず、ノードＮ１１とＮｏとに間は直結されている。出力回路１５０の回路は、ＰＦＥＴ１４とＰＦＥＴ１３ｂの接続が逆になっている以外は実施例３の図８のスパイク生成回路と同じである。

【０３１１】

図６１（ｂ）に示すように、実施例８の変形例１では、電圧変換回路３０ｃはＦＥＴ３７ｆを有している。出力回路１５０の回路構成は実施例８の変形例１Ａの図６１（ａ）と同じである。シミュレーションではキャパシタＣ１およびＣ２の容量値をそれぞれ２ｆＦおよび４ｆＦとした。各ＦＥＴの条件、電源線２８およびグランド線２６の電圧は実施例３のシミュレーションと同じである。

【０３１２】

図６２（ａ）から図６２（ｄ）は、実施例８の変形例１Ａのシミュレーション結果を示す時間に対する電圧を示す図である。図６２（ａ）は、時間に対する出力端子Ｔｏｕｔの電圧、図６２（ｂ）は、時間に対する入力端子ＴｉｎおよびノードＮ１の電圧を示す図である。図６２（ｃ）および図６２（ｄ）は、スパイク信号を出力する時間付近における図６２（ａ）および図６２（ｂ）の拡大図である。

【０３１３】

図６２（ｂ）に示すように、時間に対し入力端子Ｔｉｎの電圧を徐々に増加させる。時間に対しノードＮ１の電圧が徐々に増加する。ノードＮ１の電圧が閾値電圧である０．５

Ｖとなると、図６２（ａ）のようにスパイク信号５２が出力される。

【０３１４】

図６２（ｃ）のように、スパイク信号５２の立ち上がりが緩やかであり、スパイク信号５２の波形が崩れている。また、スパイク信号５２の高さは１Ｖに達していない。図６２（ｄ）のように、ノードＮ１の電圧は０．５Ｖ付近であり図９（ｂ）のような正常なスパイク信号５２を生成するときの電圧と異なる。実施例８の変形例１Ａでは、ダイオード３７ｅおよび３７ｇの寄生容量が出力回路１５０に影響し、正常なスパイク信号５２が生成されないと考えられる。

【０３１５】

図６３（ａ）から図６３（ｄ）は、実施例８の変形例１のシミュレーション結果を示す時間に対する電圧を示す図である。図６３（ａ）は、時間に対する出力端子Ｔｏｕｔの電圧、図６３（ｂ）は、時間に対する入力端子ＴｉｎおよびノードＮ１の電圧を示す図である。図６３（ｃ）および図６３（ｄ）は、スパイク信号を出力する時間付近における図６３（ａ）および図６３（ｂ）の拡大図である。

【０３１６】

図６３（ａ）および図６３（ｂ）に示すように、時間に対する入力端子Ｔｉｎ、ノードＮ１および出力端子Ｔｏｕｔの電圧の振る舞いは実施例８の変形例１Ａとほぼ同じである。

【０３１７】

図６３（ｃ）のように、実施例８の変形例１では、スパイク信号５２の立ち上がりは急峻であり、スパイク信号５２の波形は図９（ａ）とほぼ同じである。スパイク信号５２の高さは１Ｖに達している。図６３（ｄ）のように、ノードＮ１の電圧は０．８Ｖを越えた後０．２Ｖ以下に低下しており、図９（ｂ）のノードＮ１の電圧の振る舞いと同じである。このように、実施例８の変形例１では、抵抗３７ｃとしてＦＥＴ３７ｆを用いることで、ダイオード３７ｅおよび３７ｇの寄生容量が出力回路１５０に影響することを抑制し、正常なスパイク信号５２が生成される。

【０３１８】

実施例８によれば、キャパシタＣ１の一端がノードＮ１（中間ノード）に接続され、他端がグランド線２６（第１基準電位端子）に接続されている、電圧変換回路３０ａは、入力端子Ｔｉｎとグランド線２６（第２基準電位端子）との間に直列に接続された素子３７ａ（第１素子）と素子３７ｂ（第２素子）と、一端が素子３７ａと３７ｂとの間のノードＮ１１に接続され、他端がノードＮｏ（出力ノード）に接続された抵抗３７ｃと、を備える。抵抗３７ｃにより出力回路１５０の素子３７ａおよび３７ｂの寄生容量の影響を抑制できる。よって、適切な波形のスパイク信号５２を生成できる。ノードＮ１１とＮｏとの間に接続される抵抗３７ｃは実施例８の変形例１の図６０（ｂ）のようなＦＥＴ３７ｆでもよい。このように、抵抗３７ｃはリアクタンス成分がほとんどなく、両端の電圧差に対しほぼ線形的に増加する電流を流す素子（これを抵抗素子と呼ぶ）であればよい。

【０３１９】

抵抗３７ｃの抵抗値とキャパシタＣ１の容量値の積はスパイク信号５２の幅より大きいことが好ましい。抵抗３７ｃの抵抗値とキャパシタＣ１の容量値の積はスパイク信号５２の幅の１０倍以上がより好ましく、５０倍以上がさらに好ましい。

【０３２０】

実施例８およびその変形例１では、出力回路１５０は、入力信号の電圧が所定電圧以下のときにスパイク信号５２を出力しない閾値判別回路の例である。実施例８およびその変形例１の電圧変換回路３０ａおよび３０ｃを実施例５の変形例１の図３５の電圧変換回路３０と置き換えることにより、入力信号の電圧が所定電圧以上のときにスパイク信号５２を出力しない閾値判別回路を実現できる。

【０３２１】

実施例５およびその変形例１並びに実施例８およびその変形例１では、出力回路として、実施例１～４およびその変形例に係るスパイク生成回路を用いたが、出力回路１５０は

、ノードＮｉ（中間ノード）が所定電位になることに対応して出力端子Ｔｏｕｔに単発の出力スパイク信号５２を出力しかつノードNiの電圧をリセットし、入力信号の電圧が所定範囲内のときスパイク信号５２を出力しない出力回路であればよい。

【０３２２】

［実施例８の変形例２］

実施例８の変形例２から５は、実施例１～４およびその変形例に係るスパイク生成回路を遅延回路に用いる例である。図６４（ａ）は、実施例８の変形例２に係るスパイク生成回路の回路図である。図６４（ａ）に示すように、スパイク生成回路１５４は、時定数回路３２として、定電流素子または定電流回路３３ｂおよびキャパシタＣ１を有する。時定数回路３２により、スパイク生成回路１５４は実施例５の変形例３と同様に遅延回路として機能する。定電流素子または定電流回路３３ｂは、両端の電圧差に対応する定電流を生成する素子または回路である。

【０３２３】

定電流素子または定電流回路３３ｂの好ましい回路構成は、時定数回路３２の時定数に依存する。以下、定電流素子または定電流回路３３ｂの好ましい回路を実施例８の変形例３から６として説明する。

【０３２４】

［実施例８の変形例３］

実施例８の変形例３は、時定数回路３２の時定数を長くする例であり、時定数を例えば１ｍ秒以上とする例である。図６４（ｂ）は、実施例８の変形例３に係るスパイク生成回路の回路図である。図６４（ｂ）に示すように、時定数回路３２の定電流素子または定電流回路として逆方向に接続されたダイオード３３ｃを用いる。ダイオード３３ｃの逆方向電流は小さいため、時定数を長くできる。ダイオード３３ｃの逆方向電流はダイオード３３ｃの両端の電圧が変化しても順方向電流ほど電流は変化しない。よって、キャパシタＣ１が充電されてノードＮｏの電圧が上昇しても、ダイオード３３ｃの電流値が減少して充電が途中で止まることはなく、ダイオード３３ｃの電流値とキャパシタＣ１のキャパシタンスの大きさとで時定数を設計することができる。出力回路１５０内のＦＥＴの閾値電圧がばらつくことに起因して、ノードＮｉの次段のインバータの閾値電圧がばらついても、時定数回路３２の時定数の変化を小さくできる。ダイオード３３ｃはＦＥＴのゲートをソースに接続したトランジスタダイオードでもよい。

【０３２５】

［実施例８の変形例４］

実施例８の変形例４は、時定数回路３２の時定数を短くする例であり、時定数を例えば１μ秒以下とする例である。図６４（ｃ）は、実施例８の変形例４に係るスパイク生成回路の回路図である。図６４（ｃ）に示すように、スパイク生成回路１５８では、時定数回路３２の、定電流素子または定電流回路としてＰＦＥＴ３３ｄを用いる。ＰＦＥＴ３３ｄのゲートはグランド線２６に接続され、ＰＦＥＴ３３ｄはオン状態である。ＦＥＴのオン電流を定電流素子の定電流として用いることにより、時定数回路３２の時定数を短くできる。また、ＦＥＴのオン電流はＦＥＴの両端の電圧が変化しても大きくは変化しない。よって、キャパシタＣ１が充電されてノードＮｏの電圧が上昇しても、ＰＦＥＴ３３ｄの電流値が減少して充電が途中で止まることはなく、ＰＦＥＴ３３ｄの電流値とキャパシタＣ１のキャパシタンスの大きさとで時定数を設計することができる。ＰＦＥＴ３３ｄはＮＦＥＴでもよい。

【０３２６】

ＰＦＥＴ３３ｄを流れる電流がノードＮｉをリセットする電流（例えばノードＮｉの次段のインバータのＮＦＦＥＴを流れる電流）より大きい場合、ノードＮｉをリセットできなくなる。よって、ＰＦＥＴ３３ｄを流れる電流は出力回路１５０のノードＮｉをリセットするときの電流）より十分小さいことが好ましい。

【０３２７】

［実施例８の変形例５］

実施例８の変形例５は、時定数回路３２の時定数を中程度とする例であり、時定数を例えば１０ｎ秒～１０ｍ秒とする例である。図６５は、実施例８の変形例５に係るスパイク生成回路の回路図である。図６５に示すように、時定数回路３２の定電流回路３３ｅは、カレントミラー回路３６、ダイオード３６ｃおよび３６ｄを備えている。カレントミラー回路３６はＰＦＥＴ３６ａおよび３６ｂを備えている。ＦＥＴ３６ａのゲートとＦＥＴ３６ｂのゲートは接続されている。ＦＥＴ３６ａのゲートとドレインは接続されている。ＦＥＴ３６ｂのソースは入力端子Ｔｉｎに、ドレインはノードＮｏに接続されている。ダイオード３６ｃは、入力端子ＴｉｎとＦＥＴ３６ａのソースとの間に順方向に接続されている。すなわち、アノードおよびカソードはそれぞれ入力端子ＴｉｎおよびＦＥＴ３６ａのソースに接続されている。ダイオード３６ｄは、ＦＥＴ３６ａのドレインとグランド線２６との間に逆方向に接続されている。すなわち、アノードおよびカソードはそれぞれグランド線２６およびＦＥＴ３６ａのドレインに接続されている。

【０３２８】

時定数回路３２では、入力端子ＴｉｎとＰＦＥＴ３６ａとの間にダイオード３６ｃが順方向に接続されている。このため、ＰＦＥＴ３６ａのソースの電圧は、ＰＦＥＴ３６ｂのソースの電圧よりダイオード３６ｃの電圧降下Ｖａ低くなる。これにより、ＰＦＥＴ３６ｂにはダイオード３６ｄの逆方向電流に対しＶａに相当する分大きな電流が流れる。例えば、ＰＦＥＴ３６ｂにはダイオード３６ｄの電流の１桁～６桁程度大きな電流が流れる。

【０３２９】

これにより、定電流回路３３ｅは実施例８の変形例３の図６４（ｂ）のダイオード３３ｃより１桁～６桁大きい電流を流すことができる。よって、時定数回路３２は、実施例８の変形例３より１桁～６桁小さな時定数を有することができる。

【０３３０】

実施例８の変形例３のダイオード３３ｃの逆方向電流と、実施例８の変形例４のＦＥＴのオン電流の間の電流値を供給する定電流素子または定電流回路３３ｂとして、順方向接続されたダイオードが考えられる。しかし、実施例８の変形例２の定電流素子または定電流回路３３ｂに順方向接続されたダイオードを用いると、ダイオードの順方向電流は両端の電圧に対し指数関数的に大きくなる。したがって、キャパシタＣ１が充電されてノードＮｏの電圧が上昇すると、定電流素子または定電流回路３３ｂの電流値は指数関数的に減少し、ノードＮｏの電圧は飽和しようとする。ノードＮｏの飽和電圧が出力回路１５０の閾値電圧と近い場合、時定数は発散的に長くなり、トランジスタの閾値電圧のばらつきの影響を受けやすくなる。これにより、時定数回路３２の時定数が例えば３桁ばらついてしまう。

【０３３１】

実施例８の変形例５では、定電流回路３３ｅを流れる電流はダイオード３６ｄの逆方向電流とダイオード３６ｃの順方向電圧降下Ｖａによって定まる。ダイオード３６ｃおよび３６ｄの閾値電圧ばらつきを低く抑えることで、時定数のばらつきの小さな遅延回路を実現できる。

【０３３２】

実施例８の変形例５のスパイク生成回路におけるスパイク信号をシミュレーションした。図６６（ａ）および図６６（ｂ）は、シミュレーションに用いたそれぞれ実施例８の変形例５Ａおよび５に係るスパイク生成回路の回路図である。

【０３３３】

図６６（ａ）に示すように、実施例８の変形例５Ａの時定数回路３２の定電流回路３３ｆはダイオード３６ｃを有していない。ダイオード３６ｄとして、ソースとゲートが接続されたＮＦＥＴ３６ｆを用いる。出力回路１５０の回路は実施例８の変形例１の図６１（ｂ）と同じである。その他の回路構成は図６５と同じである。

【０３３４】

図６６（ｂ）に示すように、実施例８の変形例５では、時定数回路３２の定電流回路３３ｇはダイオード３６ｃとして、ドレインとゲートが接続されたＰＦＥＴ３６ｇを用いる

。出力回路１５０の回路構成は図６１（ｂ）と同じである。その他の回路構成は図６５と同じである。シミュレーションではキャパシタＣ１およびＣ２の容量値をそれぞれ２ｆＦおよび４ｆＦとした。各ＦＥＴの条件、電源線２８およびグランド線２６の電圧は実施例５の変形例３のシミュレーションと同じである。

【０３３５】

図６７（ａ）および図６７（ｂ）は、実施例８の変形例５Ａのシミュレーション結果を示す時間に対する電圧を示す図である。図６７（ａ）は、時間に対する出力端子Ｔｏｕｔの電圧、図６７（ｂ）は、時間に対するノードＮ１の電圧を示す図である。

【０３３６】

図６７（ａ）および図６７（ｂ）に示すように、実施例８の変形例５Ａでは、遅延時間は１ｍ秒程度である。これは、カレントミラー回路３６がダイオード（ＮＦＥＴ３６ｆ）の逆方向電流の大きさと同じ大きさの電流を定電流回路３３ｆが供給する電流とするためである。ダイオード（ＮＦＥＴ３６ｆ）の逆方向電流が小さいため、定電流回路３３ｆが供給する電流が小さくなり、時定数回路３２の時定数が長くなってしまう。ＦＥＴ３６ａに比べてＦＥＴ３６ｂのトランジスタチャネル幅を広げれば電流値を増やし時定数を短くできる。しかし、同時にノードＮｏの寄生容量も増加する。このためＦＥＴ３６ａに比べてＦＥＴ３６ｂのトランジスタチャネル幅を広げることは好ましくない。

【０３３７】

図６７（ｃ）および図６７（ｄ）は、実施例８の変形例５のシミュレーション結果を示す時間に対する電圧を示す図である。図６７（ｃ）は、時間に対する出力端子Ｔｏｕｔの電圧、図６７（ｄ）は、時間に対するノードＮ１の電圧を示す図である。

【０３３８】

図６７（ｃ）および図６７（ｄ）に示すように、実施例８の変形例５では、遅延時間は２０μ秒程度である。これは、ＰＦＥＴ３６ｇがＰＦＥＴ３６ａのソースの電圧をＰＦＥＴ３６ｂのソースの電圧より電圧降下Ｖａ低くするため、定電流回路３３ｇが供給する電流がダイオード（ＮＦＥＴ３６ｆ）の逆方向電流より大きくなるためである。これにより、遅延時間を中程度とすることができる。

【０３３９】

実施例８の変形例２によれば、時定数回路３２は、一端がノードＮｏ（出力ノード）に接続され、他端がグランド線２６（第１基準電位端子）に接続されたキャパシタＣ１と、一端が入力端子Ｔｉｎに接続され、他端がノードＮｏに接続された定電流素子または定電流回路３３ｂと、を有する。これにより、実施例８の変形例３から５のように、定電流素子または定電流回路３３ｂが供給する電流を設計することにより、時定数回路３２の時定数を設定でき、遅延回路の遅延時間を設定できる。

【０３４０】

実施例８の変形例５のように、定電流回路３３ｅは、ＰＦＥＴ３６ａおよび３６ｂを備えるカレントミラー回路３６である。ＰＦＥＴ３６ｂ（第１トランジスタ）では、ソース（電流入力端子および電流出力端子のいずれか一方の端子）が入力端子Ｔｉｎに接続され、ドレイン（電流入力端子および電流出力端子の他方の端子）がノードＮｏに接続されている。ＰＦＥＴ３６ａ（第２トランジスタ）では、ソースが順方向接続されたダイオード３６ｃ（第１ダイオード）を介し入力端子Ｔｉｎに接続され、ドレインが逆方向接続されたダイオード３６ｄ（第２ダイオード）を介しグランド線２６（第２基準電位端子）に接続されている。ＰＦＥＴ３６ａと３６ｂのゲートは（制御端子）は互いに接続されている。これにより、中程度の遅延時間のばらつきの小さい遅延回路を実現できる。

【０３４１】

実施例８の変形例３のように、定電流素子または定電流回路は逆方向接続されたダイオード３３ｃでもよく、オン状態となるように制御端子（ゲート）に電圧が印加されたトランジスタでもよい。

【０３４２】

実施例５の変形例３並びに実施例８の変形例２から５では、出力回路として、実施例１

～４およびその変形例に係るスパイク生成回路を用いたが、出力回路１５０は、ノードＮｉの電圧が閾値電圧になることに対応して出力端子Ｔｏｕｔに単発の出力スパイク信号５２を出力しかつノードNiの電圧をリセットし、入力信号が入力した後、時定数回路３２の時定数に関連した遅延時間後にスパイク信号５２を出力する出力回路であればよい。

【０３４３】

［実施例８の変形例６］

実施例８の変形例６から８は、実施例１～４およびその変形例に係るスパイク生成回路を頻度判別回路（頻度検出回路）に用いる例である。図６８（ａ）は、実施例８の変形例６に係るスパイク生成回路の回路図である。図６８（ａ）に示すように、スパイク生成回路１６１では、入力回路３４ｂとして、電源線２８とグランド線２６との間にＰＦＥＴ３８ｂと定電流素子３８ｃが直列に接続されている。ＰＦＥＴ３８ｂと定電流素子３８ｃとの間のノードＮ１２はノードＮｏに接続されている。入力端子Ｔｉｎはインバータ３８ａを介しＰＦＥＴ３８ｂのゲートに接続されている。定電流素子３８ｃとしては、トランジスタ、ダイオードまたは抵抗等を用いることができる。

【０３４４】

入力回路３４ｂは、入力端子Ｔｉｎに入力スパイク信号が入力するとノードＮｉの電圧を入力スパイク信号の高さに対応する量高くする。入力端子Ｔｉｎに入力スパイク信号が入力しないときノードＮｉの電圧は入力スパイク信号の幅より長い時定数で徐々に低くなる。例えば、ノードＮｉの電荷がノードＮｉの次段のインバータのＮＦＥＴを介しグランド線２６にリークすることにより、ノードＮｉの電圧は徐々に低くなる。これにより、スパイク生成回路１６１は実施例５の変形例５と同様に、入力スパイク信号の頻度が高くなるとスパイク信号を出力する頻度判定回路として機能する。

【０３４５】

［実施例８の変形例７］

図６８（ｂ）は、実施例８の変形例７に係るスパイク生成回路の回路図である。図６８（ｂ）に示すように、スパイク生成回路１６２では、入力回路３４ｃとして、電源線２８とグランド線２６との間にＮＦＥＴ３８ｅと定電流素子３８ｃが直列に接続されている。定電流素子３８ｃとＮＦＥＴ３８ｅとの間のノードＮ１２はノードＮｏに接続されている。入力端子ＴｉｎはＮＦＥＴ３８ｅのゲートに接続されている。定電流素子３８ｃとしては、トランジスタ、ダイオードまたは抵抗等を用いることができる。

【０３４６】

入力回路３４ｃは、入力端子Ｔｉｎに入力スパイク信号が入力するとノードＮｉの電圧を入力スパイク信号の高さに対応する量低くする。入力端子Ｔｉｎに入力スパイク信号が入力しないときノードＮｉの電圧は入力スパイク信号の幅より長い時定数で徐々に高くなる。これにより、スパイク生成回路１６２は実施例５の変形例４と同様に、入力スパイク信号の頻度が低くなるとスパイク信号を出力する頻度判定回路として機能する。

【０３４７】

［実施例８の変形例８］

図６８（ｃ）は、実施例８の変形例８に係るスパイク生成回路の回路図である。図６８（ｃ）に示すように、スパイク生成回路１６３では、入力回路３４ｄとして、電源線２８とグランド線２６との間にＰＦＥＴ３８ｂとＮＦＥＴ３８ｅとが直列に接続されている。ＰＦＥＴ３８ｂとＮＦＥＴ３８ｅとの間のノードＮ１２はノードＮｏに接続されている。入力端子Ｔｉｎ１はインバータ３８ａを介しＰＦＥＴ３８ｂのゲートに接続し、入力端子Ｔｉｎ２はＮＦＥＴ３８ｅのゲートに接続されている。

【０３４８】

入力回路３４ｄは、入力端子Ｔｉｎ１に入力スパイク信号が入力するとノードＮｉの電圧を入力スパイク信号の高さに対応する量高くし、入力端子Ｔｉｎ２に入力スパイク信号が入力するとノードＮｉの電圧を入力スパイク信号に対応する量低くする。

【０３４９】

これにより、スパイク生成回路１６３は、入力端子Ｔｉｎ１に入力するスパイク信号の

頻度が高いとノードＮｉの電圧が上昇し、出力回路１５０はスパイク信号を生成しやすくなり、入力端子Ｔｉｎ２に入力するスパイク信号の頻度が低いとノードＮｉの電圧が上昇し、出力回路１５０はスパイク信号を生成しやすくなる。このように、入力端子Ｔｉｎ１とＴｉｎ２に入力されるスパイク信号のバランスにより出力回路１５０がスパイク信号を出力する頻度判定回路として機能する。

【０３５０】

実施例８の変形例６から８によれば、入力回路３４ｂから３４ｄのいずれかを有し、出力回路１５０は、ノードＮｉの電圧が閾値電圧となることに対応し出力端子Ｔｏｕｔに単発の出力スパイク信号を出力しかつノードNiの電圧をリセットし、入力スパイク信号が入力する頻度が所定範囲になると、出力スパイク信号を出力する。これにより、頻度判別回路を実現できる。

【０３５１】

出力回路１５０が実施例１の変形例２および３の入力スパイク信号が正方向の信号であるスパイク生成回路であるときは、入力端子Ｔｉｎに入力スパイク信号が入力しないときノードＮｉの電圧は入力スパイク信号の幅より長い時定数で徐々に低くなる。

【０３５２】

出力回路１５０が実施例１の変形例４および５の入力スパイク信号が負方向の信号であるスパイク生成回路であるときは、入力端子Ｔｉｎに入力スパイク信号が入力しないときノードＮｉの電圧は入力スパイク信号の幅より長い時定数で徐々に高くなる。このときは、入力端子ＴｉｎまたはＴｉｎ１とＰＦＥＴ３８ｂのゲートとの間にインバータ３８ａを接続せず、入力端子ＴｉｎまたはＴｉｎ２とＮＦＥＴ３８ｅのゲートとの間にインバータを接続する。

【０３５３】

実施例８の変形例６から８では、出力回路として、実施例１～４およびその変形例に係るスパイク生成回路を用いたが、出力回路１５０は、ノードＮｉの電圧が閾値電圧になることに対応して出力端子Ｔｏｕｔに単発の出力スパイク信号５２を出力しかつノードNiの電圧をリセットし、入力スパイク信号が入力する頻度が所定範囲になると、出力スパイク信号を出力する出力回路であればよい。

【０３５４】

［実施例８の変形例９］

実施例８の変形例９から１１は、実施例１～４およびその変形例に係るスパイク生成回路をタイミング回路に用いる例である。図６９（ａ）は、実施例８の変形例９に係るスパイク生成回路の回路図である。図６９（ａ）に示すように、スパイク生成回路１６４では、入力回路１０として、電源線２８とノードＮｏとの間に複数のＰＦＥＴ３９ａが並列に接続されている。入力端子Ｔｉｎａ～Ｔｉｎｃは各々インバータ３９ｂを介しＰＦＥＴ３９ａのゲートに接続される。ノードＮｏとグランド線２６との間にキャパシタＣ１が接続されている。ノードＮｏは出力回路１５０のノードＮｉに接続されている。

【０３５５】

図７０（ａ）および図７０（ｂ）は、実施例８の変形例９における時間に対する各電圧を示す図である。図７０（ａ）に示すように、時刻ｔ４１、ｔ４２およびｔ４３に、入力端子Ｔｉｎｃ、ＴｉｎａおよびＴｉｎｂにそれぞれスパイク信号５０が入力する。時刻ｔ４１からｔ４３の間隔がノードＮｉの電圧が下がる時間より小さければ、時刻ｔ４３にノードＮｉの電圧が閾値電圧Ｖｔｈを越える。これにより、出力回路１５０は出力端子Ｔｏｕｔにスパイク信号５２を出力する。

【０３５６】

図７０（ｂ）に示すように、入力端子Ｔｉｎｂにスパイク信号５０が入力する時刻ｔ４３は時刻ｔ４２から離れている。時刻ｔ４１とｔ４２とに隣接してスパイク信号５０が入力する。ノードＮｉの電圧は閾値電圧Ｖｔｈを越えない。時刻ｔ４２からｔ４３の間にノードＮｉの電圧が徐々に下がり、時刻ｔ４４においてノードＮｉの電圧はほぼ０Ｖとなる。その後、時刻ｔ４３にスパイク信号５０が入力してもノードＮｉの電圧は閾値電圧Ｖｔ

ｈを越えない。その後、ノードＮｉの電圧は徐々に下がり、時刻ｔ４５において０Ｖとなる。これにより、出力回路１５０は出力端子Ｔｏｕｔにスパイク信号５２を出力しない。

【０３５７】

出力回路１５０として、実施例１の変形例２および３のスパイク生成回路を用い、入力回路１０は、複数の入力端子ＴｉｎａからＴｉｎｃの少なくとも１つに入力スパイク信号５０が入力すると、ノードＮｉの電圧を高くする。複数の入力端子ＴｉｎａからＴｉｎｃに入力スパイク信号が入力しないときノードＮｉの電圧は入力スパイク信号の幅より長い期間をかけて徐々に低くなる。出力回路１５０は、ノードＮｉの電圧が閾値電圧Ｖｔｈとなることに対応し出力端子に単発の出力スパイク信号５２を出力する。これにより、スパイク生成回路１６４は、複数の入力端子ＴｉｎａからＴｉｎｃに入力する正方向の複数のスパイク信号５０がある期間以内に入力したときに、スパイク信号５２を出力するタイミング回路として機能する。

【０３５８】

［実施例８の変形例１０］

図６９（ｂ）は、実施例８の変形例１０に係るスパイク生成回路の回路図である。図６９（ｂ）に示すように、スパイク生成回路１６５では、入力回路１０として、グランド線２６とノードＮｏとの間に複数のＮＦＥＴ３９ｃが並列に接続されている。入力端子Ｔｉｎａ～Ｔｉｎｃは各々ＮＦＥＴ３９ｃのゲートに接続される。その他の構成は実施例８の変形例９と同じであり説明を省略する。

【０３５９】

出力回路１５０として、実施例１の変形例４および５のスパイク生成回路を用い、入力回路１０は、複数の入力端子ＴｉｎａからＴｉｎｃの少なくとも１つに負方向の入力スパイク信号５０が入力すると、ノードＮｉの電圧を低くする。複数の入力端子ＴｉｎａからＴｉｎｃに入力スパイク信号が入力しないときノードＮｉの電圧は入力スパイク信号の幅より長い期間をかけて徐々に高くなる。出力回路１５０は、ノードＮｉの電圧が閾値電圧Ｖｔｈとなることに対応し出力端子に単発の出力スパイク信号５２を出力しかつノードＮｉの電圧をリセットする。これにより、スパイク生成回路１６５は、複数の入力端子ＴｉｎａからＴｉｎｃに入力する負方向の複数のスパイク信号５０がある期間以内に入力したときに、スパイク信号５２を出力するタイミング回路として機能する。

【０３６０】

［実施例８の変形例１１］

図６９（ｃ）は、実施例８の変形例１１に係るスパイク生成回路の回路図である。図６９（ｃ）に示すように、スパイク生成回路１６６では、入力回路１０として、電源線２８とノードＮｏとの間に複数のＰＦＥＴ３９ａが並列に接続されている。入力端子Ｔｉｎａ～Ｔｉｎｃは各々インバータ３９ｂを介しＰＦＥＴ３９ａのゲートに接続される。グランド線２６とノードＮｏとの間に複数のＮＦＥＴ３９ｃが並列に接続されている。入力端子Ｔｉｎｄ～ＴｉｎｅはＮＦＥＴ３９ｃのゲートに接続される。その他の構成は実施例８の変形例９と同じであり説明を省略する。

【０３６１】

出力回路１５０として、実施例１の変形例２および３のスパイク生成回路を用い、入力回路１０は、複数の入力端子ＴｉｎａからＴｉｎｃの少なくとも１つに入力スパイク信号５０が入力すると、ノードＮｉの電圧を高くし、複数の入力端子ＴｉｎｄからＴｉｎｅの少なくとも１つに入力スパイク信号５０が入力すると、ノードＮｉの電圧を低くする。複数の入力端子ＴｉｎａからＴｉｎｅに入力スパイク信号が入力しないときノードＮｉの電圧は入力スパイク信号の幅より長い期間をかけて徐々に低くなる。出力回路１５０は、ノードＮｉの電圧が閾値電圧Ｖｔｈとなることに対応し出力端子Ｔｏｕｔに単発の出力スパイク信号５２を出力する。これにより、スパイク生成回路１６６は、複数の入力端子ＴｉｎａからＴｉｎｃに入力する正方向の複数のスパイク信号５０がある期間以内に入力し、同じ期間内に複数の入力端子ＴｉｎｄおよびＴｉｎｅに入力する正方向の複数のスパイク信号５０がある個数以下のときに、スパイク信号５２を出力するタイミング回路として機

能する。
【０３６２】
出力回路１５０として、実施例１の変形例４および５のスパイク生成回路を用いる場合、入力端子Ｔｉｎａ～ＴｉｎｃとＰＦＥＴ３９ａのゲートとの間にインバータ３９ｂを接続せず、入力端子ＴｉｎｄおよびＴｉｎｅとＮＦＥＴ３９ｃのゲートとの間にインバータ３９ｄを接続する。複数の入力端子ＴｉｎａからＴｉｎｅに入力スパイク信号が入力しないときノードＮｉの電圧は入力スパイク信号の幅より長い期間をかけて徐々に高くなる。これにより、スパイク生成回路１６６は、複数の入力端子ＴｉｎｄおよびＴｉｎｅに入力する負方向の複数のスパイク信号５０がある期間以内に入力し、同じ期間内に複数の入力端子ＴｉｎａからＴｉｎｃに入力する負方向の複数のスパイク信号５０がある個数以下のときに、スパイク信号５２を出力するタイミング回路として機能する。
【０３６３】
実施例５の変形例６において、入力回路１０の出力回路は、実施例１から４およびその変形例以外の回路でもよい。出力回路は、ノードＮｉの電圧が閾値電圧となることに対応し出力端子Ｔｏｕｔに単発の出力スパイク信号を出力しかつノードNiの電圧をリセットし、入力信号の時間に対する変化量が所定範囲になると、出力スパイク信号を出力すればよい。
【実施例９】
【０３６４】
実施例９は、電流の流れる方向を検出する検出器の例である。図７１は、実施例９に係る検出器のブロック図である。図７１に示すように、検出器１７０では、端Ｔ１１とＴ１２との間に電流Ｉ１１が流れる経路Ｌ１１が設けられている。端Ｔ１１からＴ１２の方向に流れる電流Ｉ１１を正とする。経路Ｌ１１にＮチャネルのＦＥＴＭ１が設けられている。
【０３６５】
マルチバイブレータ回路Ｘ５３はＦＥＴＭ１のゲートに信号Ｖｇ１を出力する。コンパレータＸ５０は、経路Ｌ１１の端Ｔ１１側のノードＮ１１の電圧Ｖ１１と参照電圧Ｖｒｅｆとを比較し、出力電圧Ｖｏｕｔを出力する。コンパレータＸ５０は、Ｖ１１がＶｒｅｆ以上のとき出力電圧Ｖｏｕｔをハイレベルとし、Ｖ１１がＶｒｅｆより小さいとき出力電圧Ｖｏｕｔをローレベルとする。このように、コンパレータＸ５０は、電圧Ｖ１１と電圧Ｖｒｅｆとの比較結果から電流Ｉ１１の流れる方向を検出する。
【０３６６】
図７２（ａ）および図７２（ｂ）は、実施例９に係る検出器の時間に対する各電圧を示す図である。図７２（ａ）は電流Ｉ１１が正の電流（端Ｔ１１からＴ１２に流れる電流）の場合を示し、図７２（ｂ）は電流Ｉ１１が負の電流（端Ｔ１２からＴ１１に流れる電流）の場合を示す。
【０３６７】
図７２（ａ）に示すように、マルチバイブレータ回路Ｘ５３は、信号Ｖｇ１として、ハイレベルのベース電圧に対し、周期Ｔ５でローレベルのパルスを出力する。パルスの幅は期間Ｔ４である。時刻ｔ５０では、Ｖｇ１はハイレベルであり、ＦＥＴＭ１は経路Ｌ１１を導通させる。電流Ｉ１１は正である。ノードＮ１１の電圧はほぼ０Ｖであり、コンパレータＸ５０の出力電圧Ｖｏｕｔはローレベルである。
【０３６８】
時刻ｔ５１において、信号Ｖｇ１がローレベルになると、ＦＥＴＭ１は経路Ｌ１１を遮断する。経路Ｌ１１を流れる電流Ｉ１１はほぼ０となる。ノードＮ１１の電圧Ｖ１１は徐々に上昇する。時刻ｔ５２において電圧Ｖ１１が参照電圧Ｖｒｅｆに達すると、コンパレータＸ５０はハイレベルを出力する。
【０３６９】
時刻ｔ５３において、信号Ｖｇ１がハイレベルとなると、ＦＥＴＭ１は経路Ｌ１１を導通させる。経路Ｌ１１には電流が流れる。これより、ノードＮ１１の電圧はほぼ０Ｖとな

り、出力電圧Ｖｏｕｔはローレベルとなる。

【０３７０】

図７２（ｂ）に示すように、電流Ｉ１１が負の場合、時刻ｔ５１においてＦＥＴＭ１が経路Ｌ１１を遮断すると、ノードＮ１１の電圧Ｖ１１は負となり、絶対値は徐々に大きくなる。時刻ｔ５３までの期間Ｔ４において、電圧Ｖ１１は参照電圧Ｖｒｅｆに達しないため、コンパレータＸ５０の出力電圧Ｖｏｕｔはローレベルを維持する。

【０３７１】

電流の流れる方向の検出は以下のように行うことが考えられる。経路Ｌ１１に抵抗を設け抵抗の両端の電圧を比較し、両端の電圧の大小関係に基づき電流の流れる方向を検出する。しかし、経路Ｌ１１に抵抗を設けると抵抗による損失が生じる。

【０３７２】

実施例９によれば、経路Ｌ１１（第１経路）には、端Ｔ１１（第１端）と端Ｔ１２（第２端）との間を電流Ｉ１１（第１電流）が流れる。ＦＥＴＭ１（第１スイッチ）は、経路Ｌ１１を導通および遮断する。ＦＥＴＭ５が経路Ｌ１１を遮断する遮断期間Ｔ４において、コンパレータＸ５０は（検出回路）は、ＦＥＴＭ１より端Ｔ１１（第１スイッチより第１端および第２端のいずれか一方の端）側における経路Ｌ１１の電圧Ｖ１１（第１電圧）に基づき、電流Ｉ１１の流れる方向を検出する。

【０３７３】

実施例９では、期間Ｔ４以外では損失がほとんど生じない。このため、周期Ｔ５に比べ期間Ｔ４を短くすれば、損失を抑制できる。期間Ｔ４は周期Ｔ５の１／１０以下が好ましく、１／１００以下がより好ましい。

【０３７４】

電流Ｉ１１を遮断したときに、ノードＮ１１の電圧Ｖ１１が参照電圧Ｖｒｅｆに達するまでの時間は、経路Ｌ１１の端Ｔ１１側の寄生容量をＣ０、電流Ｉ１１の絶対値を｜Ｉ１１｜とすると、Ｃ０×Ｖｒｅｆ／｜Ｉ１１｜である。期間Ｔ４を周期Ｔ５（長さＴ０）より小さくするためには、Ｃ０×Ｖｒｅｆ／｜Ｉｉｎ｜＜Ｔ５（すなわちＣ０×Ｖｒｅｆ／｜Ｉｉｎ｜＜Ｔ０）である。期間Ｔ４を周期Ｔ５より充分小さくするためには、Ｃ０×Ｖｒｅｆ／｜Ｉ１１｜≦Ｔ０／１０が好ましく、Ｃ０×Ｖｒｅｆ／｜Ｉ１１｜≦Ｔ０／１００がより好ましい。

【０３７５】

例えば、実施例７において説明した振動発電の電流の方向を検出するために検出器を用いる場合、典型的には、Ｃ０＝１０ｐＦ、Ｖｒｅｆ＝０．１Ｖ、｜Ｉ１１｜＝１０ｎＡである。この場合、Ｃ０×Ｖｒｅｆ／｜Ｉ１１｜＝０．１ｍｓである。よって、周期Ｔ５は１ｍｓ以上が好ましく、１０ｍｓ以上がより好ましい。

【０３７６】

［実施例９の変形例１］

図７３は、実施例９の変形例１に係る検出器のブロック図である。図７３に示すように、検出器１７１では、端Ｔ２１とＴ２２との間に電流Ｉ１２が流れる経路Ｌ１２が設けられている。端Ｔ２１からＴ２２の方向に流れる電流Ｉ１２を正とする。経路Ｌ１２にＮチャネルのＦＥＴＭ２が設けられている。端Ｔ１１と端Ｔ１２との間に交流電力が印加される。電流Ｉ１１と電流Ｉ１２とは相補的になる。すなわち、ある時刻において、電流Ｉ１１と電流Ｉ１２の流れる方向は反対方向であり、電流Ｉ１１の絶対値と電流Ｉ１２の絶対値はほぼ同じである。

【０３７７】

マルチバイブレータ回路Ｘ５３はＦＥＴＭ２のゲートに信号Ｖｇ２を出力する。コンパレータＸ５０は、経路Ｌ１１の端Ｔ１１側のノードＮ１１の電圧Ｖ１１と経路Ｌ１２の端Ｔ１２側のノードＮ１２の電圧Ｖ１２とを比較し、出力電圧Ｖｏｕｔを出力する。コンパレータＸ５０は、Ｖ１１がＶ１２以上のとき出力電圧Ｖｏｕｔをハイレベルとし、Ｖ１１がＶ１２より小さいとき出力電圧Ｖｏｕｔをローレベルとする。このように、検出器１７１は、電流Ｉ１１の流れる方向を検出する。その他の構成は実施例９と同じであり説明を

省略する。

【０３７８】

図７４は、実施例９の変形例１に係る検出器の時間に対する各電圧を示す図である。図７４に示すように、時刻ｔ５０において、電流Ｉ１１は正であり電流Ｉ１２は負である。ノードＮ１１の電圧Ｖ１１とノードＮ１２の電圧Ｖ１２の差は０または非常に小さいため、コンパレータＸ５０の出力電圧Ｖｏｕｔは不安定である。

【０３７９】

時刻ｔ５５において、信号Ｖｇ１およびＶｇ２がローレベルになると、ＦＥＴＭ１およびＭ２は経路Ｌ１１およびＬ１２をそれぞれ遮断する。経路Ｌ１１を流れる電流Ｉ１１はほぼ０となる。ノードＮ１１の電圧Ｖ１１は徐々に上昇し、ノードＮ１２の電圧Ｖ１２は徐々に下降する。Ｖ１１とＶ１２の差がコンパレータＸ５０のＶ１１＞Ｖ１２を判定できる電圧差となると、コンパレータＸ５０の出力電圧Ｖｏｕｔはハイレベルとなる。

【０３８０】

時刻ｔ５６において、信号Ｖｇ１およびＶｇ２がハイレベルとなると、ＦＥＴＭ１およびＭ２は経路Ｌ１１およびＬ１２をそれぞれ導通させる。経路Ｌ１１およびＬ１２には電流が流れる。これより、ノードＮ１１およびの電圧はほぼ０Ｖとなり、出力電圧Ｖｏｕｔは不安定となる。

【０３８１】

時刻ｔ５６と時刻ｔ５７との間において、電流Ｉ１１が負となり、電流Ｉ１２が正となる。時刻ｔ５７において、信号Ｖｇ１およびＶｇ２がローレベルになると、ノードＮ１１の電圧Ｖ１１は徐々に下降し、ノードＮ１２の電圧Ｖ１２は徐々に上昇する。Ｖ１１とＶ１２の差がコンパレータＸ５０のＶ１１＜Ｖ１２を判定できる電圧差となると、コンパレータＸ５０の出力電圧Ｖｏｕｔはローレベルとなる。

【０３８２】

時刻ｔ５８において、信号Ｖｇ１およびＶｇ２がハイレベルとなると、ＦＥＴＭ１およびＭ２は経路Ｌ１１およびＬ１２をそれぞれ導通させる。これより、ノードＮ１１およびの電圧はほぼ０Ｖとなり、出力電圧Ｖｏｕｔは不安定となる。

【０３８３】

実施例９の変形例１によれば、経路Ｌ１２（第２経路）には、端Ｔ１１と相補的な端Ｔ２１（第３端）と端Ｔ１２と相補的な端Ｔ２２（第４端）との間を電流Ｉ１１と相補的な電流Ｉ１２（第２電流）が流れる。遮断期間Ｔ４（図７２参照）において、ＦＥＴＭ１およびＦＥＴＭ２（第２スイッチ）は、経路Ｌ１１およびＬ１２をそれぞれ遮断する。コンパレータＸ５０（検出回路）は、ＦＥＴＭ１より端Ｔ１１側のノードＮ１１の電圧Ｖ１１（第１電圧）とＦＥＴＭ２より端Ｔ２１（端Ｔ１１と相補的な端）側のノードＮ１２の電圧Ｖ１２（第２電圧）とに基づき、電流Ｉ１１の流れる方向を検出する。これにより、参照電圧Ｖｒｅｆを用いず、電流Ｉ１１の方向を検出できる。

【０３８４】

［実施例９の変形例２］

実施例９の変形例２は、実施例９の変形例１を電力変換回路に用いる例であり、実施例７の図５６の同期整流回路６４である。図５６および図５７に示すように、電圧Ｖ５がハイレベルとなる期間において、パスゲートＸ１５は電力端子６１ａからパスゲートＸ９およびＸ１０へ至る経路を遮断し、パスゲートＸ１３は電力端子６１ｂからパスゲートＸ１１およびＸ１２へ至る経路を遮断する。時刻ｔ２２とｔ２３との間のように、電流Ｉ１１の方向が正のとき、電圧Ｖ１は上昇し電圧Ｖ２は下降する。時刻ｔ２５とｔ２６の間のように、電流Ｉ１１の方向が負のとき、電圧Ｖ１は下降し電圧Ｖ２は上昇する。

【０３８５】

時刻ｔ２４において、電圧Ｖ１が０．５Ｖ以上となるとスパイク生成回路Ｘ３はスパイク信号８８を出力する。ＦＦ回路Ｘ１は、電圧Ｖ３をローレベルとし電圧Ｖ４をハイレベルとする。これにより、パスゲートＸ９およびＸ１１が導通し、パスゲートＸ１０がおよびＸ１２が遮断する。

【０３８６】
時刻ｔ２７において、電圧Ｖ２が０．５Ｖ以上となるとスパイク生成回路Ｘ４はスパイク信号８９を出力する。ＦＦ回路Ｘ１は、電圧Ｖ３をハイレベルとし電圧Ｖ４をローレベルとする。これにより、パスゲートＸ９およびＸ１１が遮断し、パスゲートＸ１０およびＸ１２が導通する。
【０３８７】
実施例９の変形例２では、パスゲートＸ１５、Ｘ１３、スパイク生成回路Ｘ３、Ｘ４およびＦＦ回路Ｘ１が実施例９の変形例１の検出器として機能する。パスゲートＸ１５が第１スイッチとして機能し、パスゲートＸ１３が第２スイッチとして機能する。スパイク生成回路Ｘ３、Ｘ４およびＦＦ回路Ｘ１が電流の方向を検出する検出回路として機能する。
【０３８８】
［実施例９の変形例３］
実施例９の変形例３は、実施例９の変形例１を電力変換回路に用いる別の例である。図７５は、実施例９の変形例３に係る同期整流回路の回路図である。図７６は、実施例９の変形例３に係る同期整流回路における時間に対する同期整流回路の各ノードの電圧を示す図である。
【０３８９】
図７５および図７６に示すように、同期整流回路１７２では、マルチバイブレータ回路Ｘ５３は出力電圧Ｖ６を出力する。インバータＸ５２は電圧Ｖ６を反転し電圧Ｖ５とする。電圧Ｖ５がハイレベルとなる期間（例えば時刻ｔ２２とｔ２３との間および時刻ｔ２５とｔ２６との間）において電圧Ｖ１０およびＶ１１はそれぞれほぼ電圧Ｖ１およびＶ２となる。電圧Ｖ５がローレベルとなる期間（例えば時刻ｔ２３とｔ２４との間および時刻ｔ２６とｔ２７との間）では、パスゲートＸ７およびＸ８がオフするため、電圧Ｖ１０およびＶ１１はほぼ０Ｖである。
【０３９０】
時刻ｔ２２とｔ２３の間では電圧Ｖ１０およびＶ１１がそれぞれ正および負である。これにより、コンパレータＸ５０は電圧Ｖ４としてハイレベルを出力する。電圧Ｖ３はローレベルとなる。時刻ｔ２３とｔ２４の間ではコンパレータＸ５０は電圧Ｖ４をハイレベルに維持する。これにより、パスゲートＸ９がおよびＸ１１が導通し、パスゲートＸ１０がおよびＸ１２が遮断する。
【０３９１】
時刻ｔ２５とｔ２６の間では電圧Ｖ１０およびＶ１１がそれぞれ負および正である。これにより、コンパレータＸ５０は電圧Ｖ４としてローレベルを出力する。電圧Ｖ３はハイレベルとなる。時刻ｔ２６とｔ２７の間ではコンパレータＸ５０は電圧Ｖ４をローレベルに維持する。これにより、パスゲートＸ９がおよびＸ１１が遮断し、パスゲートＸ１０がおよびＸ１２が導通する。
【０３９２】
実施例９の変形例３では、電力端子６１ａが端Ｔ１１に相当し、パスゲートＸ９とＸ１０に分岐するノードが端Ｔ１２に相当する。端Ｔ１１とＴ１２との間が経路Ｌ１１に相当する。経路Ｌ１１を端Ｔ１１からＴ１２に流れる電流が電流Ｉ１１に相当する。電力端子６１ｂが端Ｔ２１に相当し、パスゲートＸ１１とＸ１２に分岐するノードが端Ｔ２２に相当する。端Ｔ２１とＴ２２との間が経路Ｌ１２に相当する。経路Ｌ１２を端Ｔ２１からＴ２２に流れる電流が電流Ｉ１２に相当する。パスゲートＸ１５およびＸ１３がそれぞれ第１スイッチおよび第２スイッチに相当する。このように、パスゲートＸ１５、Ｘ１３およびコンパレータＸ５０が実施例９の変形例１の検出器として機能する。パスゲートＸ１５、Ｘ１３およびコンパレータＸ５０はそれぞれ第１スイッチ、第２スイッチおよび検出回路として機能する。
【０３９３】
さらに、実施例９の変形例２および３では、パスゲートＸ９からＸ１２（スイッチ素子）は、検出器の検出結果（すなわち電圧Ｖ４）に基づき、オンおよびオフする。これによ

り、検出器は小さい損失で電流の方向を検出できるため、損失の小さい電力変換回路を実現できる。特に、振動発電等の環境発電では、発電される電圧および電力が小さい。このため、電力変換における損失が大きいと、環境発電用の電力変換回路として用いることが難しい。実施例９およびその変形例２および３のように、実施例９およびその変形例１の検出器を用いることで、損失が抑制され、環境発電用の電力変換回路として用いることができる。

【０３９４】

実施例９の変形例３では、検出器が電流Ｉ１１１の流れる方向を端Ｔ１１からＴ１２の方向（第１方向）と検出したとき、パスゲートＸ９からＸ１２（スイッチ回路）は、端Ｔ１２を電源端子Ｔｓ１（第１電源端子）に接続しグランド端子Ｔｓ２（第２電源端子）から遮断しかつ端Ｔ２２をグランド端子Ｔｓ２に接続し電源端子Ｔｓ１から遮断する。検出器が電流Ｉ１１１の流れる方向を端Ｔ１２から端Ｔ１１の方向（第１方向と反対方向の第２方向）と検出したとき、パスゲートＸ９からＸ１２（スイッチ回路）は、端Ｔ１２をグランド端子Ｔｓ２に接続し電源端子Ｔｓ１から遮断しかつ端Ｔ２２を電源端子Ｔｓ１に接続しグランド端子Ｔｓ２から遮断する。これにより、同期整流回路として動作させることができる。

【０３９５】

実施例９の変形例２および３では、実施例９およびその変形例１に係る検出器を用いる電力変換回路として、同期整流回路を例に説明したが、電力変換回路は、降圧回路、昇圧回路、直流－交流電力変換回路または交流－直流電力変換回路でもよい。実施例９およびその変形例１の検出器は電力変換回路以外の電気回路および電子回路に用いることもできる。

【実施例１０】

【０３９６】

実施例１０はスパイク生成回路を用いた電子回路の例である。図７７（ａ）および図７７（ｂ）は、比較例１および実施例１０に係る電子回路のブロック図である。図７７（ａ）に示すように、比較例１の電子回路１７３では、ＦＦ回路７０ａの出力端子７２ｂに組み合わせ回路７７の入力端子が接続され、組み合わせ回路７７の出力端子にＦＦ回路７０ｂの入力端子７１ａが接続されている。

【０３９７】

図７７（ｂ）に示すように、実施例１０の電子回路１７４では、ＦＦ回路７０ａの出力端子７２ｂに組み合わせ回路７７ａの入力端子が接続されている。組み合わせ回路７７ａの出力端子にスパイク生成回路７４の入力端子７５が接続されている。スパイク生成回路７４の出力端子７６に組み合わせ回路７７ｂの入力端子が接続されている。組み合わせ回路７７ｂの出力端子にＦＦ回路７０ｂの入力端子７１ａが接続されている。ＦＦ回路７０ａとスパイク生成回路７４との間に組み合わせ回路７７ａが接続されていなくてもよいし、スパイク生成回路７４とＦＦ回路７０ｂとの間に組み合わせ回路７７ｂが接続されていなくてもよい。

【０３９８】

ここで、組み合わせ回路７７ａおよび７７ｂとは、１または複数の入力端子にそれぞれハイレベルまたはローレベルが入力し、１または複数の出力端子にそれぞれ１または複数の入力端子の入力により一意的に定まるハイレベルまたはローレベルを出力する回路である。例えばＮＯＴ回路、ＯＲ回路、ＡＮＤ回路、ＸＯＲ回路、ＮＯＲ回路およびＮＡＮＤ回路並びにそれらの組み合わせからなる回路等である。

【０３９９】

ＦＦ回路７０ａおよび７０ｂは、実施例７の図４７（ａ）から図４７（ｃ）において説明したＦＦ回路７０である。ＦＦ回路７０は例えばＲＳフリップフロップ回路であり、入力端子７１ａおよび７１ｂはそれぞれセット端子およびリセット端子であり、出力端子７２ｂおよび７２ａはそれぞれ出力端子Ｑおよび相補出力端子ＱＢである。ＦＦ回路７０は、ラッチ回路であり、入力端子７１ａにハイレベルおよびローレベルのいずれか一方のレ

ベルが入力すると、出力端子７２ｂのレベルを前記一方のレベルに保持するメモリ回路であればよい。

【０４００】

図７８（ａ）は、スパイク生成回路を示す図、図７８（ｂ）および図７８（ｃ）は、時間に対するそれぞれ内部状態Ｓおよび出力電圧Ｖｏｕｔを示す図である。図７８（ａ）に示すように、スパイク生成回路７４の入力端子７５に電流Ｉｉｎが入力する。出力端子７６の電圧は電圧Ｖｏｕｔである。

【０４０１】

図７８（ｂ）に示すように、内部状態Ｓは、電流Ｉｉｎの履歴に依存する状態である。実施例１から４およびその変形例では、内部状態Ｓは中間ノードＮｉの電圧である。内部状態Ｓは電流Ｉｉｎの履歴に対応し変化する。例えば、実施例３の図８ではノードＮ１（中間ノードＮｉに相当する）の電圧は入力端子７５（Ｔｉｎ）に入力する電流Ｉｉｎの積分値に比例する。時刻ｔ５８において、内部状態Ｓが閾値状態Ｓｔｈに達すると、スパイク生成回路７４は電圧Ｖｏｕｔとしてスパイク信号５２を出力する。スパイク信号５２とは、幅に意味がなくタイミングのみに意味を有する電圧パルスである。時刻ｔ５８の直後に内部状態Ｓはリセットされる。

【０４０２】

内部状態Ｓは、例えば特許文献６に記載されているスイッチ素子の内部状態でもよい。例えば、内部状態Ｓは電流が発生するジュール熱の積分値である温度でもよい。図７８（ｂ）では、電流Ｉｉｎの履歴に依存して内部状態Ｓは正側に変化していき、正の閾値状態Ｓｔｈに達するとスパイク信号５２が出力される。電流Ｉｉｎの履歴に依存して内部状態Ｓは負側に変化していき、負の閾値状態Ｓｔｈに達するとスパイク信号５２が出力されてもよい。図７８（ｃ）では、電圧Ｖｏｕｔは０Ｖであり、電源電圧ＶＤＤのスパイク信号５２が出力されているが、電圧ＶｏｕｔはＶＤＤであり、０Ｖのスパイク信号５２が出力されてもよい。

【０４０３】

このように、スパイク生成回路７４は、入力端子７５に入力する入力電流の履歴に依存する内部状態Ｓが閾値状態Ｓｔｈに達すると、ハイレベルまたはローレベルの単発のスパイク信号５２を出力しかつ内部状態Ｓを初期値にリセットする回路である。

【０４０４】

図７９（ａ）および図７９（ｂ）は、比較例１および実施例１０に係る電子回路のブロック図であり、図７７（ａ）および図７７（ｂ）の電子回路をネットワーク状に接続した図である。図７９（ａ）における複数のＦＦ回路７０の間および図７９（ｂ）におけるＦＦ回路７０とスパイク生成回路７４との間には、組み合わせ回路が設けられていてもよい。

【０４０５】

図７９（ａ）に示すように、比較例１の電子回路１７５では、ＦＦ回路７０の出力端子と次段のＦＦ回路７０との間にスパイク生成回路７４が設けられていない。各ＦＦ回路７０にはクロック信号ＣＬＫが入力する。ＦＦ回路７０はクロック信号ＣＬＫに同期して次段のＦＦ回路７０にデータを出力する。ＦＦ回路７０間に伝送される信号はローレベル／ハイレベルのビット信号である。

【０４０６】

図７９（ｂ）に示すように、実施例１０の電子回路１７６では、ＦＦ回路７０の出力端子と次段のＦＦ回路７０との間にスパイク生成回路７４が設けられている。各ＦＦ回路７０にはクロック信号ＣＬＫは入力しない。スパイク生成回路７４から次段のＦＦ回路７０に伝送される信号はスパイク信号である。

【０４０７】

図７７（ａ）の比較例１に係る電子回路では、前段のＦＦ回路７０ａが出力するビット信号によりＦＦ回路７０ｂの状態は一意的に書き換えられる。すなわち、前段が定まれば後段が一意的に決まる。このため、一部のＦＦ回路７０だけの状態を書き換えることがで

きない。図７９（ａ）では、各ＦＦ回路７０はクロック信号ＣＬＫに同期して動作し、電子回路１７５全体が一斉に動作する中央集権的に動作する。

【０４０８】

例えば振動発電等の環境発電は発電電力が小さい。このため、環境発電に用いられる電力変換回路を制御する制御回路は、消費電力を小さくすることが求められる。クロック信号に同期して動作する比較例１の電子回路１７５では、クロック信号ＣＬＫのローレベルとハイレベルとの切り替えの度にＣＭＯＳ回路に充放電電流が流れる。このため、待機電力が生じてしまう。環境発電の制御回路では、制御に要する時間は比較的長く、例えばm秒以上である。このため、クロック信号ＣＬＫに同期させて電子回路１７５を動かさなくてもよい。

【０４０９】

図７７（ｂ）の実施例１０に係る電子回路では、ＦＦ回路７０ａ（第１メモリ回路）の出力端子７２ｂ（第１出力端子）は、スパイク生成回路７４（第１スパイク生成回路）の入力端子７５に接続されている。スパイク生成回路７４は前段のＦＦ回路７０ａの出力よらず、内部状態Ｓが閾値状態Ｓｔｈに達するとスパイク信号を出力する。このため、入力端子７１ａ（第１入力端子）がスパイク生成回路７４の出力端子７６に接続されたＦＦ回路７０ｂ（第２メモリ回路）は、スパイク生成回路７４がスパイク信号５２を出力しない限り後段のＦＦ回路７０ｂの状態は書き換えられない。

【０４１０】

図７９（ｂ）のようなネットワークにおいては、一部のＦＦ回路７０だけの状態を個別に書き換えることができる。よって、各ＦＦ回路７０は非同期に動作可能であり、電子回路１７６の局所的および分散的に動作可能である。

【０４１１】

例えば、実施例７の図４４の電力変換回路１２０では、整流回路６２、６４、判定回路６５および降圧回路６６内の制御回路は、動作が必要なときに各制御回路内のスパイク生成回路がスパイク信号を生成し、制御回路が動作する。一方、制御回路が動作しなくてもよいときは、制御回路内のスパイク生成回路はスパイク信号を生成しない。スパイク信号が生成されないと、制御回路の待機電力はほとんど発生しない。よって、消費電力を抑制できる。

【０４１２】

図７７（ｂ）のように、ＦＦ回路７０ａの出力端子７２ｂは、組み合わせ回路７７ａの１または複数の入力端子の少なくとも１つと接続されてもよい。スパイク生成回路７４の入力端子７５は組み合わせ回路７７ａの１または複数の出力端子に接続されていてもよい。スパイク生成回路７４の入力端子７５に組み合わせ回路７７ａの複数の出力端子が接続される場合には、組み合わせ回路７７ａの複数の出力端子は例えばＯＲ回路等を介しスパイク生成回路７４の入力端子７５に接続される。また、スパイク生成回路７４の出力端子７６は、組み合わせ回路７７ｂの１または複数の入力端子の少なくとも１つと接続され、ＦＦ回路７０ｂの入力端子７１ａは組み合わせ回路７７ｂの１または複数の出力端子に接続されていてもよい。

【０４１３】

図８０（ａ）および図８０（ｂ）は、実施例１０に係る電子回路の例を示す図である。ＦＦ回路７０ａの出力端子７２ｂ（第１出力端子）にスパイク生成回路７４の入力端子７５が接続され、ＦＦ回路７０ａの出力端子７２ａ（第２出力端子）にスパイク生成回路７４ａ（第２スパイク生成回路）の入力端子７５が接続されていてもよい。これにより、ＦＦ回路７０ａの出力を複数のスパイク生成回路７４および７４ａに入力させることができる。ＦＦ回路７０ａとスパイク生成回路７４および７４ａの間には組み合わせ回路が設けられてもよい。その他の構成は実施例１０の図７７（ｂ）と同じであり説明を省略する。

【０４１４】

図８０（ｂ）に示すように、ＦＦ回路７０ｂの入力端子７１ａ（第１入力端子）にスパイク生成回路７４の出力端子７６が接続され、入力端子７１ｂ（第２入力端子）にスパイ

ク生成回路７４ｂ（第３スパイク生成回路）の出力端子７６が接続されている。これにより、ＦＦ回路７０ａの入力に複数のスパイク生成回路７４および７４ｂを接続させることができる。ＦＦ回路７０ｂとスパイク生成回路７４および７４ｂの間には組み合わせ回路が設けられてもよい。その他の構成は実施例１０の図７７（ｂ）と同じであり説明を省略する。

【０４１５】

［実施例１０の変形例１］

図８１（ａ）は、実施例１０の変形例１に係る電子回路のブロック図である。図８１（ａ）に示すように、実施例１０の変形例１に係る電子回路１７７では、ＦＦ回路７０ａの入力端子７１ａにはスパイク生成回路７４ａからスパイク信号が入力する。ＦＦ回路７０ａの出力端子７２ｂはスパイク生成回路７４の入力端子７５に接続されている。スパイク生成回路７４の出力端子７６はＦＦ回路７０ａの入力端子７１ｂに接続されている。

【０４１６】

スパイク生成回路７４ａがスパイク信号を出力するとＦＦ回路７０ａはスパイク生成回路７４にハイレベルを出力する。スパイク生成回路７４がスパイク信号５２を出力すると、ＦＦ回路７０ａはスパイク生成回路７４にローレベルを出力する。これにより、スパイク生成回路７４の入力端子７５のレベルがリセットされる。

【０４１７】

実施例１０の変形例１のように、ＦＦ回路７０ａの出力端子７２ｂが入力端子７５に接続されたスパイク生成回路７４の出力端子７６をＦＦ回路７０ａの入力端子７１ｂに接続する。これにより、スパイク生成回路７４がスパイク信号５２を出力すると、ＦＦ回路７０ａの出力端子７２ｂの出力をリセットできる。

【０４１８】

［実施例１０の変形例２］

図８１（ｂ）は、実施例１０の変形例２に係る電子回路のブロック図である。図８１（ｂ）に示すように、実施例１０の変形例２に係る電子回路１７７ａでは、素子または回路７９の一端はＦＦ回路７０ａの出力端子７２ｂに接続され、他端はスパイク生成回路７４の入力端子７５に接続されている。素子または回路７９は、一端と他端との電圧差に応じた電流を流す。素子または回路７９は、例えばトランジスタ、抵抗またはリーク電流素子であり、実施例８の変形例２の図６４（ａ）の定電流素子または定電流回路３３ｂである。スパイク生成回路７４は、入力端子７５に入力する電流の積分値が閾値に達するとスパイク信号５２を出力する。例えば図６４（ａ）のキャパシタＣ１および出力回路１５０である。その他の回路構成は実施例１０の変形例１と同じであり説明を省略する。

【０４１９】

実施例１０の変形例２では、ＦＦ回路７０ａの入力端子７１ａにスパイク信号が入力してから所定時間後にスパイク生成回路７４がスパイク信号５２を出力するとともに、ＦＦ回路７０ａをリセットする。

【０４２０】

［実施例１０の変形例３］

図８２（ａ）および図８２（ｂ）は、実施例１０の変形例３に係る電子回路のブロック図である。電子回路１７８は、ＦＦ回路７０ｃから７０ｆ、スパイク生成回路７４、７４ｃ、組み合わせ回路として、ＡＮＤ回路７８ａ、７８ｂ、ＯＲ回路７８ｃおよび７８ｄを備えている。各回路の電源電圧は例えば同じ電圧ＶＤＤである。

【０４２１】

図８２（ａ）に示すように、ＦＦ回路７０ｃの入力端子７１ａおよび７１ｂにはそれぞれスパイク信号５２ｂおよび５２ｃが入力する。これにより、ＦＦ回路７０ｃはスパイク信号５２ｂが入力すると出力端子７２ｂにビット信号Ｌ／Ｈ１としてハイレベルを出力し、スパイク信号５２ｃが入力すると出力端子７２ｂにビット信号Ｌ／Ｈ１としてローレベルを出力する。

【０４２２】

ＯＲ回路７８ｃにスパイク信号５２ｄおよび５２ｅが入力する。ＯＲ回路７８ｃの出力はＦＦ回路７０ｄの入力端子７１ａに入力する。このように、ＯＲ回路７８ｃ等の組み合わせ回路を用い複数の経路からのスパイク信号を１つのＦＦ回路７０ｄの入力端子７１ａに入力させてもよい。ＦＦ回路７０ｄは入力端子７１ａにスパイク信号が入力すると、出力端子７２ｂにビット信号Ｌ／Ｈ２としてハイレベルを出力する。

【０４２３】

ＡＮＤ回路７８ａにビット信号Ｌ／Ｈ１およびＬ／Ｈ２が入力し、ＡＮＤ回路７８ａの出力はスパイク生成回路７４に入力する。ＦＦ回路７０ｃおよび７０ｄの両方がハイレベルになってから所定時間後にスパイク生成回路７４はスパイク信号５２を出力する。ＦＦ回路７０ｃ、７０ｄとＡＮＤ回路７８ａ等の組み合わせ回路とを用い、ある条件が満たされるまで、スパイク生成回路７４への入力を待機させてもよい。

【０４２４】

スパイク信号５２は、ＯＲ回路７８ｄを介しＦＦ回路７０ｄの入力端子７１ｂに入力する。これにより、ＦＦ回路７０ｄは出力端子７２ｂにビット信号Ｌ／Ｈ２としてローレベルを出力する。すなわち、ビット信号Ｌ／Ｈ２はリセットされる。

【０４２５】

ＦＦ回路７０ｅの入力端子７１ａおよび７１ｂにはそれぞれスパイク信号５２ｆおよび５２ｇが入力する。これにより、ＦＦ回路７０ｅはスパイク信号５２ｆが入力すると出力端子７２ｂにビット信号Ｌ／Ｈ３としてハイレベルを出力し、スパイク信号５２ｇが入力すると出力端子７２ｂにビット信号Ｌ／Ｈ３としてローレベルを出力する。ビット信号Ｌ／Ｈ３は時定数の短いスパイク生成回路７４ｃを介してＯＲ回路７８ｄに入力する。これにより、スパイク信号５２が出力されなくてもビット信号Ｌ／Ｈ３がハイレベルとなれば、ビット信号Ｌ／Ｈ２はリセットされる。また、図８２（ｂ）のようにＯＲ回路７８ｄの代わりにＡＮＤ回路７８ｅとした場合には、ビット信号Ｌ／Ｈ２およびＬ／Ｈ１がハイレベルかつＬ／Ｈ３がローレベルの間は、スパイク生成回路７４は一定間隔でスパイク信号５２を出力し続ける。このように、ＦＦ回路７０ｄ、７０ｅおよびＯＲ回路７８ｄ等の組み合わせ回路を用い、スパイク信号５２が出力される前にＦＦ回路７０ｄをリセットしてもよい。また、ある条件が満たされるまでスパイク信号５２を出力し続けてもよい。

【０４２６】

ＦＦ回路７０ｆの入力端子７１ａおよび７１ｂにはそれぞれスパイク信号５２ｈおよび５２ｉが入力する。これにより、ＦＦ回路７０ｆはスパイク信号５２ｈが入力すると出力端子７２ｂにビット信号Ｌ／Ｈ４としてハイレベルを出力し、スパイク信号５２ｉが入力すると出力端子７２ｂにビット信号Ｌ／Ｈ４としてローレベルを出力する。ビット信号Ｌ／Ｈ４はＡＮＤ回路７８ｂに入力する。ＡＮＤ回路７８ｂは、ビット信号Ｌ／Ｈ４がハイレベルのときスパイク信号５２を通過させるが、ビット信号Ｌ／Ｈ４がローレベルのときスパイク信号５２を通過させない。このように、ＦＦ回路７０ｆおよびＡＮＤ回路７８ｂの組み合わせ回路を用い、ある条件が満たされたときのみスパイク信号５２を通過させてもよい。

【０４２７】

図８２（ｃ）は、実施例１０の変形例３に係る電子回路のシンボルを示す図である。図８２（ｃ）に示すように、電子回路１７８の入力端子Ｔｉｎにスパイク信号５２ｂから５２ｉが入力する。電子回路１７８の出力端子Ｔｏｕｔ１からスパイク信号５２が出力する。出力端子Ｔｏｕｔ２からビット信号Ｌ／Ｈ１からＬ／Ｈ４が出力する。このように、電子回路１７８は１または複数のスパイク信号が入力すると、１または複数のスパイク信号および１または複数のビット信号を出力する。電子回路１７８は、図８２（ａ）の回路構成以外にも、１または複数のスパイク信号が入力すると、１または複数のビット信号および１または複数のスパイク信号の少なくとも１つの信号を出力すればよい。

【０４２８】

電子回路１７８に入力するスパイク信号の例を説明する。図８３（ａ）および図８３（ｂ）は、実施例１０の変形例３における電子回路に入力するスパイク信号の例を示す図で

ある。図８３（ａ）に示すように、スパイク信号５２ｊはセンサ７９ａが出力する信号でもよい。図８３（ｂ）に示すように、コンパレータ７９ｂは電子回路７９ｃの入力端子にビット信号Ｌ／Ｈを出力する。電子回路７９ｃはビット信号Ｌ／Ｈの立ち上がりおよび立ち下りのときにスパイク信号５２ｊを出力する。スパイク信号５２ｊはビット信号Ｌ／Ｈの立ち上がりおよび立ち下りのとき出力される信号でもよい。

【０４２９】

電子回路１７８が出力するスパイク信号が用いられる回路例を説明する。図８４（ａ）および図８４（ｂ）は、実施例１０の変形例３における電子回路から出力するスパイク信号が用いられる回路例を示す図である。図８４（ａ）に示すように、トランジスタ７９ｈの制御端子に電子回路１７８が出力するスパイク信号５２および／またはビット信号Ｌ／Ｈが入力する。ＦＦ回路７０ｂの入力端子７１ａまたは７１ｂに電子回路１７８が出力するスパイク信号５２が入力し、ＦＦ回路７０ｂが出力するビット信号Ｌ／Ｈがトランジスタ７９ｈの制御端子に入力してもよい。このように、電子回路１７８が出力するスパイク信号５２および／またはビット信号Ｌ／Ｈはトランジスタ７９ｈを制御してもよい。

【０４３０】

図８４（ｂ）に示すように、ＦＦ回路７０ｂの入力端子７１ａまたは７１ｂに電子回路１７８が出力するスパイク信号５２が入力する。このように、電子回路１７８が出力するスパイク信号５２はＦＦ回路７０ｂの書き換えに用いてもよい。

【０４３１】

図８５（ａ）および図８５（ｃ）は、実施例１０の変形例３における電子回路から出力するスパイク信号が用いられる例を示す回路図であり、図８５（ｂ）および図８５（ｄ）は、アンテナから出力される電磁波の大きさ（電界）を示す図である。

【０４３２】

図８５(ａ）に示すように、パワーアンプ７９ｄは、電子回路１７８が出力するスパイク信号５２を増幅する。アンテナ７９ｅは増幅されたスパイク信号を電磁波として出力する。図８５（ｂ）に示すように、アンテナ７９ｅからスパイク信号５２に相当するスパイク信号が出力される。

【０４３３】

図８５（ｃ）に示すように、バンドパスフィルタ７９ｆはパワーアンプ７９ｄとアンテナ７９ｅとの間に接続されている。バンドパスフィルタ７９ｆはスパイク信号５２のうち無線通信に適した特定の周波数帯域の成分のみを通過させる。図８５（ｄ）に示すように、アンテナ７９ｅからスパイク信号５２のうち特定の周波数帯域に相当する信号が出力される。

【０４３４】

図８５（ａ）から図８５（ｄ）のように、電子回路１７８から出力されるスパイク信号５２をインパルス通信に用いてもよい。

【０４３５】

［実施例１０の変形例４］

図８６は、実施例１０の変形例４に係るネットワーク回路の模式図である。実施例１０の変形例４のように１または複数のスパイク信号が入力し、１または複数のスパイク信号および１または複数のビット信号を出力する電子回路を図８２（ｃ）のシンボルで表す。この電子回路は左側からスパイク信号が入力し、右側にスパイク信号を出力し、上側にビット信号を出力する。図８６に示すように、電子回路１７８がネットワーク的に接続されていてもよい。

【０４３６】

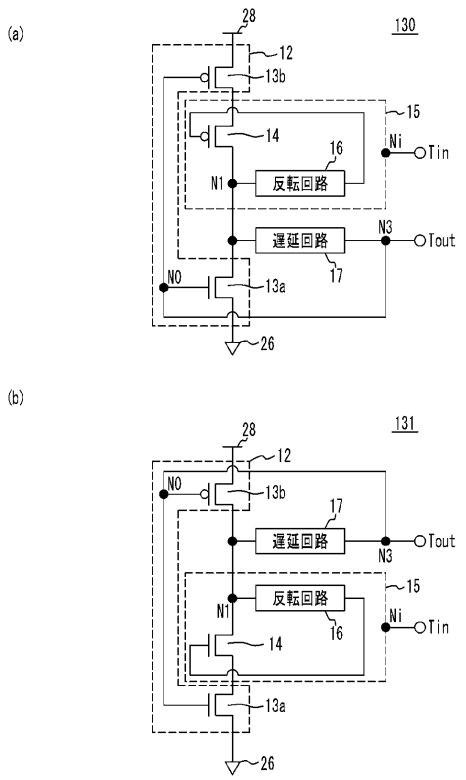
以上、本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【符号の説明】

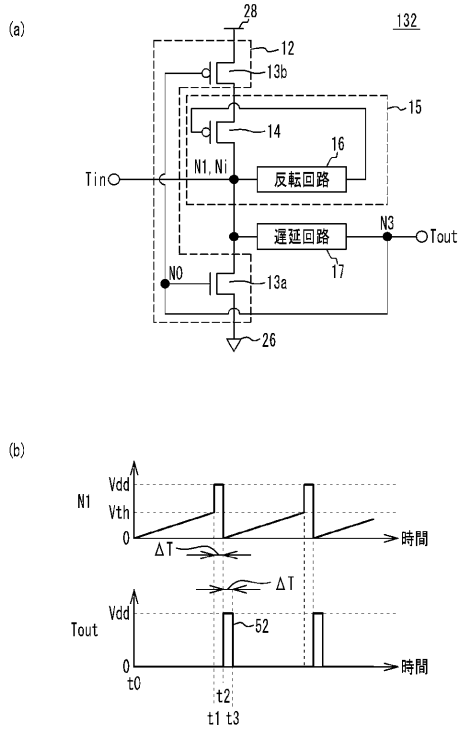
【０４３７】

１０　入力回路
１２、２０、２２ａ－２２ｇ　インバータ
１４、４８　ＦＥＴ
１６、１６ａ、１６ｂ、１８　反転回路
１７　遅延回路
３０　電圧変換回路
３２　時定数回路
３４　抑制回路
４０、７４ａ－７４ｃ　スパイク生成回路
４２　条件設定回路
４４　スパイク処理回路
４５、４５ａ－４５ｆ　ノード回路
４６　フリップフロップ
４７　Ｖｇ生成回路
６０　発電回路
６２、６４　整流回路
６５　判定回路
６６　降圧回路
６８　蓄電回路

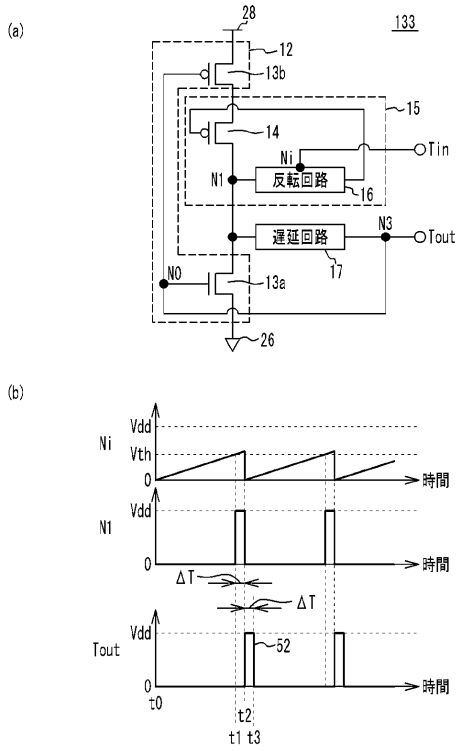
【図１】



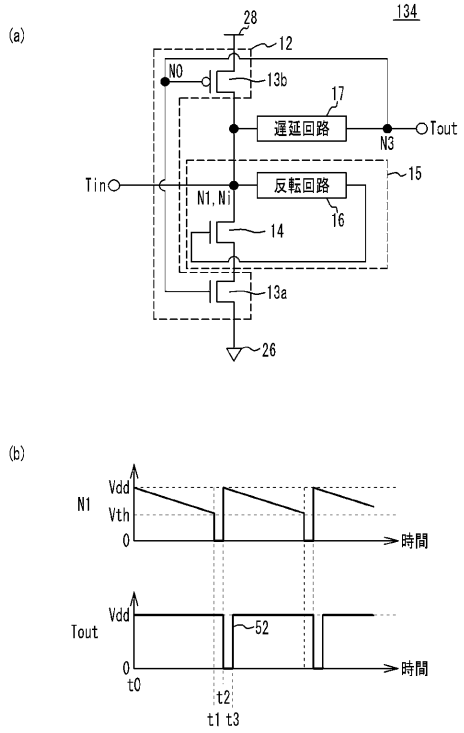
【図２】



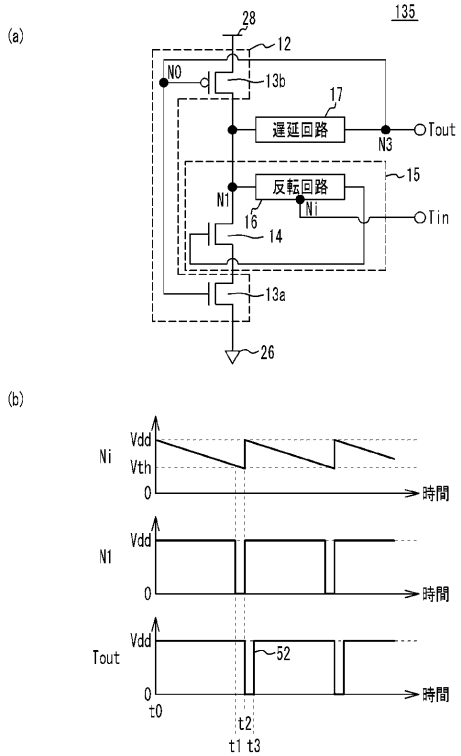
【図３】


(a)
133
28
12
13b
15
14
Ni
Tin
N1
反転回路
16
遅延回路
N3
Tout
17
N0
13a
26
(b)
Ni
Vdd
Vth
0
時間
N1
ΔT
Tout
52
t0
t2
t1 t3

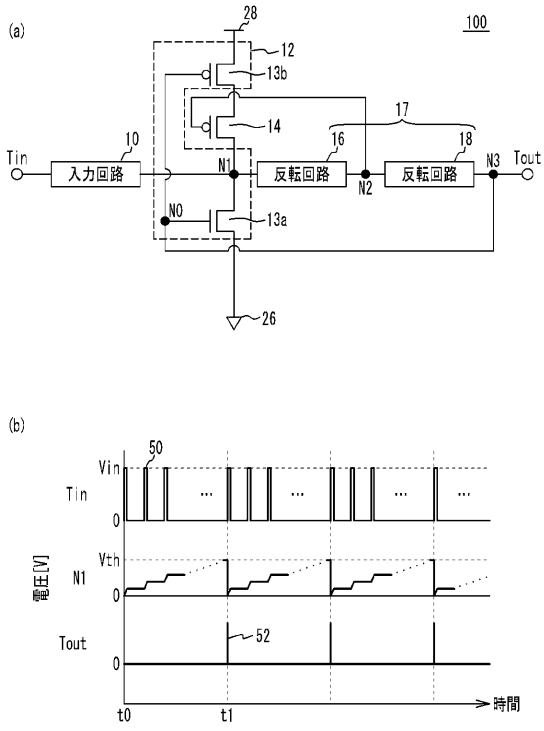
【図４】


(a)
134
28
12
N0
13b
17
遅延回路
Tout
N3
Tin
反転回路
15
N1, Ni
16
14
13a
26
(b)
N1
Vdd
Vth
0
時間
Tout
52
t0
t2
t1 t3

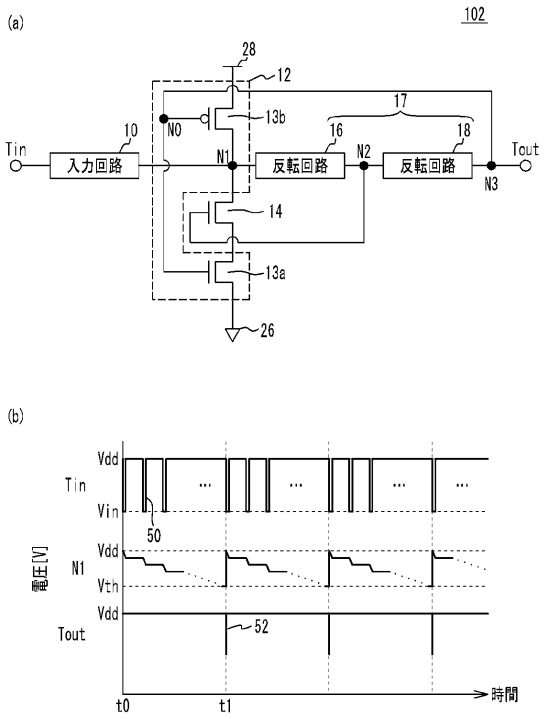
【図５】


(a)
135
28
12
N0
13b
17
遅延回路
Tout
N3
15
反転回路
N1
Ni
16
Tin
14
13a
26
(b)
Ni
Vdd
Vth
0
時間
N1
Tout
52
t0
t2
t1 t3

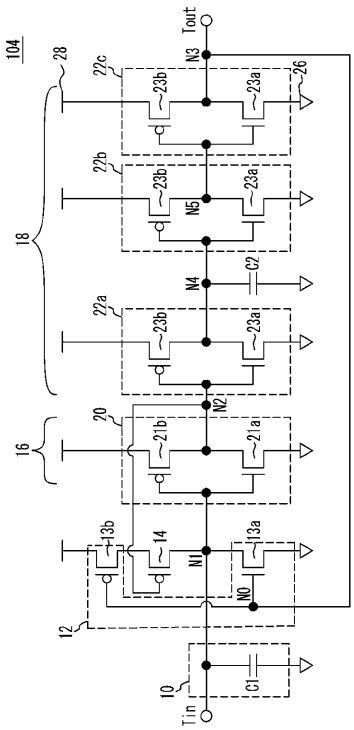
【図６】


(a)
100
28
12
13b
14
17
Tin
10
入力回路
16
18
N1
反転回路
N2
反転回路
N3
Tout
N0
13a
26
(b)
50
Vin
Tin
0
Vth
N1
0
電圧[V]
Tout
52
0
時間
t0
t1

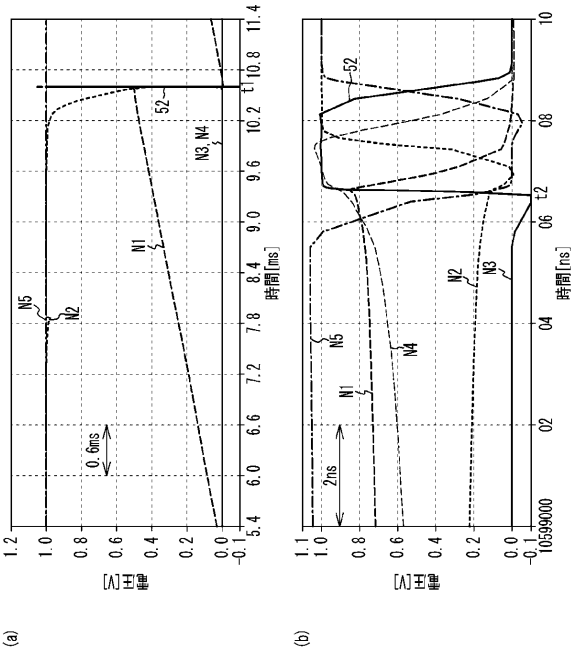
【図７】


(a)
102
28
12
13b
17
10
N0
16
18
Tin
入力回路
N1
反転回路
N2
反転回路
Tout
N3
14
13a
26
(b)
Vdd
Tin
Vin
50
Vdd
N1
Vth
Vdd
Tout
52
電圧[V]
時間
t0
t1

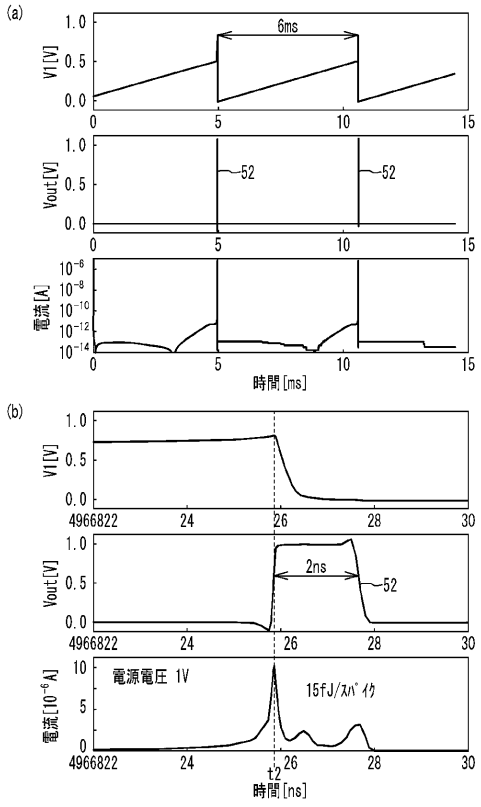
【図８】


104
Tout
N3
28
22c
23b
23a
26
22b
N5
18
C2
N4
22a
N2
20
21b
21a
16
13b
14
N1
13a
N0
12
10
C1
Tin

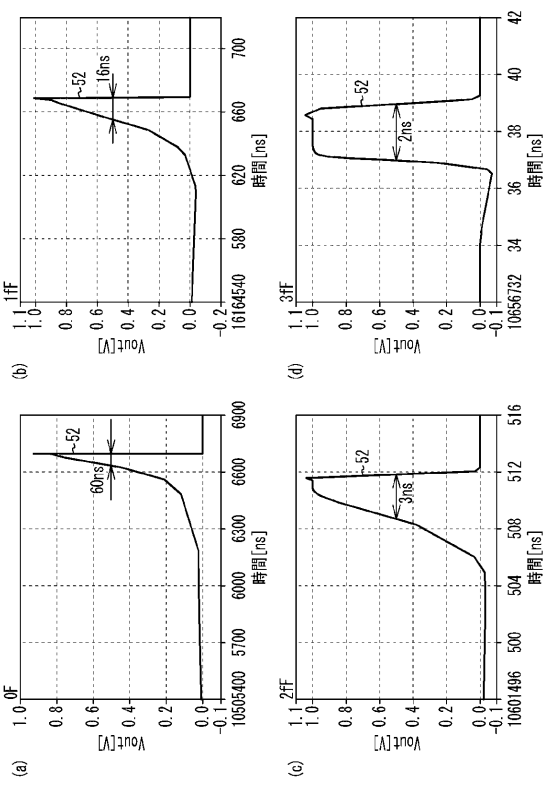
【図９】


(a)
(b)
電圧[V]
時間[ns]
N5
N2
N1
N3,N4
52
0.6ms
N3
N4
2ns

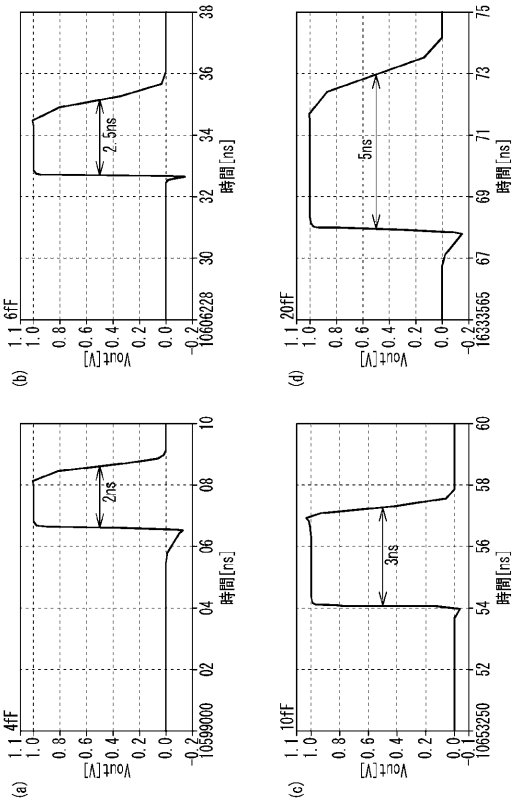
【図１０】


(a)
(b)
V1[V]
Vout[V]
電流[A]
時間[ms]
6ms
52
2ns
電源電圧 1V
15fJ/ｽﾊﾟｲｸ
電流[10⁻⁶A]
t2

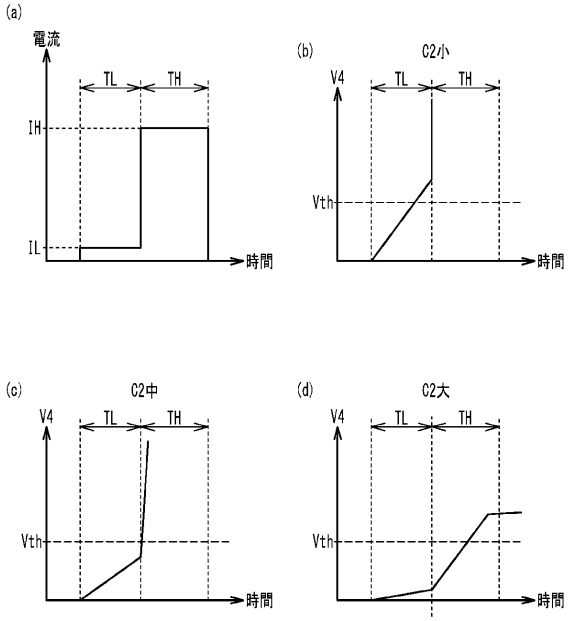
【図１１】



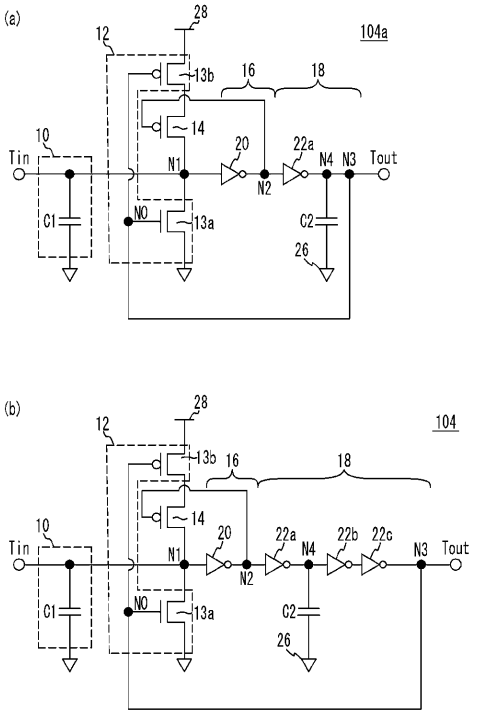
【図１２】



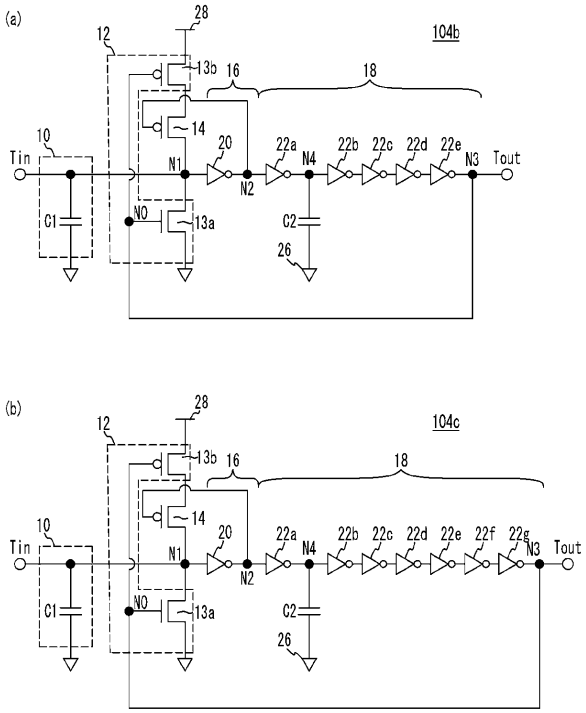
【図１３】



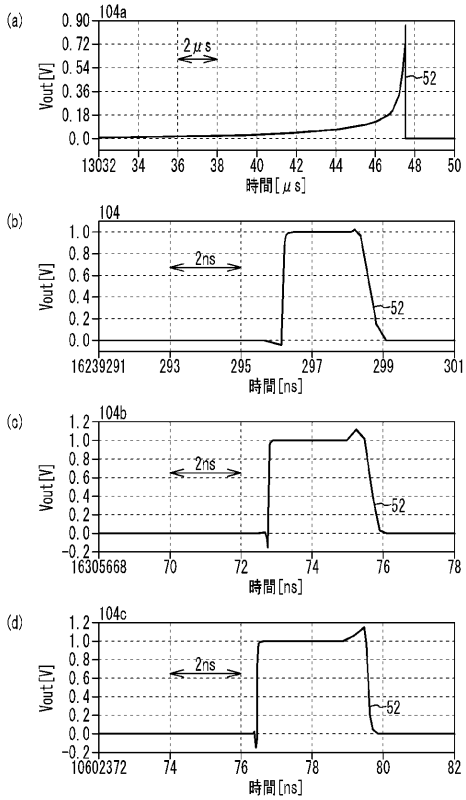
【図１４】



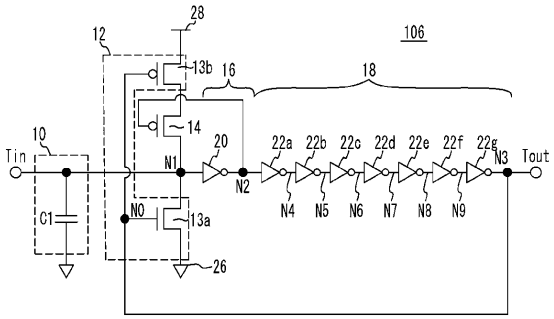
【図１５】



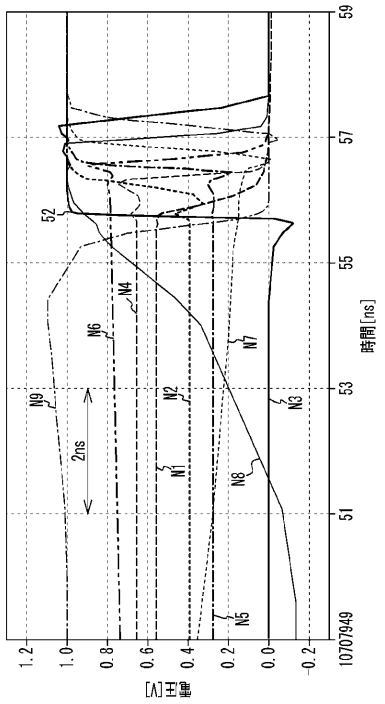
【図１６】



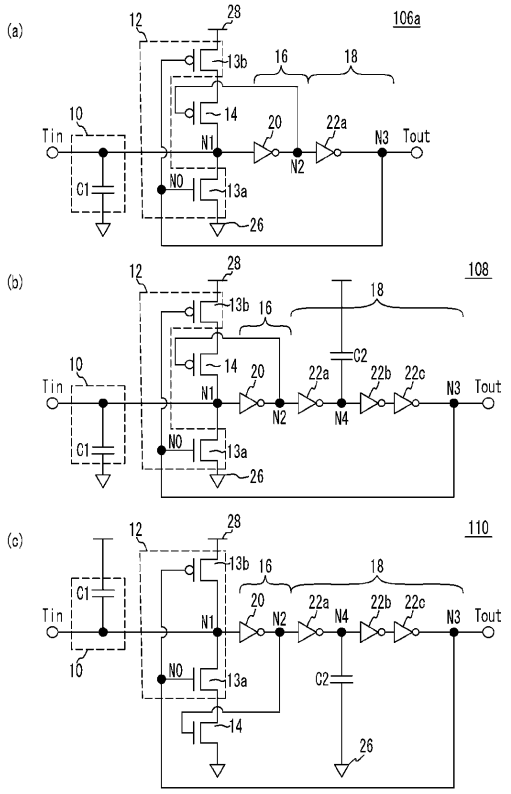
【図１７】



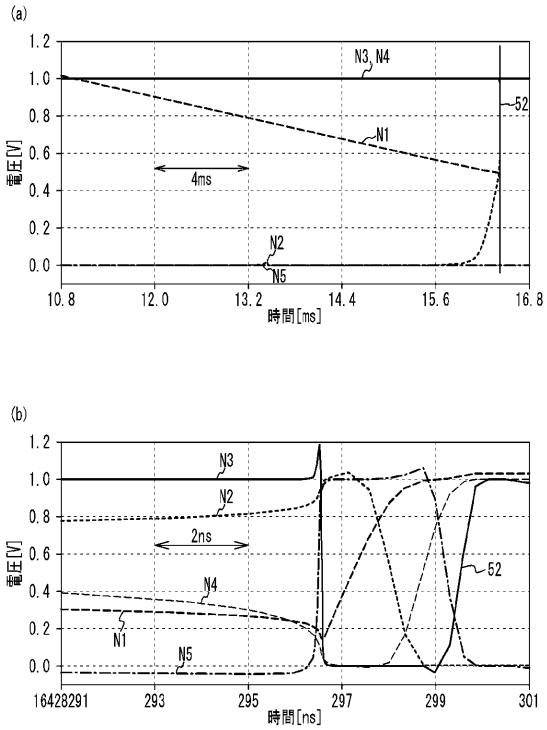
【図１８】



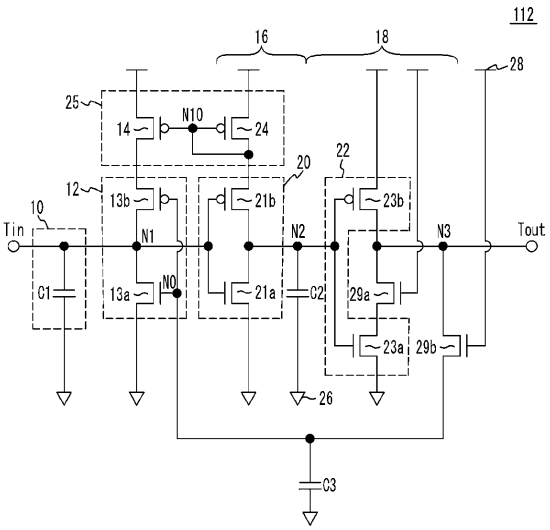
【図１９】



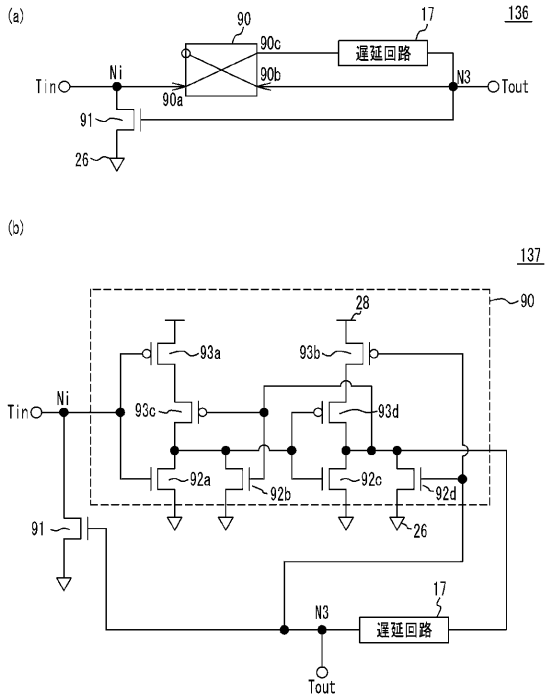
【図２０】



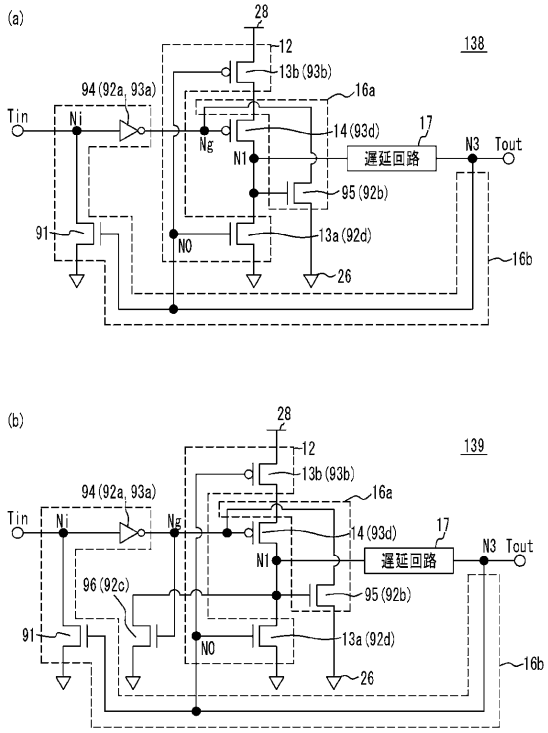
【図２１】



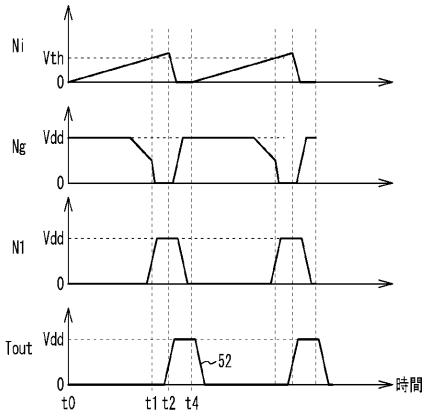
【図２２】



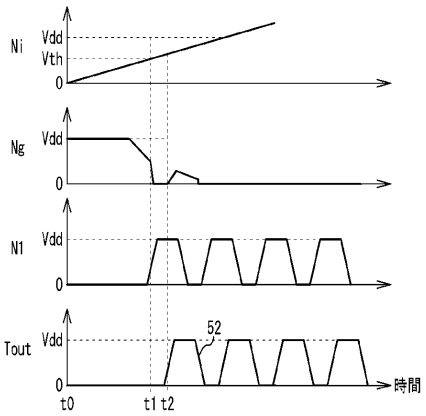
【図２３】



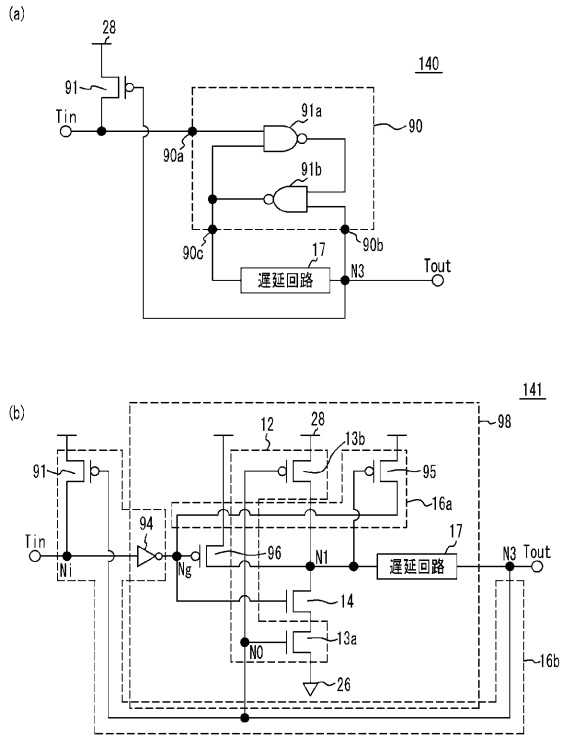
【図２４】



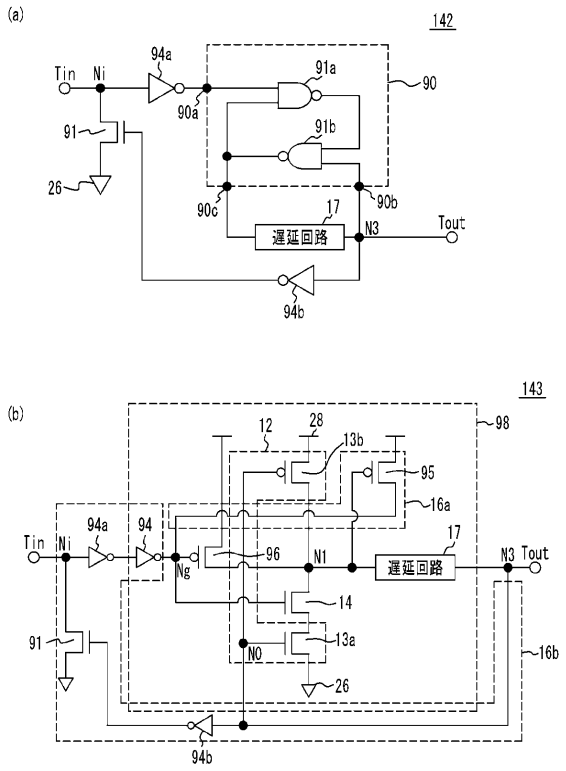
【図２５】



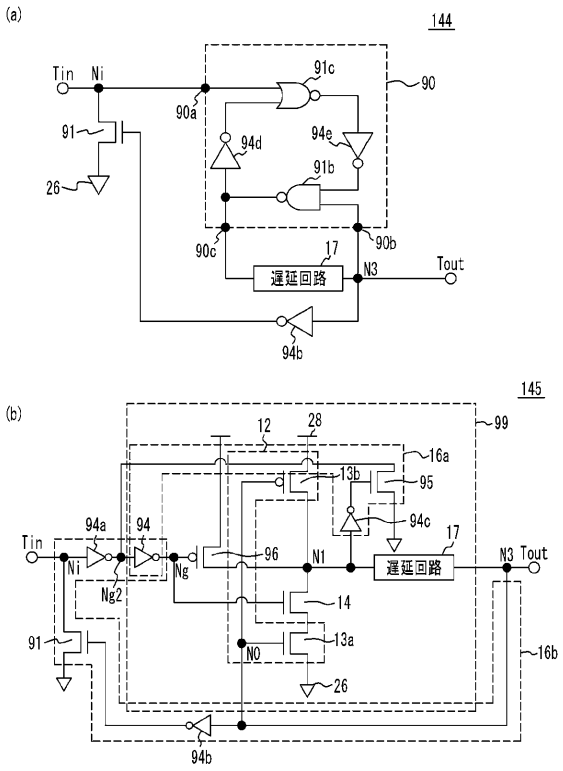
【図２６】



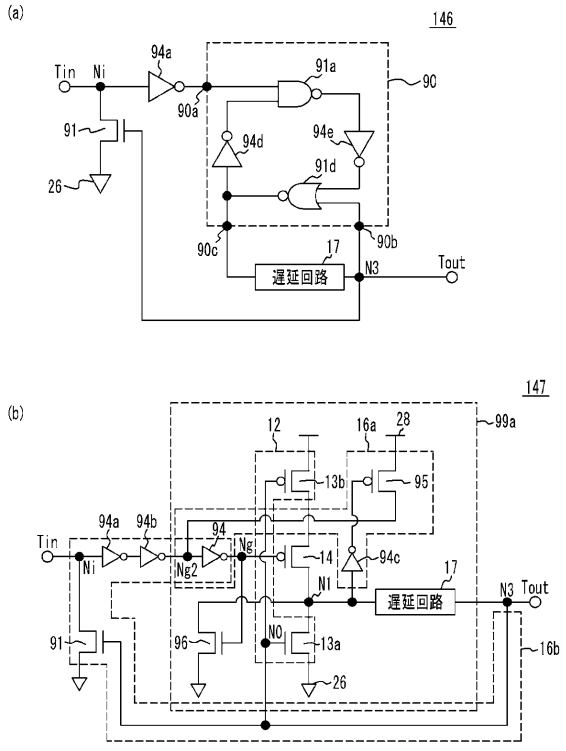
【図２７】



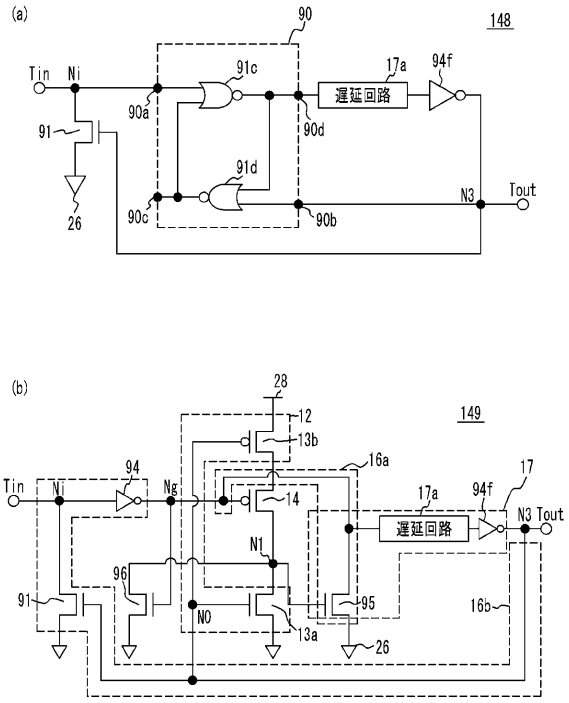
【図２８】



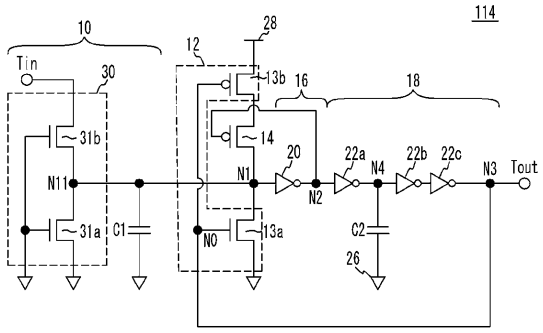
【図２９】



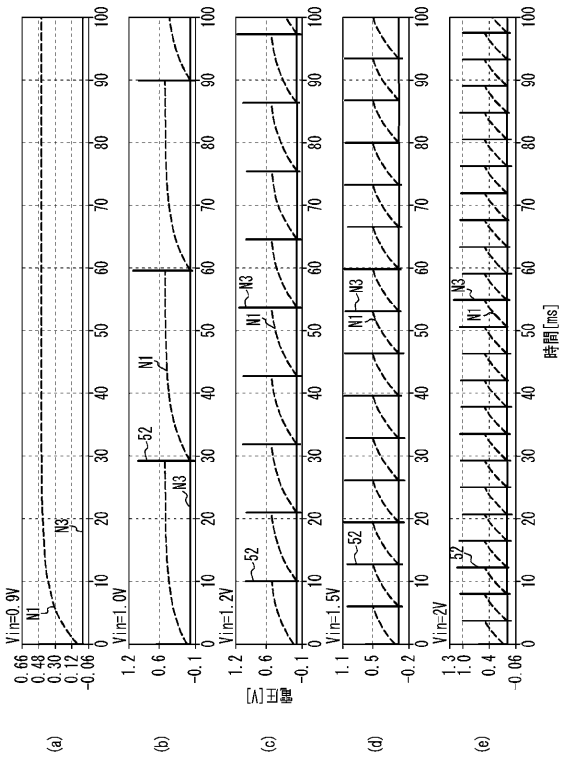
【図３０】



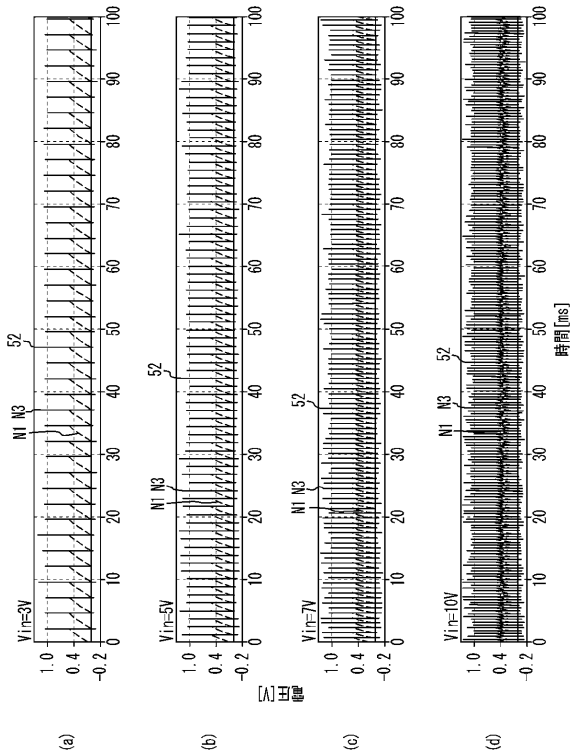
【図３１】



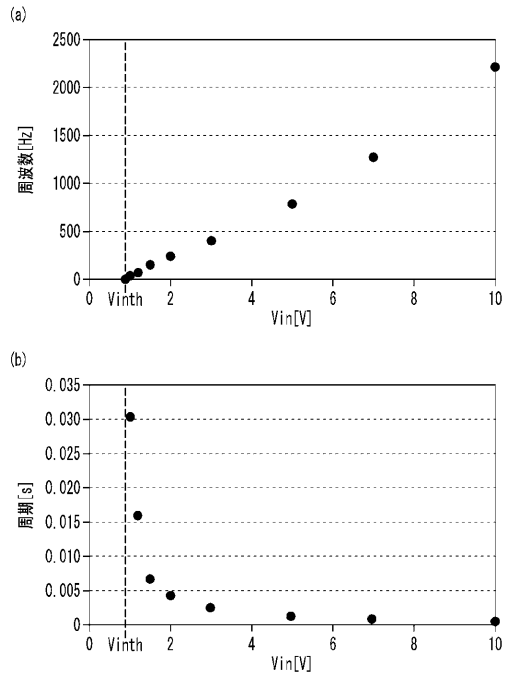
【図３２】



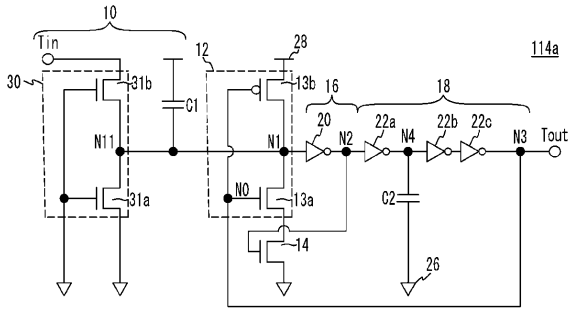
【図３３】



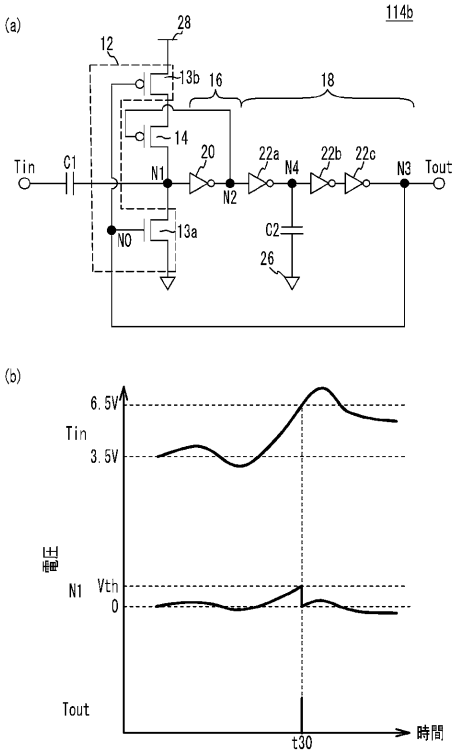
【図３４】



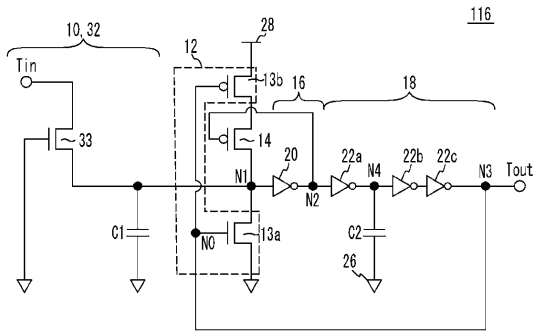
【図３５】



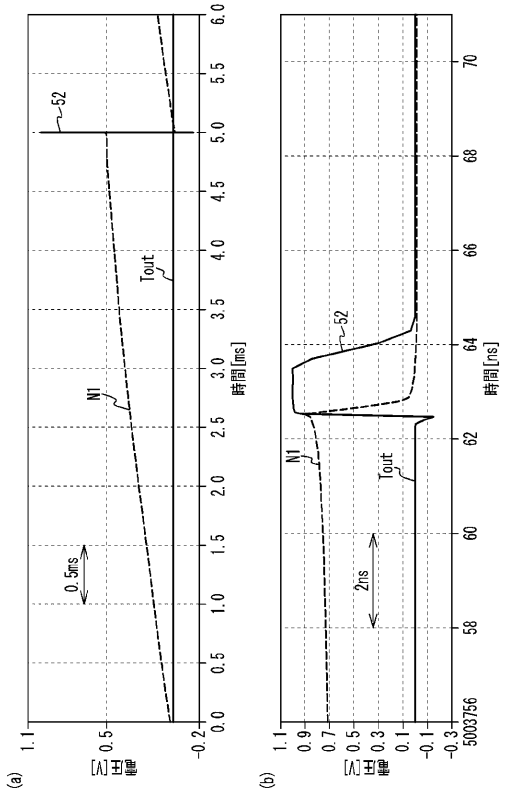
【図３６】



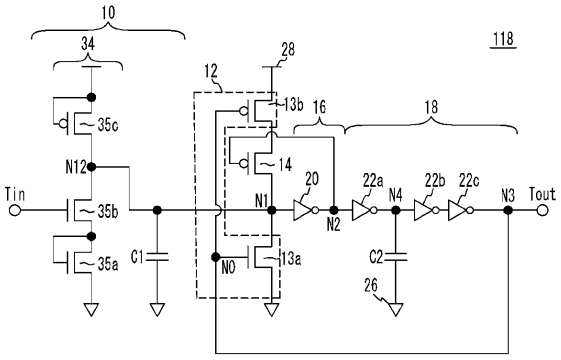
【図３７】



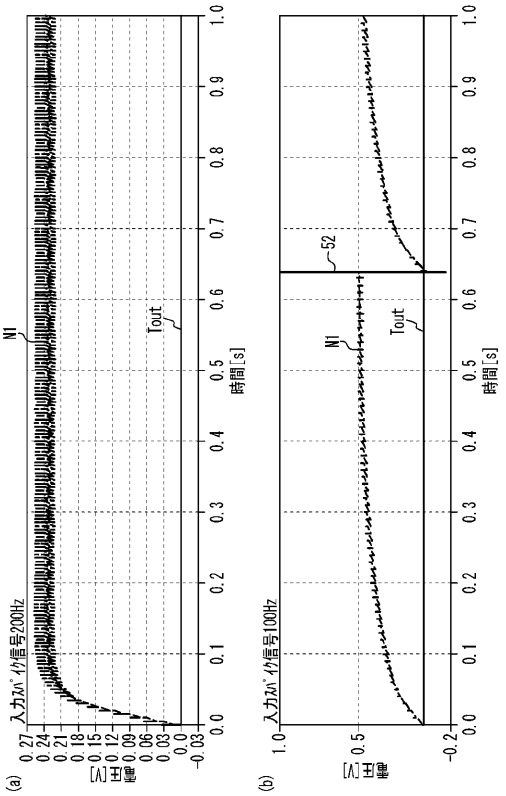
【図３８】



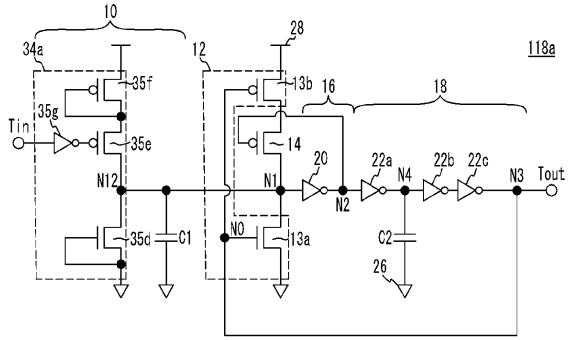
【図３９】



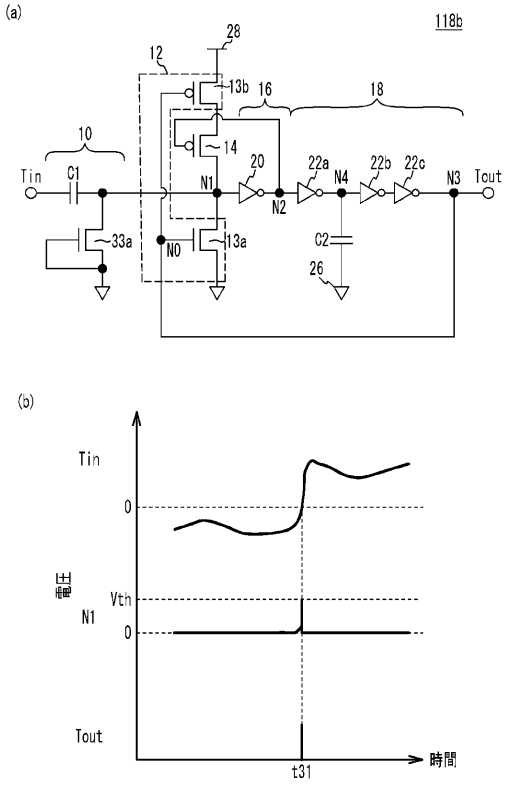
【図４０】



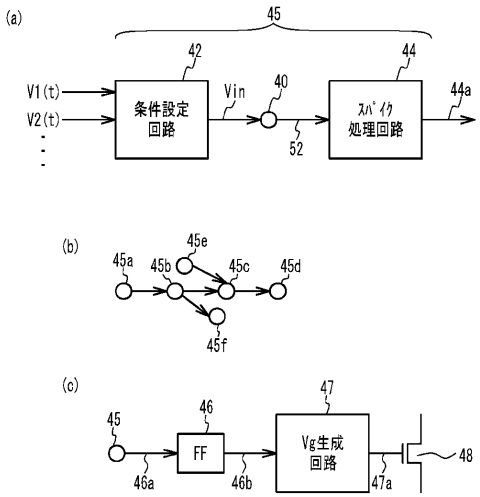
【図４１】



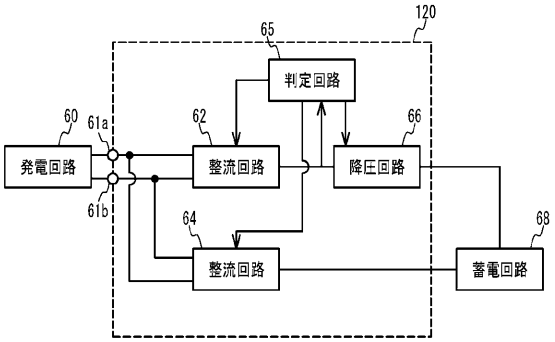
【図４２】



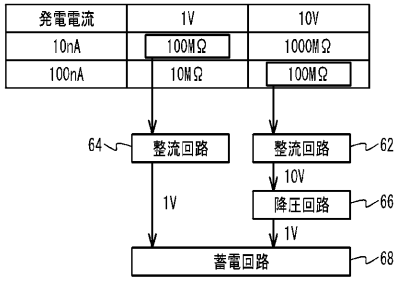
【図４３】



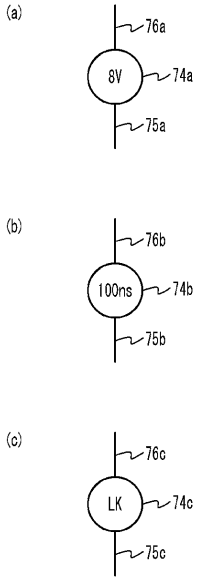
【図４４】



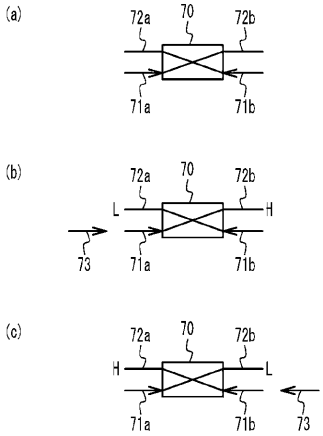
【図４５】



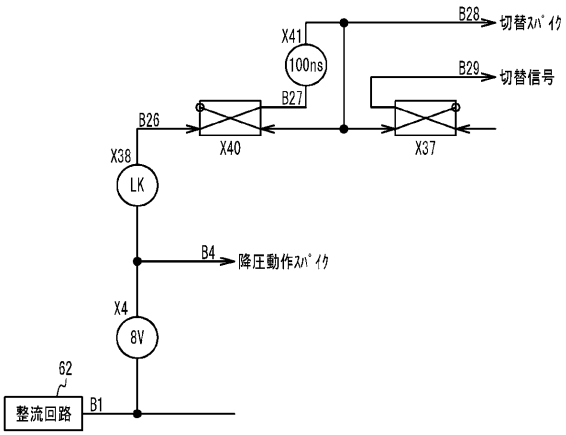
【図４６】



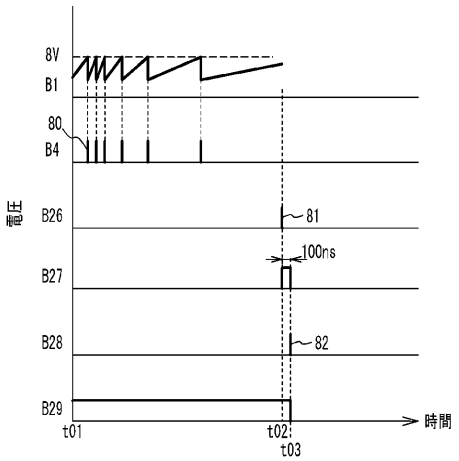
【図４７】



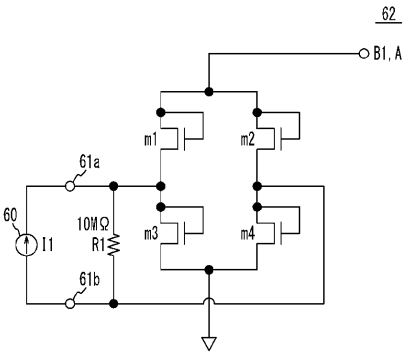
【図４８】



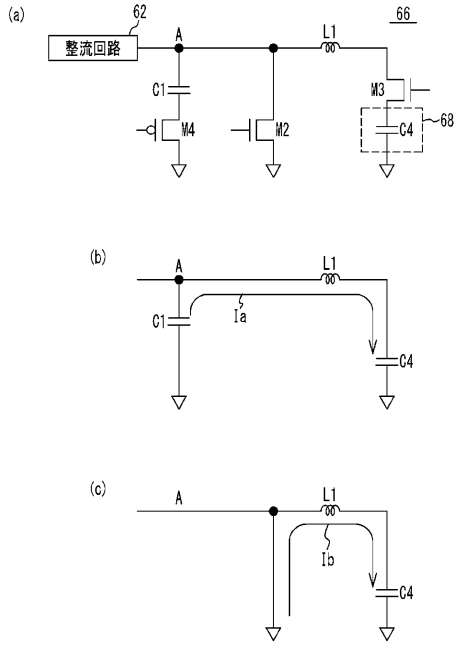
【図４９】



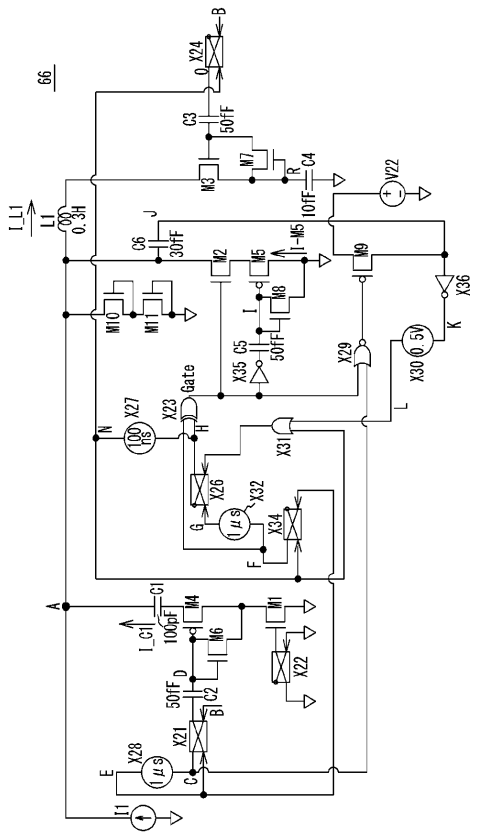
【図５０】



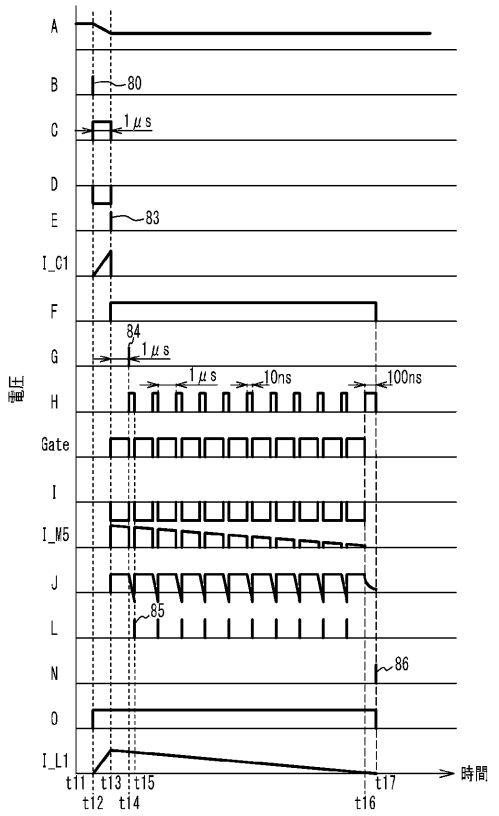
【図５１】



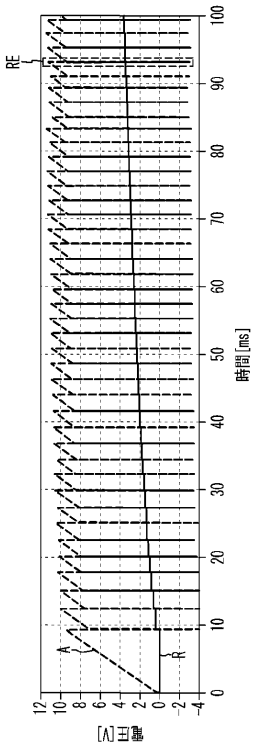
【図５２】



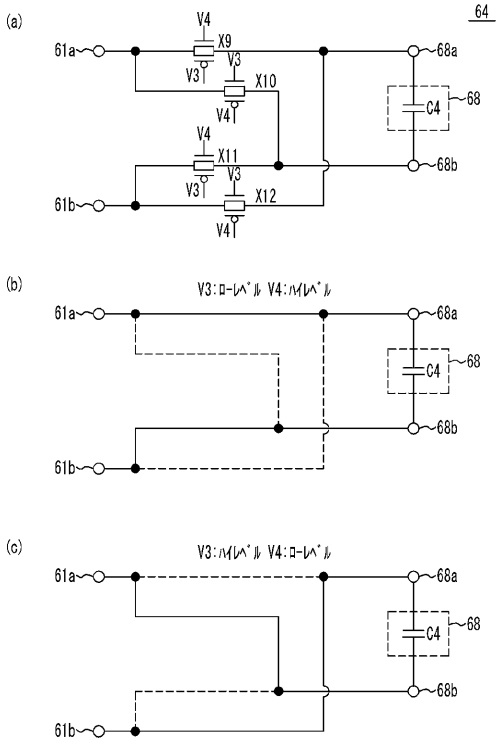
【図５３】



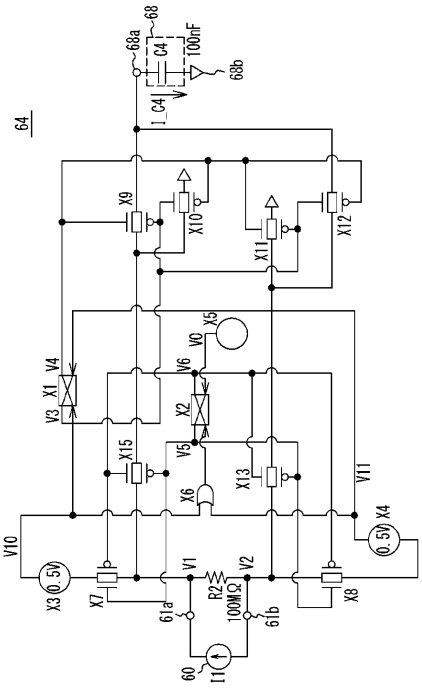
【図５４】



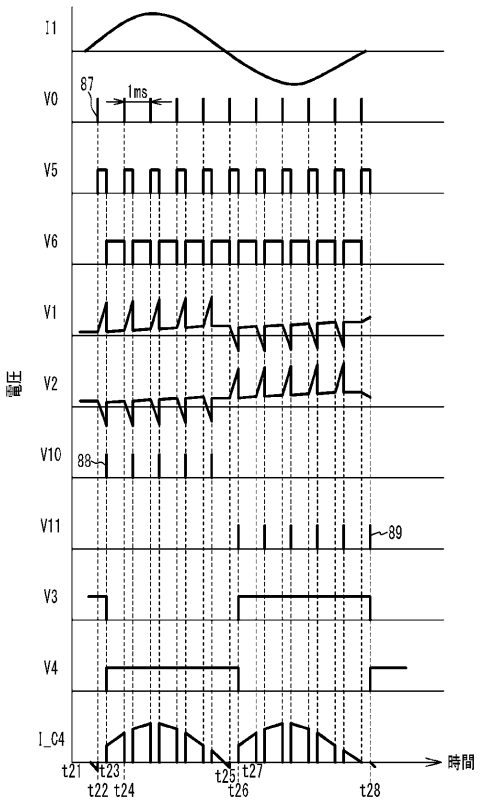
【図５５】



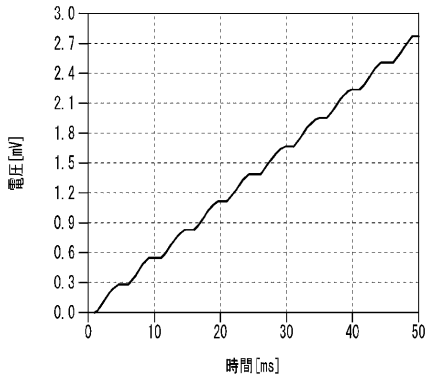
【図５６】



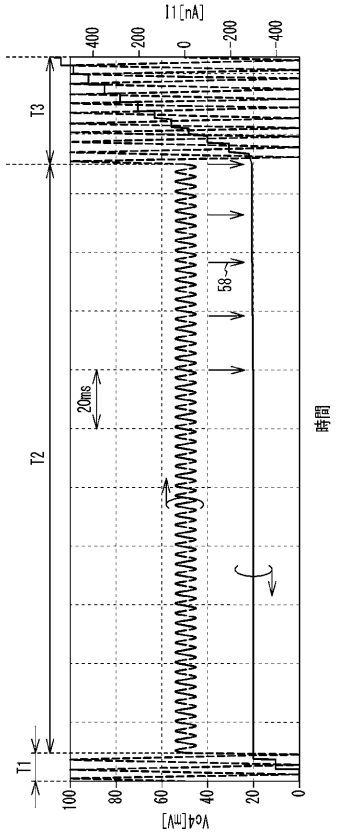
【図５７】



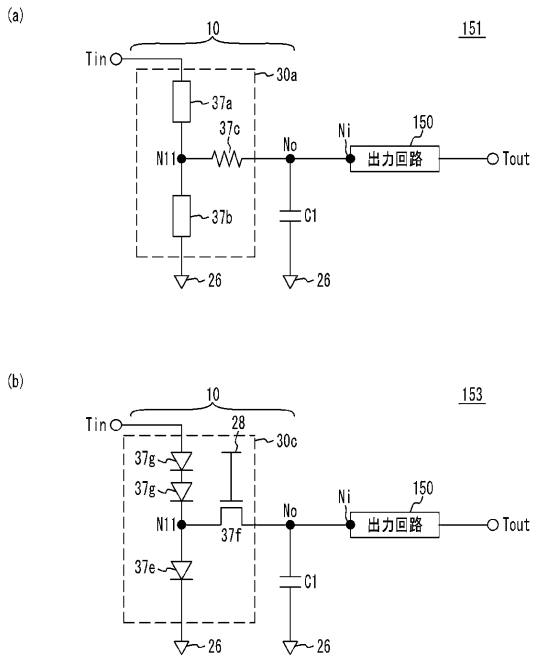
【図５８】



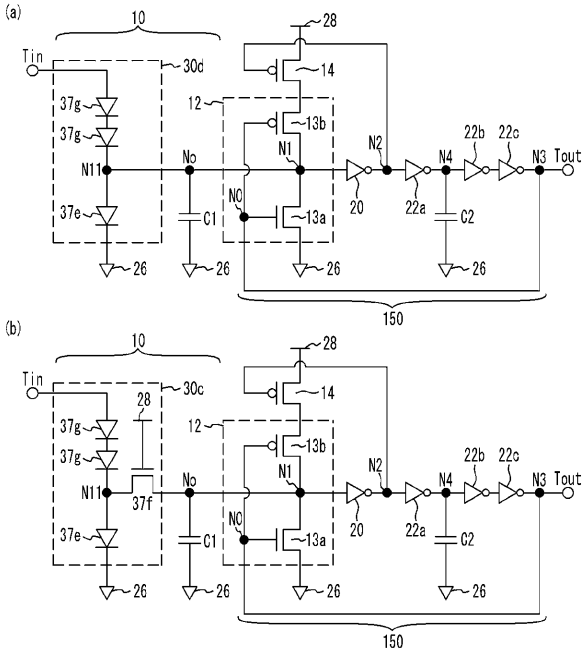
【図５９】



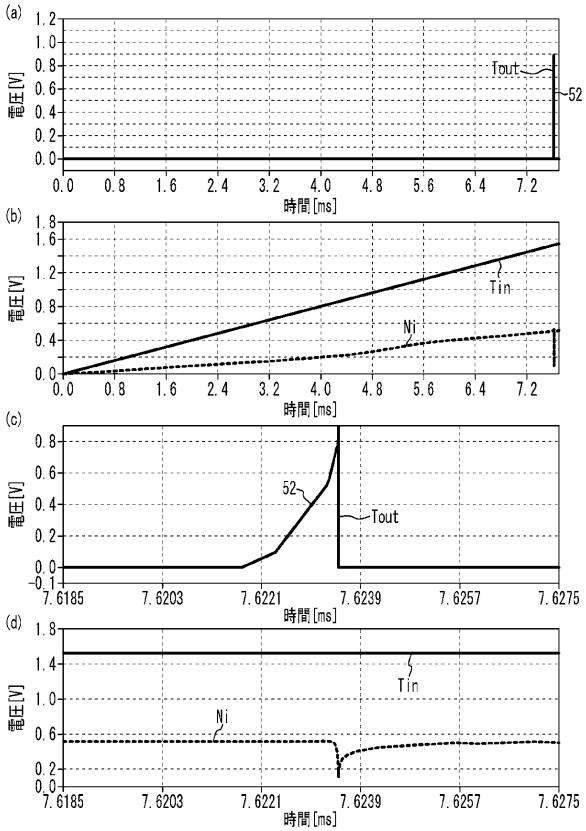
【図６０】



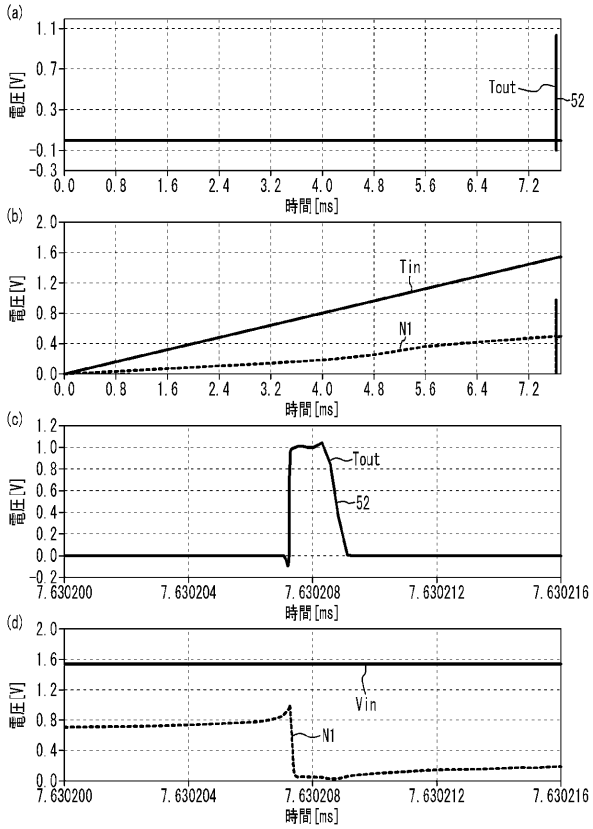
【図６１】



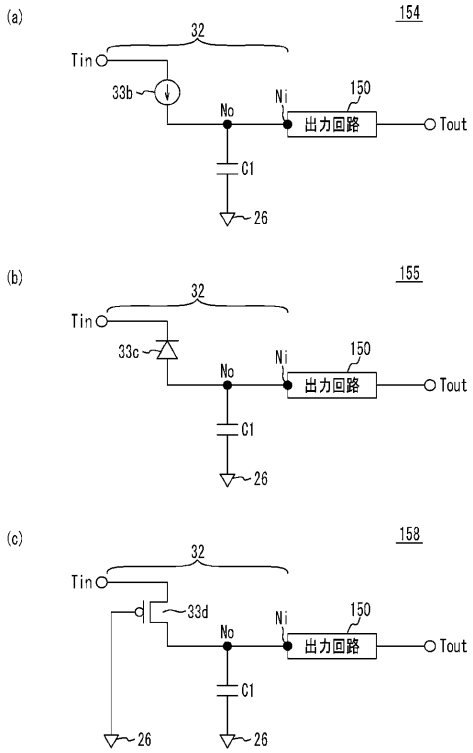
【図６２】



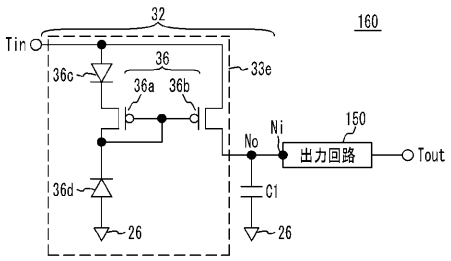
【図６３】



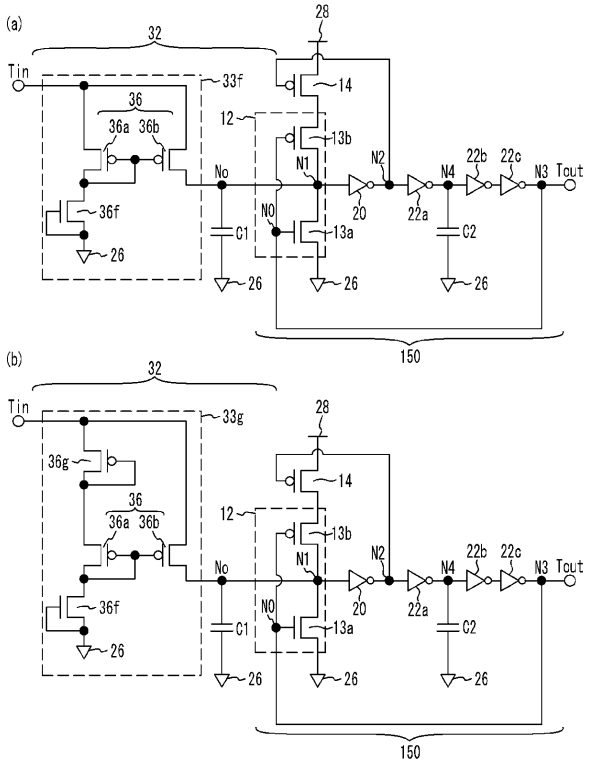
【図６４】



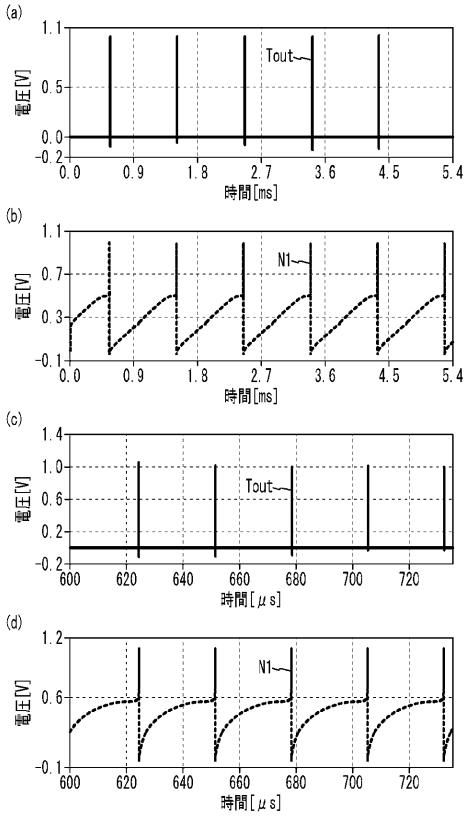
【図６５】



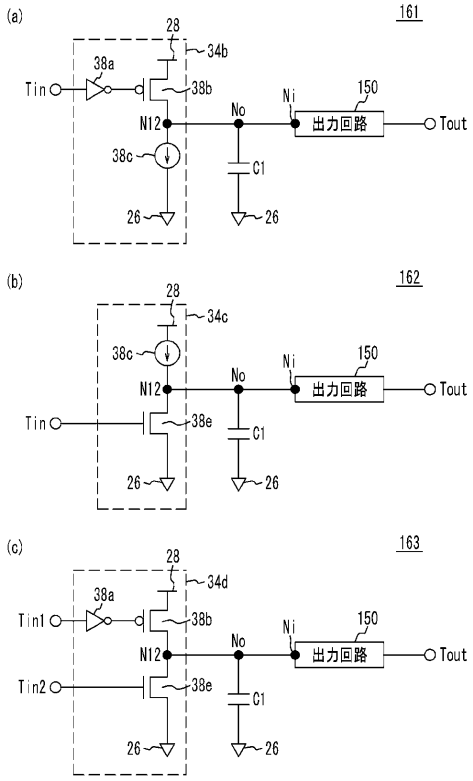
【図６６】



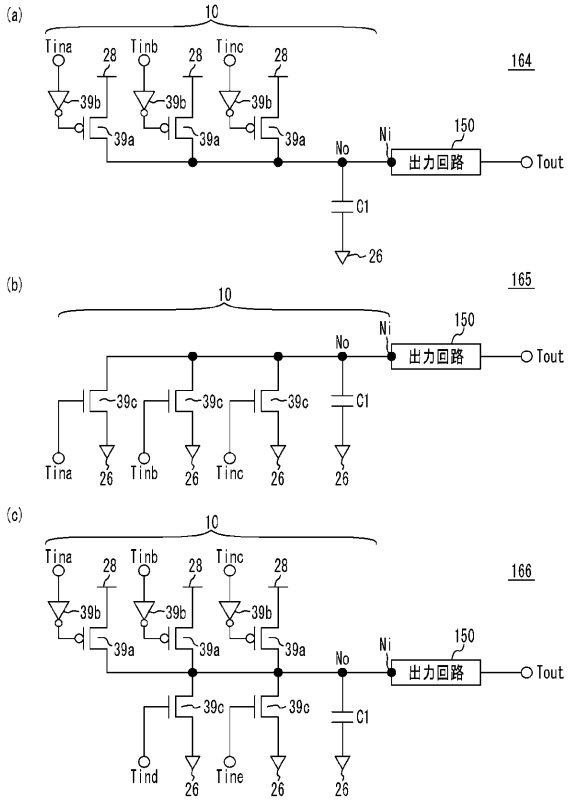
【図６７】



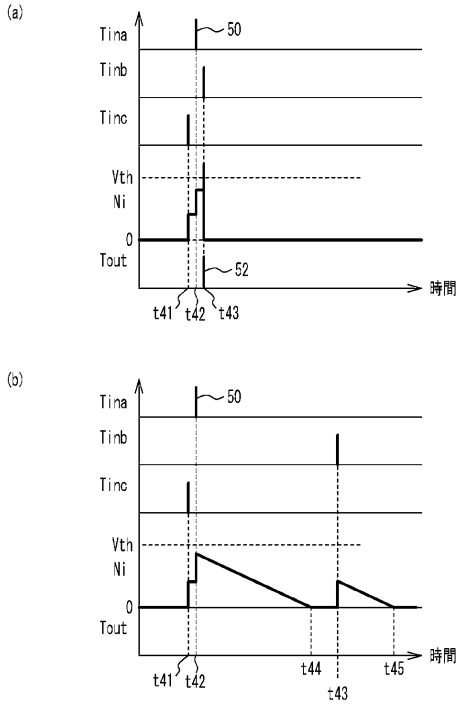
【図６８】



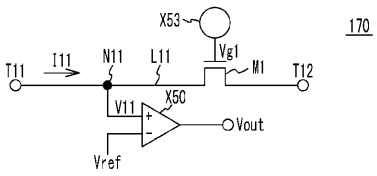
【図６９】



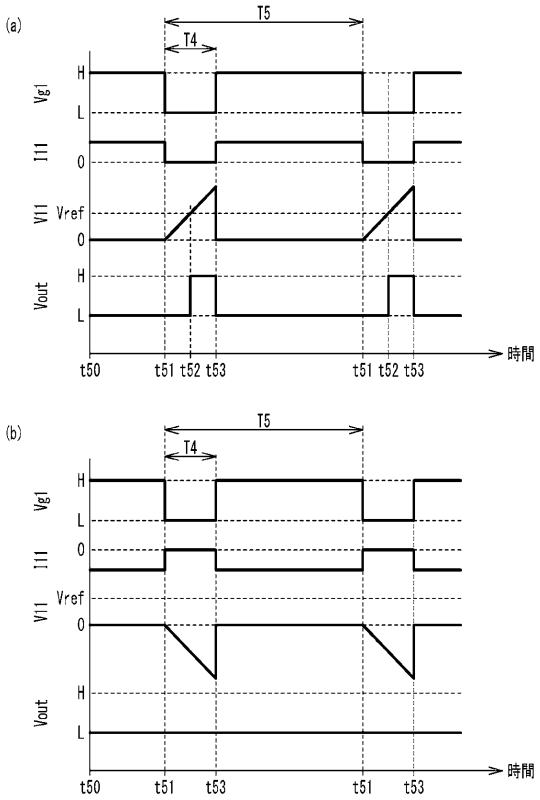
【図７０】



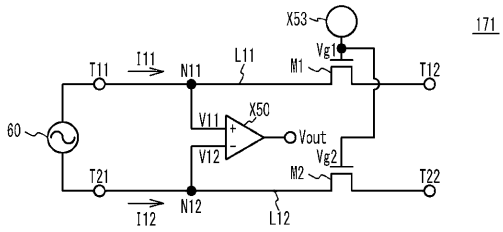
【図７１】



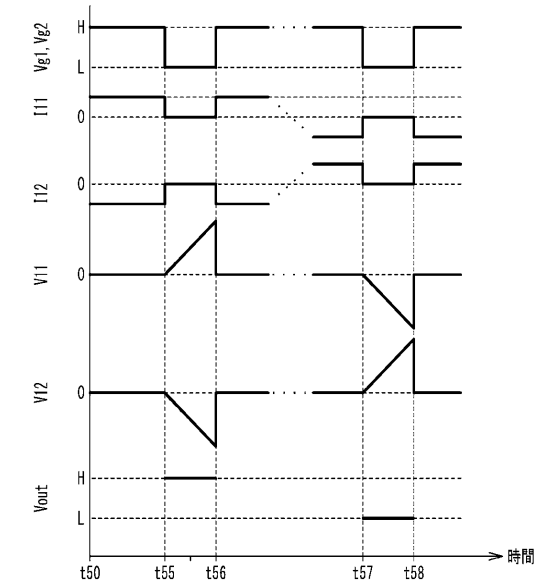
【図７２】



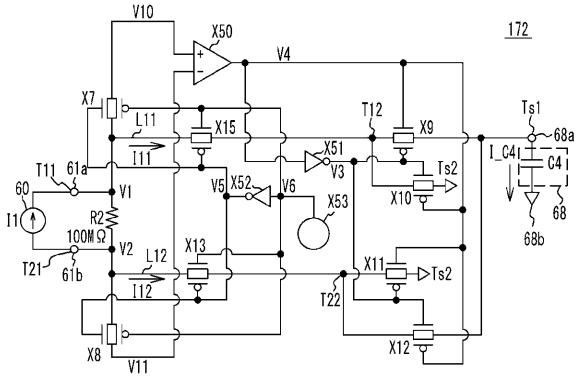
【図７３】



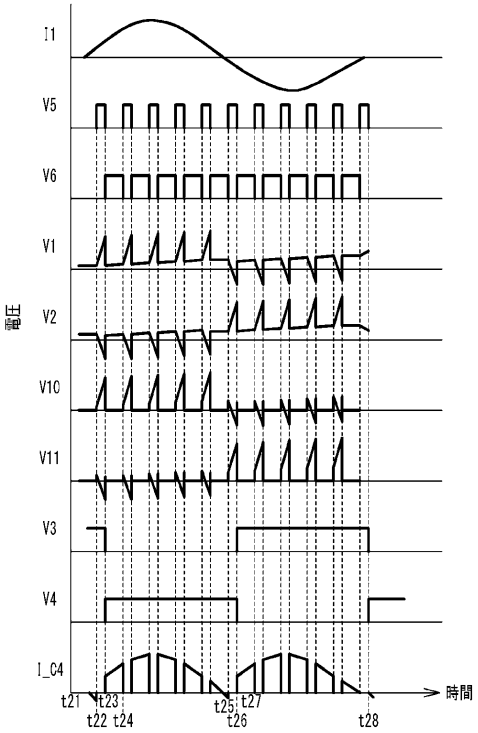
【図７４】



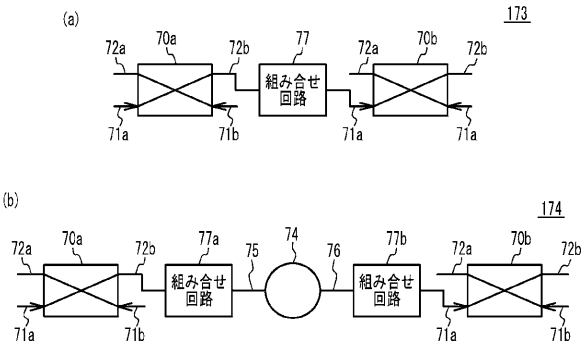
【図７５】



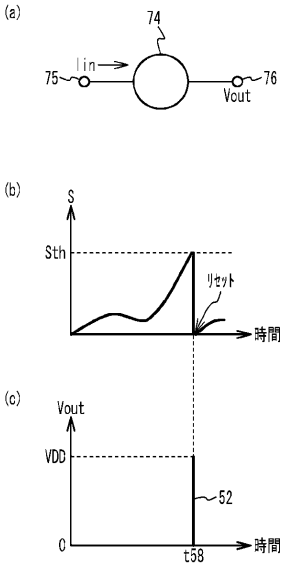
【図７６】



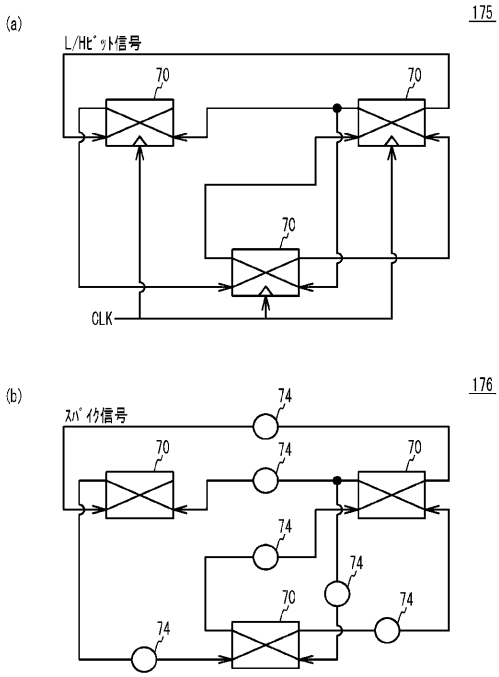
【図７７】



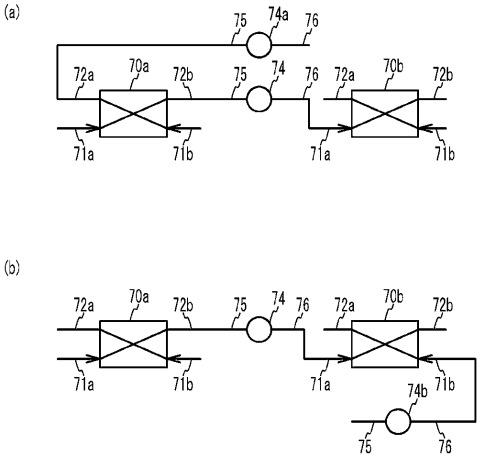
【図７８】



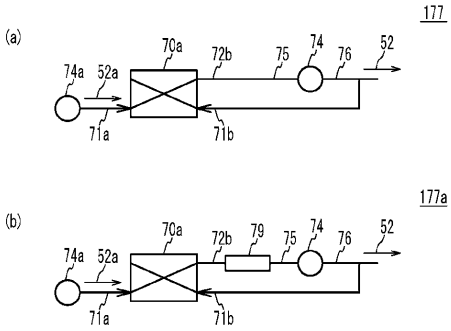
【図７９】



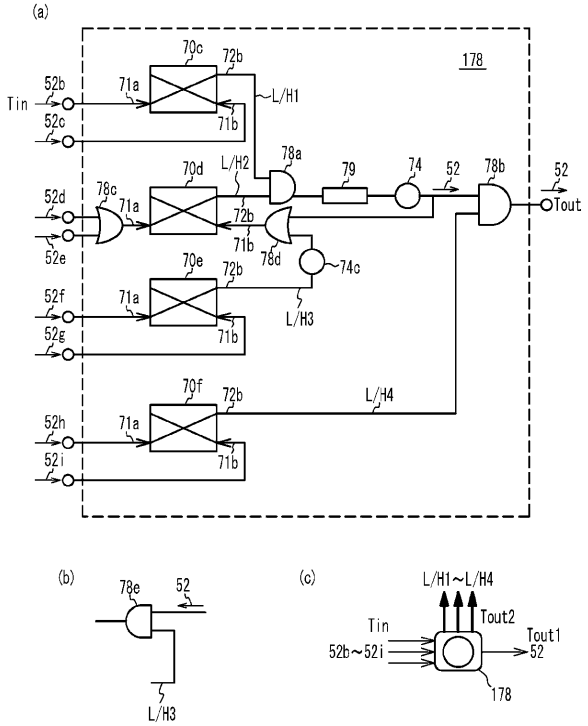
【図８０】



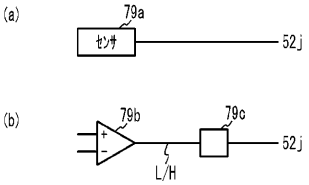
【図８１】



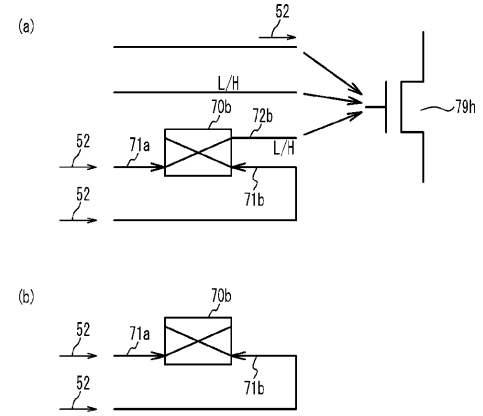
【図８２】



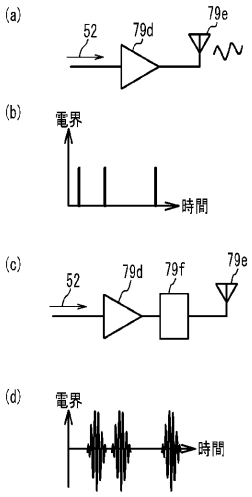
【図８３】



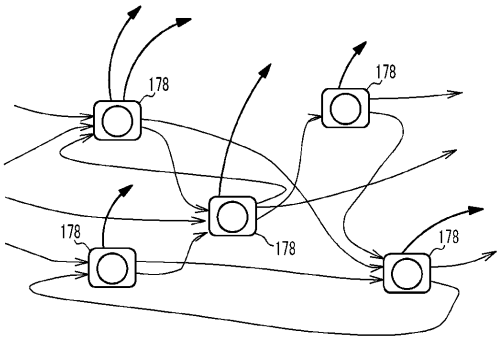
【図８４】



【図８５】



【図８６】



フロントページの続き

(56)参考文献　国際公開第２０１８／１００７９０（WO，Ａ１）
特開昭５０－０１４２６５（ＪＰ，Ａ）
特開２００１－１４８６１９（ＪＰ，Ａ）
特開平１０－３４１５８８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ０６Ｇ７／６０
Ｇ０６Ｎ３／０６３
Ｈ０３Ｋ３／０２