

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7603340号  
(P7603340)

(45)発行日 令和6年12月20日(2024. 12. 20)

(24)登録日 令和6年12月12日(2024. 12. 12)

(51)Int. Cl.	F I
H O 1 L 29/786 (2006. 01)	H O 1 L 29/78 6 1 8 F
H O 1 L 21/336 (2006. 01)	H O 1 L 29/78 6 1 8 B
H O 1 L 21/28 (2006. 01)	H O 1 L 29/78 6 1 8 A
H O 1 L 29/417 (2006. 01)	H O 1 L 29/78 6 2 7 F
H I O K 59/12 (2023. 01)	H O 1 L 29/78 6 1 8 Z

請求項の数 26 (全 37 頁) 最終頁に続く

(21)出願番号 特願2023-500946(P2023-500946)	(73)特許権者 503360115
(86)(22)出願日 令和4年2月18日(2022. 2. 18)	国立研究開発法人科学技術振興機構
(86)国際出願番号 PCT/JP2022/006733	埼玉県川口市本町四丁目1番8号
(87)国際公開番号 W02022/176986	(74)代理人 110000408
(87)国際公開日 令和4年8月25日(2022. 8. 25)	弁理士法人高橋・林アンドパートナーズ
審査請求日 令和5年7月10日(2023. 7. 10)	(72)発明者 細野 秀雄
(31)優先権主張番号 特願2021-26653(P2021-26653)	神奈川県横浜市緑区長津田町4 2 5 9 国
(32)優先日 令和3年2月22日(2021. 2. 22)	立大学法人 東京工業大学内
(33)優先権主張国・地域又は機関 日本国(JP)	(72)発明者 金正煥
(31)優先権主張番号 特願2021-174071(P2021-174071)	神奈川県横浜市緑区長津田町4 2 5 9 国
(32)優先日 令和3年10月25日(2021. 10. 25)	立大学法人 東京工業大学内
(33)優先権主張国・地域又は機関 日本国(JP)	(72)発明者 雲見 日出也
	神奈川県横浜市緑区長津田町4 2 5 9 国
	立大学法人 東京工業大学内

最終頁に続く

(54)【発明の名称】 薄膜トランジスタ、表示装置、および薄膜トランジスタの製造方法

(57)【特許請求の範囲】

【請求項1】

基板上に形成された薄膜トランジスタであって、  
 少なくともインジウム ( I n ) を含む金属酸化物半導体層の少なくとも一部により形成され、電界効果移動度が  $20 \text{ cm}^2 / \text{Vs}$  以上であるチャネルと、  
 前記基板と前記チャネルとの間に配置されたゲート電極と、  
 前記チャネルと前記ゲート電極との間に配置されたゲート絶縁層と、  
 前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、  
 を含み、  
 前記チャネルの表面から深さ  $5 \text{ nm}$  までの範囲における炭素原子の平均濃度が  $1.5 \times 10^{21} \text{ cm}^{-3}$  以下である、薄膜トランジスタ。

【請求項2】

基板上に形成された薄膜トランジスタであって、  
 ゲート電極と、  
 前記基板と前記ゲート電極との間に配置され、少なくともインジウム ( I n ) を含む金属酸化物半導体層の少なくとも一部により形成され、電界効果移動度が  $20 \text{ cm}^2 / \text{Vs}$  以上であるチャネルと、  
 前記チャネルと前記ゲート電極との間に配置されたゲート絶縁層と、  
 前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、  
 を含み、

前記チャンネルの表面から深さ5 nmまでの範囲における炭素原子の平均濃度が $1.5 \times 10^{21} \text{ cm}^{-3}$ 以下である、薄膜トランジスタ。

【請求項3】

基板上に形成された薄膜トランジスタであって、  
少なくともインジウム (In) を含む金属酸化物半導体層の少なくとも一部により形成され、電界効果移動度が $20 \text{ cm}^2 / \text{Vs}$ 以上であるチャンネルと、  
前記基板と前記チャンネルとの間に配置されたゲート電極と、  
前記チャンネルと前記ゲート電極との間に配置されたゲート絶縁層と、  
前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、  
を含み、  
前記チャンネルの表面から深さ5 nmまでの範囲における炭素原子の最大濃度が19 at %以下である、薄膜トランジスタ。

10

【請求項4】

基板上に形成された薄膜トランジスタであって、  
ゲート電極と、  
前記基板と前記ゲート電極との間に配置され、少なくともインジウム (In) を含む金属酸化物半導体層の少なくとも一部により形成され、電界効果移動度が $20 \text{ cm}^2 / \text{Vs}$ 以上であるチャンネルと、  
前記チャンネルと前記ゲート電極との間に配置されたゲート絶縁層と、  
前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、  
を含み、  
前記チャンネルの表面から深さ5 nmまでの範囲における炭素原子の最大濃度が19 at %以下である、薄膜トランジスタ。

20

【請求項5】

前記金属酸化物半導体層のうち、前記ソース電極と接続された表面および前記ドレイン電極と接続された表面は、前記チャンネルの表面よりも炭素原子の濃度が高い、請求項1から4のいずれかに記載の薄膜トランジスタ。

【請求項6】

絶縁性を有し前記チャンネルを覆うパッシベーション層をさらに含み、  
前記パッシベーション層の電子親和力は、前記金属酸化物半導体層の電子親和力よりも小さい、請求項1から4のいずれかに記載の薄膜トランジスタ。

30

【請求項7】

絶縁性を有し前記チャンネルを覆うパッシベーション層をさらに含み、  
前記パッシベーション層は、亜鉛 (Zn) およびシリコン (Si) を含む金属酸化物層である、請求項1から4のいずれかに記載の薄膜トランジスタ。

【請求項8】

前記金属酸化物半導体層は、錫 (Sn) および亜鉛 (Zn) をさらに含む、請求項6に記載の薄膜トランジスタ。

【請求項9】

基板上に形成された薄膜トランジスタであって、  
少なくともインジウム (In) を含む金属酸化物半導体層の少なくとも一部により形成され、電界効果移動度が $20 \text{ cm}^2 / \text{Vs}$ 以上であるチャンネルと、  
ゲート電極と、  
前記チャンネルと前記ゲート電極との間に配置されたゲート絶縁層と、  
前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、  
絶縁性を有し、前記チャンネルを覆うパッシベーション層と、  
を含み、  
前記パッシベーション層は、亜鉛 (Zn) およびシリコン (Si) を含む金属酸化物層であり、

40

前記パッシベーション層の電子親和力は、前記金属酸化物半導体層の電子親和力よりも

50

小さい、薄膜トランジスタ。

【請求項 10】

前記ゲート電極は前記基板と前記チャンネルとの間に配置され、

前記パッシベーション層は前記チャンネルにおけるバックチャンネル側表面を覆う、請求項 9 に記載の薄膜トランジスタ。

【請求項 11】

前記金属酸化物半導体層は、亜鉛 (Zn) およびシリコン (Si) の両方を含む場合を除く金属酸化物である、請求項 9 に記載の薄膜トランジスタ。

【請求項 12】

前記金属酸化物半導体層が、錫 (Sn) および亜鉛 (Zn) をさらに含む請求項 9 に記載の薄膜トランジスタ。

10

【請求項 13】

基板上に形成された薄膜トランジスタであって、

少なくともインジウム (In) を含む金属酸化物半導体層の少なくとも一部により形成され、電界効果移動度が  $20 \text{ cm}^2 / \text{Vs}$  以上であるチャンネルと、

ゲート電極と、

前記チャンネルと前記ゲート電極との間に配置されたゲート絶縁層と、

前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、

絶縁性を有し、前記チャンネルを覆うパッシベーション層と、

を含み、

20

前記ソース電極および前記ドレイン電極に対する前記ゲート電極の電圧が  $V_{th} - 2.0 \text{ V}$  になるように制御し、温度を  $60$  とし、暗状態で  $3600$  秒維持した場合に、閾値のシフト量が  $0.5 \text{ V}$  以下であり、

前記パッシベーション層の電子親和力は、前記金属酸化物半導体層の電子親和力よりも小さい、薄膜トランジスタ。

【請求項 14】

前記パッシベーション層の電子親和力は  $2.0 \text{ eV}$  以上  $4.0 \text{ eV}$  以下の範囲内であり、該パッシベーション層のイオン化ポテンシャルは  $6.0 \text{ eV}$  以上  $8.5 \text{ eV}$  以下の範囲内である、請求項 9 または 13 に記載の薄膜トランジスタ。

【請求項 15】

前記金属酸化物半導体層は、錫 (Sn) および亜鉛 (Zn) をさらに含む、請求項 1 から 4、13 のいずれかに記載の薄膜トランジスタ。

30

【請求項 16】

前記ソース電極および前記ドレイン電極は、耐酸化性を有する導電性材料を含む、請求項 1 から 4、9、13 のいずれかに記載の薄膜トランジスタ。

【請求項 17】

前記ソース電極および前記ドレイン電極に対する前記ゲート電極の電圧が  $V_{th} - 2.0 \text{ V}$  になるように制御し、温度を  $60$  とし、暗状態で  $3600$  秒維持した場合に、閾値のシフト量が  $0.5 \text{ V}$  以下である、請求項 1 から 4、9 のいずれかに記載の薄膜トランジスタ。

40

【請求項 18】

複数の画素回路を含み、

前記複数の画素回路のそれぞれは、請求項 1 から 4、9、13 のいずれかに記載の薄膜トランジスタを含む、表示装置。

【請求項 19】

少なくともインジウム (In) を含む金属酸化物半導体層の少なくとも一部により形成され、電界効果移動度が  $20 \text{ cm}^2 / \text{Vs}$  以上であるチャンネルと、ゲート電極と、前記チャンネルと前記ゲート電極との間に配置されたゲート絶縁層と、前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、を含む薄膜トランジスタを基板上に製造する方法であって、

50

前記チャンネルが露出した状態において酸素を含む雰囲気中で350以上に加熱して前記チャンネルの露出していた部分の表面から深さ5nmまでの範囲における炭素原子の平均濃度を $1.5 \times 10^{21} \text{ cm}^{-3}$ 以下にする工程と、

前記加熱の後かつ炭素原子を含む層が前記チャンネルの露出した部分に接触する前に前記チャンネルを覆う絶縁層を形成する工程と、

を含む、

薄膜トランジスタの製造方法。

【請求項20】

少なくともインジウム(In)を含む金属酸化物半導体層の少なくとも一部により形成され、電界効果移動度が $20 \text{ cm}^2 / \text{Vs}$ 以上であるチャンネルと、ゲート電極と、前記チャンネルと前記ゲート電極との間に配置されたゲート絶縁層と、前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、を含む薄膜トランジスタを基板上に製造する方法であって、

10

前記チャンネルが露出した状態において酸素を含む雰囲気中で紫外光を照射して前記チャンネルの露出していた部分の表面から深さ5nmまでの範囲における炭素原子の平均濃度を $1.5 \times 10^{21} \text{ cm}^{-3}$ 以下にする工程と、

前記照射の後かつ炭素原子を含む層が前記チャンネルの露出した部分に接触する前に前記チャンネルを覆う絶縁層を形成する工程と、

を含む、

薄膜トランジスタの製造方法。

20

【請求項21】

少なくともインジウム(In)を含む金属酸化物半導体層の少なくとも一部により形成され、電界効果移動度が $20 \text{ cm}^2 / \text{Vs}$ 以上であるチャンネルと、ゲート電極と、前記チャンネルと前記ゲート電極との間に配置されたゲート絶縁層と、前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、を含む薄膜トランジスタを基板上に製造する方法であって、

前記チャンネルが露出した状態において酸素雰囲気下のDCスパッタリングにより前記チャンネルの露出していた部分の表面から深さ5nmまでの範囲における炭素原子の平均濃度を $1.5 \times 10^{21} \text{ cm}^{-3}$ 以下にするとともに前記チャンネルを覆う絶縁層を形成する工程を含む、

30

薄膜トランジスタの製造方法。

【請求項22】

前記金属酸化物半導体層は、錫(Sn)および亜鉛(Zn)をさらに含む、請求項19から21のいずれかに記載の薄膜トランジスタの製造方法。

【請求項23】

前記絶縁層は、亜鉛(Zn)およびシリコン(Si)を含む金属酸化物層である、請求項19から21のいずれかに記載の薄膜トランジスタの製造方法。

【請求項24】

前記DCスパッタリングにおいて用いられるターゲットは、導電性を有する金属酸化物である、請求項21に記載の薄膜トランジスタの製造方法。

40

【請求項25】

前記ゲート電極は、前記基板と前記チャンネルとの間に配置され、

前記ソース電極および前記ドレイン電極が形成された後に、前記チャンネルの表面に存在する炭素原子の少なくとも一部を脱離する、請求項19から21のいずれかに記載の薄膜トランジスタの製造方法。

【請求項26】

前記チャンネルは、前記基板と前記ゲート電極との間に配置され、

前記炭素原子から保護する絶縁層は、前記ゲート絶縁層であり、

前記ソース電極および前記ドレイン電極が形成される前に、前記チャンネルの表面に存在する炭素原子の少なくとも一部を脱離する、請求項19から21のいずれかに記載の薄膜

50

トランジスタの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、金属酸化物半導体を用いた薄膜トランジスタに関する。

【背景技術】

【0002】

InGaZnO（以下、IGZOという）に例示される金属酸化物半導体を用いた薄膜トランジスタが、ディスプレイの画素を駆動するための素子として利用されている。InとGaの組成比が1：1のIGZOを用いた薄膜トランジスタは、 $10\text{ cm}^2/\text{Vs}$ 程度の移動度を有する。この移動度は、アモルファスシリコンを用いた薄膜トランジスタの移動度に比べると高いが、低温ポリシリコンを用いた薄膜トランジスタの移動度に比べると低い。

10

【0003】

近年、4K、8Kに代表されるディスプレイの高画素化・大型化により、アモルファスシリコンよりも移動度が高く、低温ポリシリコンよりも大面積での均一性に優れた薄膜トランジスタを製造することができるIGZOの採用が進んでいる。例えば、IGZOの移動度を向上させるために、InとGaの組成比を1：1よりもInリッチとしたIGZOを用いた薄膜トランジスタが開発されている。また、次世代ディスプレイ用に、IGZOより高い移動度を実現する金属酸化物半導体を用いた薄膜トランジスタの開発も進められている。その一つであるInSnZnO（以下、ITZO）を用いた薄膜トランジスタは $50\text{ cm}^2/\text{Vs}$ 程度の移動度の実現可能である。そのため、高移動度が必要な回路に使われていた薄膜トランジスタを、低温ポリシリコンからITZOに置き換えることができる。一方、ITZOを用いたn型薄膜トランジスタは、NBTS（Negative Bias Temperature Stress）による閾値電圧（以下、単に閾値という場合がある。ストレス付与前の閾値を $V_{th}$ として示し、ストレス付与後の閾値から付与前の閾値を引いたシフト量を $V_{th}$ として示す。なお、NBISおよびPBTSの場合も閾値は同様に使用される。）のマイナスシフトが生じるという問題を有している。n型薄膜トランジスタにおいて、連続した負バイアス電圧の印加により閾値がマイナスシフトするということは、負バイアス電圧の印加により当初オフ状態に制御したはずのトランジスタが時間の経過により勝手にオン状態になることを意味するので、マイナスシフト量は十分に抑制する必要がある。

20

30

【0004】

例えば、非特許文献1は、この問題を解決する方法として、薄膜トランジスタの特性を悪くするC=O及びC-O結合などによる欠陥に対して、ITZOのバックチャネル側へのN<sub>2</sub>Oプラズマ処理を適切な時間で行うことを開示している。

【先行技術文献】

【非特許文献】

【0005】

【非特許文献1】W. - H, Tseng et. al., Solid - State Electronics 103 (2015), 173 - 177

40

【発明の概要】

【発明が解決しようとする課題】

【0006】

非特許文献1のFig. 6によれば、ITZO薄膜トランジスタでは、N<sub>2</sub>Oプラズマ処理の時間が長くなるにつれて、NBTSによる閾値のマイナスシフトが減少するが、該処理時間が最適値を越えると該マイナスシフトが増加する、と理解できる。すなわち、非特許文献1記載のプロセスにしたがって、閾値のマイナスシフトを抑制するためには、ITZOのバックチャネルの表面状態を把握してそれに応じてN<sub>2</sub>Oプラズマ処理の時間を精密に制御する必要があると考えられる。N<sub>2</sub>Oプラズマ処理の後にパッシベーション層

をPECVD (Plasma Enhanced Chemical Vapor Deposition) 法で形成するときにも、N<sub>2</sub>Oのプラズマに曝されることで、その時間の制御がさらに難しくなっている。その結果として、このような制御を要することが製造上のばらつきを生じる原因にもなり得る。したがって、N<sub>2</sub>Oプラズマ処理とは別の方法によって閾値のマイナスシフトを抑制することが求められている。

【0007】

本発明の目的の一つは、Inを含む金属酸化物半導体層を用いた薄膜トランジスタにおいて生じる電圧ストレスによる閾値シフトを、効果的に抑制することにある。また、本発明の目的の一つは、ITZOを用いた薄膜トランジスタにおいて生じるNBTIによる閾値シフトを、効果的に抑制することにある。

10

【課題を解決するための手段】

【0008】

一実施形態における薄膜トランジスタは、基板上に形成された薄膜トランジスタであって、少なくともインジウム (In) を含む金属酸化物半導体層の少なくとも一部により形成されたチャネルと、ゲート電極と、前記チャネルと前記ゲート電極との間に配置されたゲート絶縁層と、前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、を含む。前記チャネルの表面から深さ5nmまでの範囲における炭素原子の平均濃度が $1.5 \times 10^{21} \text{ cm}^{-3}$ 以下である。平均濃度は、 $3.5 \times 10^{20} \text{ cm}^{-3}$ 以下であってもよい。

20

【0009】

一実施形態における薄膜トランジスタは基板上に形成された薄膜トランジスタであって、少なくともインジウム (In) を含む金属酸化物半導体層の少なくとも一部により形成されたチャネルと、ゲート電極と、前記チャネルと前記ゲート電極との間に配置されたゲート絶縁層と、前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、を含む。前記チャネルの表面から深さ5nmまでの範囲における炭素原子の最大濃度が19at%以下である。最大濃度が8at%以下であってもよい。

【0010】

前記ゲート電極は、前記基板と前記チャネルとの間に配置されてもよい。

【0011】

前記ソース電極および前記ドレイン電極は、耐酸化性を有する導電性材料を含んでもよい。

30

【0012】

前記チャネルは、前記基板と前記ゲート電極との間に配置されてもよい。

【0013】

前記金属酸化物半導体層のうち、前記ソース電極と接続された表面および前記ドレイン電極と接続された表面は、前記チャネルの表面よりも炭素原子の濃度が高くてもよい。

【0014】

前記ソース電極および前記ドレイン電極に対する前記ゲート電極の電圧がV<sub>th</sub> - 20Vになるように制御し、温度を60とし、暗状態で3600秒維持した場合に、閾値のシフト量が0.5V以下であってもよい。

40

【0015】

前記金属酸化物半導体層は、錫 (Sn) および亜鉛 (Zn) をさらに含んでもよい。

【0016】

前記チャネルを覆う絶縁性を有するパッシベーション層をさらに含んでもよい。前記パッシベーション層は、亜鉛 (Zn) およびシリコン (Si) を含む金属酸化物層であってもよい。

【0017】

一実施形態における薄膜トランジスタは基板上に形成された薄膜トランジスタであって、少なくともインジウム (In) を含む金属酸化物半導体層の少なくとも一部により形成されたチャネルと、ゲート電極と、前記チャネルと前記ゲート電極との間に配置されたゲ

50

ート絶縁層と、前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、絶縁性を有し、前記チャンネルを覆うパッシベーション層と、を含む。前記パッシベーション層の電子親和力は、前記金属酸化物半導体層の電子親和力よりも小さい。

【0018】

前記パッシベーション層の電子親和力は2.0 eV以上4.0 eV以下の範囲内であってもよい。該パッシベーション層のイオン化ポテンシャルは6.0 eV以上8.5 eV以下の範囲内であってもよい。

【0019】

前記パッシベーション層は、アモルファスを含んでもよい。

【0020】

前記金属酸化物半導体層は、錫(Sn)および亜鉛(Zn)をさらに含んでもよい。

10

【0021】

一実施形態における表示装置は、複数の画素回路を含み、前記複数の画素回路は、それぞれ、上記記載の薄膜トランジスタを含む。

【0022】

複数の発光素子を含んでもよい。前記複数の画素回路は、前記複数の発光素子による発光をそれぞれ制御してもよい。

【0023】

一実施形態における電子機器は、上記記載の表示装置と、前記表示装置を制御する制御装置と、を含む。

20

【0024】

一実施形態における薄膜トランジスタの製造方法は、少なくともインジウム(In)を含む金属酸化物半導体層の少なくとも一部により形成されたチャンネルと、ゲート電極と、前記チャンネルと前記ゲート電極との間に配置されたゲート絶縁層と、前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、を含む薄膜トランジスタを基板上に形成することを含み、前記チャンネルが露出した状態において酸素を含む雰囲気中350以上に加熱し、前記加熱の後かつ炭素原子を含む層が前記チャンネルの露出した部分に接触する前に前記チャンネルを覆う絶縁層を形成することを含む。

【0025】

一実施形態における薄膜トランジスタの製造方法は、少なくともインジウム(In)を含む金属酸化物半導体層の少なくとも一部により形成されたチャンネルと、ゲート電極と、前記チャンネルと前記ゲート電極との間に配置されたゲート絶縁層と、前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、を含む薄膜トランジスタを基板上に形成することを含み、前記チャンネルが露出した状態において酸素を含む雰囲気中紫外光を照射し、前記照射の後かつ炭素原子を含む層が前記チャンネルの露出した部分に接触する前に前記チャンネルを覆う絶縁層を形成することを含む。

30

【0026】

一実施形態における薄膜トランジスタの製造方法は、少なくともインジウム(In)を含む金属酸化物半導体層の少なくとも一部により形成されたチャンネルと、ゲート電極と、前記チャンネルと前記ゲート電極との間に配置されたゲート絶縁層と、前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、を含む薄膜トランジスタを基板上に形成することを含み、前記チャンネルが露出した状態において酸素雰囲気下のDCスパッタリングにより前記チャンネルを覆う絶縁層を形成することを含む。

40

【0027】

前記DCスパッタリングにおいて用いられるターゲットは、導電性を有する金属酸化物であってもよい。

【0028】

前記金属酸化物半導体層は、PVD法により形成されてもよい。

【0029】

前記絶縁層が形成される前に前記チャンネルの露出していた部分の表面から深さ5nmま

50

での範囲における炭素原子の平均濃度が、前記絶縁層が形成された後において  $1.5 \times 10^{21} \text{ cm}^{-3}$  以下であってもよい。この平均濃度が、前記絶縁層が形成された後において  $3.5 \times 10^{20} \text{ cm}^{-3}$  以下であってもよい。

【0030】

前記絶縁層が形成される前に前記チャンネルの露出していた部分の表面から深さ 5 nm までの範囲における炭素原子の最大濃度が、前記絶縁層が形成された後において 19 at % 以下であってもよい。この最大濃度が、前記絶縁層が形成された後において 8 at % 以下であってもよい。

【0031】

前記ゲート電極は、前記基板と前記チャンネルとの間に配置されてもよい。前記ソース電極および前記ドレイン電極が形成された後に、前記チャンネルの表面に存在する炭素原子の少なくとも一部を脱離してもよい。

10

【0032】

前記チャンネルは、前記基板と前記ゲート電極との間に配置されてもよい。前記炭素原子から保護する絶縁層は、前記ゲート絶縁層であってもよい。前記ソース電極および前記ドレイン電極が形成される前に、前記チャンネルの表面に存在する炭素原子の少なくとも一部を脱離してもよい。

【0033】

前記金属酸化物半導体層は、錫 (Sn) および亜鉛 (Zn) をさらに含んでもよい。

【0034】

前記絶縁層は、亜鉛 (Zn) およびシリコン (Si) を含む金属酸化物層であってもよい。

20

【0035】

一実施形態における薄膜トランジスタの製造方法は、少なくともインジウム (In) を含む金属酸化物半導体層の少なくとも一部により形成されたチャンネルと、ゲート電極と、前記チャンネルと前記ゲート電極との間に配置されたゲート絶縁層と、前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、絶縁性を有し前記チャンネルを覆うパッシベーション層と、を含む薄膜トランジスタを基板上に形成することを含む。前記パッシベーション層の電子親和力は、前記金属酸化物半導体層の電子親和力よりも小さい。

【0036】

前記パッシベーション層の電子親和力は 2.0 eV 以上 4.0 eV 以下の範囲内であってもよい。該パッシベーション層のイオン化ポテンシャルは 6.0 eV 以上 8.5 eV 以下の範囲内であってもよい。

30

【0037】

前記パッシベーション層は、アモルファスを含んでもよい、

【0038】

前記金属酸化物半導体層は、錫 (Sn) および亜鉛 (Zn) をさらに含んでもよい。

【発明の効果】

【0039】

本発明によれば、In を含む金属酸化物半導体層を用いた薄膜トランジスタにおいて生じる電圧ストレスによる閾値シフトを、効果的に抑制することができる。また、本発明によれば、ITZO を用いた薄膜トランジスタにおいて生じる NBTI による閾値シフトを、効果的に抑制することができる。

40

【図面の簡単な説明】

【0040】

【図1】一実施形態における表示装置を示す図である。

【図2】一実施形態における画素の断面構造を模式的に示す図である。

【図3】一実施形態における表示装置の製造方法を説明するための図である。

【図4】一実施形態における表示装置の製造方法を説明するための図である。

【図5】一実施形態における表示装置の製造方法を説明するための図である。

50

- 【図 6】一実施形態における薄膜トランジスタを示す図である。
- 【図 7】一実施形態における表示装置の製造方法を説明するための図である。
- 【図 8】一実施形態における表示装置の製造方法を説明するための図である。
- 【図 9】閾値シフト測定用の薄膜トランジスタを示す図である。
- 【図 10】測定用の薄膜トランジスタの製造方法を説明するための図である。
- 【図 11】測定用の薄膜トランジスタの製造方法を説明するための図である。
- 【図 12】測定用の薄膜トランジスタの製造方法を説明するための図である。
- 【図 13】フォトリソ形成前およびフォトリソ形成・除去後の T D S 測定結果を示す図である。
- 【図 14】フォトリソ形成前およびフォトリソ形成・除去後の H A X - P E S 測定結果 ( C 1 s ) を示す図である。 10
- 【図 15】フォトリソ形成前およびフォトリソ形成・除去後の H A X - P E S 測定結果 ( O 1 s ) を示す図である。
- 【図 16】加熱温度の違いによる T D S 測定結果を示す図である。
- 【図 17】 A f t e r P R サンプルおよび加熱処理後のサンプルに対するオージェ電子分光の測定結果を示す図である。
- 【図 18】 N B T S による閾値シフトの測定結果を示す図である。
- 【図 19】 N B I S による閾値シフトの測定結果を示す図である。
- 【図 20】フォトリソ形成・除去後および U V オゾン処理後の T D S 測定結果を示す図である。 20
- 【図 21】 U V オゾン処理後の N B T S および P B T S による閾値シフトの測定結果を示す図である。
- 【図 22】一実施形態における E S L 型薄膜トランジスタを示す図である。
- 【図 23】一実施形態におけるトップゲート型薄膜トランジスタを示す図である。
- 【図 24】一実施形態における電子機器を示す図である。
- 【図 25】一実施形態におけるパッシベーション層を用いた薄膜トランジスタを示す図である。
- 【図 26】一実施形態におけるパッシベーション層を用いた薄膜トランジスタを示す図である。
- 【図 27】一実施形態におけるパッシベーション層を用いた薄膜トランジスタを示す図である。 30
- 【図 28】温度変化による閾値シフトの測定結果を示す図である。
- 【図 29】 N B I S による閾値シフトの測定結果を示す図である。
- 【図 30】光照射前後の電子濃度の測定結果を示す図である。
- 【図 31】吸収係数の測定結果を示す図である。
- 【図 32】 N B S による閾値シフトの時間による変化の測定結果とモデル式を示す図である。
- 【図 33】 N B T S および P B T S による閾値シフトの測定結果を示す図である。
- 【図 34】 N B T S および P B T S による閾値シフトの測定結果を示す図である。
- 【図 35】 N B I S による閾値シフトの測定結果を示す図である。 40
- 【図 36】一実施形態におけるパッシベーション層を用いたトップゲート型薄膜トランジスタを示す図である。
- 【図 37】一実施形態におけるパッシベーション層を用いたトップゲート型薄膜トランジスタを示す図である。
- 【図 38】 U V オゾン処理有無における N B S による閾値シフトの測定結果 ( I T G O ) を示す図である。
- 【図 39】 U V オゾン処理有無における N B S による閾値シフトの測定結果 ( I Z O ) を示す図である。
- 【発明を実施するための形態】
- 【 0 0 4 1 】 50

以下、本発明の一実施形態について、図面を参照しながら詳細に説明する。以下に示す実施形態は一例であって、本発明はこれらの実施形態に限定して解釈されるものではない。本実施形態で参照する図面において、同一部分または同様な機能を有する部分には同一の符号または類似の符号（数字の後にA、Bなど付しただけの符号）を付し、その繰り返しの説明は省略する場合がある。図面は、説明を明確にするために、寸法比率が実際の比率とは異なったり、構成の一部が図面から省略されたりして、模式的に説明される場合がある。

#### 【0042】

第1の構成に対する第2の構成の位置関係を示す際に、「上に」および「下に」という表現は、第1の構成物の直上または直下に位置する場合に限らず、特に明示しない限り、さらに他の構成が介在する場合も含む。

10

#### 【0043】

##### [概要]

一実施形態における表示装置は、この例ではOLED(Organic Light Emitting Diode)を用いた有機EL(Electro Luminescence)ディスプレイである。有機ELディスプレイは、互いに異なる色の光を放出する複数のOLEDを用いることによってカラー表示を実現してもよいし、白色光を放出するOLEDおよびカラーフィルタを用いてカラー表示を実現してもよい。表示装置は、さらにタッチセンサの機能を有していてもよい。タッチセンサは、例えば、自己容量方式または相互容量方式により表示面への指およびスタイラス等の接触を検出する。

20

#### 【0044】

表示装置は、ITZOを用いた薄膜トランジスタを含む。表示装置の駆動方式によれば、薄膜トランジスタがオフ状態に制御されている時間が長い。そのため、NBTsによる閾値のマイナスシフトが生じやすい薄膜トランジスタを用いることは望ましくない。以下に詳述するように、ITZOを用いた薄膜トランジスタによれば、発明者らによって得られた知見に基づく方法により、NBTsによる閾値のマイナスシフトを抑制することが実現された。

#### 【0045】

まず、表示装置の構成について説明し、表示装置に含まれる薄膜トランジスタの構成およびNBTsによる閾値のマイナスシフトの抑制を実現するための構成については、その後述べる。

30

#### 【0046】

##### [表示装置の構成]

図1は、一実施形態における表示装置を示す図である。表示装置1000は、第1基板1と第2基板2とが貼り合わせ材によって貼り合わされた構造を有する。第1基板1は、表示領域D1および駆動回路GDを含む。第1基板1には、ドライバIC(Integrated Circuit)チップCDが実装されている。ドライバICチップCDは、第1基板1に接続されるFPC(Flexible Printed Circuits)に実装されてもよい。図1では、FPCは省略されている。第2基板2は、第1基板1に形成された素子を保護する。第2基板2に代えて、第1基板1に形成された素子を覆うカバー層が配置されてもよい。

40

#### 【0047】

表示領域D1には、複数の走査信号線GL、複数のデータ信号線SLおよび複数の画素PXが配置されている。複数の画素PXは例えばマトリクス状に配置されている。走査信号線GLとデータ信号線SLとは互いに交差して配置されている。走査信号線GLとデータ信号線SLとが交差する部分には画素PXが配置されている。図1は、1つの画素PXに対して1つの走査信号線GLおよび1つのデータ信号線SLを配置した例を示しているが、さらに別の信号線が配置されていてもよい。

#### 【0048】

駆動回路GDは、表示領域D1に隣接して配置され、走査信号線GLに接続されている

50

。ドライバICチップCDは、データ信号線SLおよび駆動回路GDに接続されている。ドライバICチップCDは、外部からの制御信号に基づいて、データ信号線SLに供給する信号を制御し、さらに、駆動回路GDを制御することで走査信号線GLに供給する信号を制御する。駆動回路GDは、この例では薄膜トランジスタ100（図2参照）を用いたシフトレジスタなどの回路を含む。薄膜トランジスタ100は、n型トランジスタであるため、駆動回路GDに含まれる回路構成を実現するためにブートストラップ回路を用いてもよい。

#### 【0049】

画素PXは、OLEDである発光素子、および発光素子による発光を制御するための画素回路を含む。画素回路は、薄膜トランジスタ100およびキャパシタ等の素子を含む。この例では、1つの画素PXに含まれる画素回路には、複数の薄膜トランジスタ100が用いられる。発光素子から放射された光は、この例では、発光素子が形成された第1基板1とは逆方向に進み、第2基板2を通してユーザに視認される。すなわち、表示装置1000は、トップエミッション方式を採用している。表示装置1000は、ボトムエミッション方式を採用してもよい。

10

#### 【0050】

図2は、一実施形態における画素の断面構造を模式的に示す図である。第1基板1は、第1支持基板10、下地絶縁層110、薄膜トランジスタ100、層間絶縁層200、画素電極300、バンク層400、発光層500、対向電極600および封止層900を含む。第2基板2は、封止層900を覆うように配置されている。上述したように、1つの画素回路において複数の薄膜トランジスタ100が用いられているが、図2においては、画素電極300に接続された1つの薄膜トランジスタ100が示され、他の薄膜トランジスタ100の図示は省略されている。

20

#### 【0051】

第1支持基板10および第2基板2は、ガラス基板である。第1支持基板10および第2基板2の一方または双方が、有機樹脂基板等の可撓性を有する基板であってもよい。

#### 【0052】

下地絶縁層110は、第1支持基板10上に配置され、内部への水分およびガスの侵入を抑制する。下地絶縁層110は、例えば、酸化シリコンまたは窒化シリコンなどの絶縁膜を含む。下地絶縁層110は、複数種類の絶縁膜を積層した構成を含んでもよい。

30

#### 【0053】

薄膜トランジスタ100は、上述したようにITZOを半導体層として含み、下地絶縁層110上に配置されている。薄膜トランジスタ100は、この例では、BCE（Back Channel Etch）型の薄膜トランジスタである。薄膜トランジスタ100の詳細の構成については後述する。

#### 【0054】

層間絶縁層200は、薄膜トランジスタ100を覆っている。層間絶縁層200は、例えば、酸化シリコンまたは窒化シリコン等の無機絶縁膜を含む。層間絶縁層200は、複数種類の絶縁膜を積層した構成を含んでもよい。この例では、層間絶縁層200のうち酸化シリコン膜が薄膜トランジスタ100と接している。層間絶縁層200は、無機絶縁膜上にさらに平坦化絶縁膜を含んでもよい。平坦化絶縁膜は、例えばアクリル、ポリイミドまたはエポキシ等の有機絶縁膜であってもよい。層間絶縁層200が複数の絶縁膜を積層した構成を含む場合には、複数の絶縁膜の間に配線等の導電膜が配置されてもよい。

40

#### 【0055】

画素電極300は、層間絶縁層200に形成されたコンタクトホールを介して薄膜トランジスタ100のドレイン電極172（図6参照）に接続されている。画素電極300は、発光層500の陰極として機能する導電膜を含む。画素電極300は、1種類の導電膜または複数種類の導電膜の積層構造を含む。画素回路の構成によっては、画素電極300は、発光層500の陽極として機能してもよい。この場合には画素電極300は、薄膜トランジスタ100のソース電極171に接続される。上述したように、表示装置1000

50

はトップエミッション方式を採用しているため、画素電極300は光透過性を有していなくてもよい。表示装置1000がボトムエミッション方式を採用している場合には、画素電極は光透過性を有する。

【0056】

バンク層400は、画素電極300の端部を覆い、画素電極300の一部を露出する開口部を含む。バンク層400は、例えば、アクリル、ポリイミドまたはエポキシ等の有機絶縁膜を含む。

【0057】

発光層500は、画素電極300およびバンク層400の一部を覆うように配置されている。発光層500は、複数種類の有機材料を積層した構造を有する。発光層500は、電流が供給されることにより発光する。発光層500を構成する複数の有機材料のうち少なくとも1つを変更することにより、発光色を互いに異ならせることができる。

10

【0058】

対向電極600は、発光層500を覆う。対向電極600は、発光層500の陽極として機能する導電膜を含む。対向電極600は、1種類の導電膜または複数種類の導電膜の積層構造を含む。上述したように、画素回路の構成によっては、対向電極600は、発光層500の陰極として機能してもよい。上述したように、表示装置1000はトップエミッション方式を採用しているため、対向電極600は光透過性を有する。画素電極300、発光層500および対向電極600によって、各画素PXにおける発光素子が形成される。

20

【0059】

封止層900は、表示領域D1の全体を覆い、発光層500への水分およびガスの侵入を抑制する絶縁層である。封止層900は、例えば、対向電極600上に配置された窒化シリコン膜、および窒化シリコン膜上の平坦化絶縁膜を積層した構成を含み、光透過性を有する。平坦化絶縁膜は、例えば、アクリル、ポリイミドまたはエポキシ等の有機絶縁膜であってもよい。封止層900は、窒化シリコン膜と第2基板2とに挟まれて配置され、第1基板1と第2基板2とを貼り合わせるための部材として機能してもよい。

【0060】

[表示装置の製造方法]

続いて、表示装置1000の製造方法について説明する。

30

【0061】

図3から図5、図7および図8は、一実施形態における表示装置1000の製造方法を説明するための図である。特に、図3から図5においては、表示装置1000のうち薄膜トランジスタ100の製造方法について説明する。まず、第1支持基板10を準備し、第1支持基板10上に下地絶縁層110を形成する。下地絶縁層110は、例えば、CVD (Chemical Vapor Deposition) 法またはPVD (Physical Vapor Deposition) 法によって形成される。CVD法には、例えばPECVD法が含まれる。PVD法には、スパッタリング法が含まれる。以下の説明においても同様である。

【0062】

ゲート電極120は、下地絶縁層110上にPVD法によって形成された導電性材料の膜を所望のパターンに形成することによって得られる。所望のパターンは、例えば、フォトリソグラフィによるフォトレジストを用いたエッチングプロセスまたはリフトオフプロセスによって形成される。ゲート電極120は、印刷方式、インクジェット方式等によってパターン化された状態で形成されてもよい。ゲート電極120が形成されるときに、走査信号線GLおよびデータ信号線SLの少なくとも一方を同時に形成してもよい。導電性材料は、例えば、モリブデン、タンタル、タングステン、金、銅、クロム、アルミニウム等の金属、または、これらの少なくとも1つを含む金属化合物である。ゲート電極120は、複数種類の導電性材料を積層した構成を含んでもよい。この例では、ゲート電極120は、第1支持基板10側から順に、モリブデンおよび銅が積層された構造を含む。

40

50

## 【0063】

ゲート絶縁層130は、CVD法またはPVD法によって、ゲート電極120および下地絶縁層110を覆うように形成される。ゲート絶縁層130の厚さは、様々に取り得るが、例えば、20nm以上200nm以下であり、好ましくは、50nm以上150nm以下である。ゲート絶縁層130が形成された後の構成が、図3に対応する。ゲート絶縁層130は、無機絶縁性材料によって形成される。無機絶縁性材料は、例えば、窒化シリコン、酸化シリコン、酸化窒化シリコン、酸化アルミニウムまたは酸化ハフニウム等である。ゲート絶縁層130は、複数種類の無機絶縁性材料を積層した構成を含んでもよい。この例では、ゲート絶縁層130は、ゲート電極120側から順に、窒化シリコン膜および酸化シリコン膜が積層された構造を含む。

10

## 【0064】

続いて、CVD法またはPVD法によってゲート絶縁層130上にITZO膜を形成する。この例では、アルゴンおよび酸素を含むガスを用いたスパッタリング法によりITZOを形成する。ITZO膜は、この例では、アモルファスであるが、微結晶が含まれていてもよい。In、Sn、ZnおよびO以外の要素を含んでもよい。チャンネルCH（図6参照）の表面から5nmの範囲において、Snが10at%以上となる部分を含んでもよく、13at%以上となる部分を含んでもよい。チャンネルCHの表面から5nmの範囲において、Snの原子パーセントがZnの原子パーセントよりも大きい部分を含んでもよい。ITZO膜の厚さは、様々に取り得るが、例えば、10nm以上200nm以下であり、好ましくは、20nm以上100nm以下である。半導体層150は、ITZO膜を所望のパターンに形成することによって得られる。所望のパターンは、例えば、フォトリソグラフィによるフォトレジストを用いたエッチングプロセスまたはリフトオフプロセスによって形成される。ITZO膜上にフォトレジストPRを形成して、エッチングプロセスによって島状の半導体層150を形成した後の構成が、図4に対応する。図4に示す例では、フォトレジストPRを除去する前の状態である。

20

## 【0065】

フォトリソグラフィが用いられるときには、半導体層150の上面150aは、フォトレジストPRに接触する。詳細は後述するが、ITZO膜である半導体層150は、フォトレジストPRが接触すると、フォトレジストPRに含まれる有機化合物の炭素原子「C」が接触面（上面150a）に結合する。フォトレジストPRを除去するためのエッチング液（以下、剥離液という）に曝されたとしても、上面150aに結合した炭素原子は除去されない。

30

## 【0066】

この炭素原子は、「C-O」および「C=O」（以下、炭素残留成分という）として残留している。ITZOは、 $\text{SnO}_x$ （酸化錫）を有するために、「C-O」および「C=O」が吸着しやすい表面を有するといわれている。In<sub>2</sub>O<sub>x</sub>（酸化インジウム）、ZnO<sub>x</sub>（酸化亜鉛）についても、影響は少ないものの $\text{SnO}_x$ （酸化錫）と同様の傾向を有するといわれている。この炭素残留成分は、ITZOに欠陥を導入する。ITZOでは、炭素残留成分により電子が供給されて電子濃度が増加すること、およびNBTsによってその欠陥にホールがトラップされることが、閾値がマイナスにシフトする要因と考えられる。

40

## 【0067】

半導体層150がリフトオフプロセスで形成される場合には、半導体層150の上面150aにはフォトレジストPRが接触しないが、リフトオフのためフォトレジストPRを除去するときに剥離液に曝されることで、剥離液に含まれる有機化合物および溶解したフォトレジストPRの成分の影響により、同様に上面150aに炭素残留成分が生じる可能性がある。

## 【0068】

ソース電極171およびドレイン電極172は、PVD法によって半導体層150上およびゲート絶縁層130上に形成された導電性材料の膜を所望のパターンに形成すること

50

によって得られる。所望のパターンは、例えば、フォトリソグラフィによるフォトレジストを用いたエッチングプロセスまたはリフトオフプロセスによって形成される。ソース電極 171 およびドレイン電極 172 が形成されるときに、走査信号線 GL およびデータ信号線 SL の少なくとも一方を同時に形成してもよい。導電性材料は、例えば、モリブデン、タンタル、タングステン、金、銅、クロム、アルミニウム等の金属、または、これらの少なくとも 1 つを含む金属化合物である。

#### 【0069】

ソース電極 171 およびドレイン電極 172 は、耐酸化性を有する導電性材料であることが好ましい。ソース電極 171 およびドレイン電極 172 は、複数種類の導電性材料を積層した構成を含んでもよい。この場合には、少なくとも上面に露出した導電性材料が耐酸化性を有することが好ましい。この例では、ソース電極 171 およびドレイン電極 172 は、半導体層 150 側から順に、モリブデンおよび銅が積層された構成を含む。

10

#### 【0070】

導電性材料上にフォトレジスト PR を形成したエッチングプロセスによって、ソース電極 171 およびドレイン電極 172 を形成した後の構成が、図 5 に対応する。図 5 に示す例では、フォトレジスト PR を除去する前の状態である。この状態においては、半導体層 150 のバックチャネル側表面 150b は、フォトレジスト PR に接触していないが、フォトレジスト PR を除去するとき、フォトレジスト PR を除去するための剥離液に曝されることで、同様にバックチャネル側表面 150b に炭素残留成分が生じる可能性がある。

20

#### 【0071】

ソース電極 171 およびドレイン電極 172 を形成するときのエッチング液によっては、同様にバックチャネル側表面 150b に炭素残留成分が生じる可能性がある。例えば、リン酸、硝酸および酢酸を混合した PAN エッチング液では、酢酸により炭素残留成分が生じる要因となり得る。少なくとも、バックチャネル側表面 150b は、図 4 に示す状態において既にフォトレジスト PR に接触している。そのため、バックチャネル側表面 150b には、そのまま炭素残留成分が存在し続けている可能性がある。

#### 【0072】

ソース電極 171 およびドレイン電極 172 がリフトオフプロセスで形成される場合には、バックチャネル側表面 150b にフォトレジスト PR が形成されることになるため、バックチャネル側表面 150b に炭素残留成分が生じる。

30

#### 【0073】

図 6 は、一実施形態における薄膜トランジスタを示す図である。図 6 は、図 5 においてフォトレジスト PR を除去した後の薄膜トランジスタ 100 に対応する。半導体層 150 のうち、ソース電極 171 とドレイン電極 172 との間の領域がチャンネル CH である。図 6 においては、チャンネル幅方向（図 6 における奥行き方向）についてのチャンネル CH の範囲が示されていないが、チャンネル CH は、一般的に定義されるように、薄膜トランジスタ 100 を基板に垂直な方向に沿って見た場合において、半導体層 150 とゲート電極 120 とが重畳する領域のうち、ソース電極 171 とドレイン電極 172 とに挟まれた領域を含む。

40

#### 【0074】

NBTs による閾値のマイナスシフトを抑制するためには、チャンネル CH の表面における炭素残留成分を少なくすることが重要であることが、発明者らの知見によって得られた。すなわち、チャンネル CH の表面のうちゲート電極 120 側の表面（以下、ゲート側表面 150g という）、および反対側の表面（バックチャネル側表面 150b）において、炭素残留成分を少なくすることが好ましい。

#### 【0075】

一方、上述したように、チャンネル CH の表面が露出されている状態では、様々な製造プロセスによって、炭素残留成分が増加する可能性がある。一時的に炭素残留成分が低減されても意味がなく、チャンネル CH の表面が露出しない状態になったとき、すなわちチャネ

50

ルCHの表面が他の層で覆われた状態になったときに、チャンネルCHの表面の炭素残留成分が低減されていることに意味がある。また、チャンネルCHの表面が露出しない状態になった後は、チャンネルCHの表面から炭素残留成分を除去することは困難である。

【0076】

ソース表面150sおよびドレイン表面150dは、チャンネルCHとして機能する部分ではないから、炭素残留成分が減少しなくてもよい。ソース表面150sは、半導体層150の表面のうち、ソース電極171と接している部分に対応する。ドレイン表面150dは、半導体層150の表面のうち、ドレイン電極172と接している部分に対応する。

【0077】

この例では、図6に示すようにバックチャンネル側表面150bの一部(ソース表面150sとドレイン表面150dとの間の領域)が露出した状態で、UVオゾン処理および加熱処理の少なくとも一方を実行する。UVオゾン処理は、酸素を含む雰囲気において紫外光を照射する。紫外光照射によって得られたオゾン、より詳細にはオゾンから発生した活性酸素によって、バックチャンネル側表面150bの露出部分における炭素残留成分が分解され、その表面から炭素原子が脱離する。加熱処理は、酸素を含む雰囲気において350

10

以上、より好ましくは370以上に加熱する。酸素を含む雰囲気での加熱処理によって、バックチャンネル側表面150bの露出部分における炭素残留成分が分解され、その表面から炭素原子が脱離する。

【0078】

上述した酸素を含む雰囲気は、大気雰囲気を含み、および大気よりも酸素濃度が高い雰囲気を含む。酸素を含む雰囲気は、酸素が含まれていれば、大気よりも酸素濃度が低い雰囲気を除外するものではない。

20

【0079】

炭素原子が脱離した結果としてバックチャンネル側表面150bの露出部分から深さ5nmまでの範囲における炭素原子の平均濃度が $1.5 \times 10^{21} \text{ cm}^{-3}$ 以下に減少するように、UVオゾン処理の条件または加熱処理の条件が設定される。バックチャンネル側表面150bの露出部分から深さ5nmまでの範囲における炭素原子の平均濃度が $3.5 \times 10^{20} \text{ cm}^{-3}$ 以下に減少することが好ましい。

【0080】

炭素原子が脱離した結果、オージェ電子分光法で測定した場合に、バックチャンネル側表面150bの露出部分から深さ5nmまでの範囲における炭素原子の最大濃度が19at%以下に減少するように、UVオゾン処理の条件または加熱処理の条件が設定されてもよい。バックチャンネル側表面150bの露出部分から深さ5nmまでの範囲における炭素原子の最大濃度が8at%以下に減少することが好ましい。UVオゾン処理の条件は、例えば、紫外光の強度、照射時間、酸素濃度、基板温度等である。加熱処理の条件は、例えば、加熱温度、加熱時間、酸素濃度等である。

30

【0081】

バックチャンネル側表面150bの露出部分以外、すなわち、ソース表面150sはソース電極171に覆われ、ドレイン表面150dはドレイン電極172に覆われている。そのため、ソース表面150sおよびドレイン表面150dは、UVオゾン処理または加熱処理を行っても炭素残留成分がほとんど脱離せず、バックチャンネル側表面150bの露出部分よりも、炭素原子の濃度が高い。ただし、ソース表面150sとドレイン表面150dとは薄膜トランジスタ100のチャンネルとして機能する部分ではないため、炭素残留成分が存在してもほとんど影響しない。

40

【0082】

ゲート側表面150gについては、炭素残留成分が生じる要因が存在しない。仮に、ゲート絶縁層130上にITZO膜を形成するまでに、ゲート絶縁層130上に炭素残留成分が存在する状況になっていたとしても、PVD法によりITZO膜を形成するときの処理(酸素を含むスパッタ)によって、炭素残留成分が減少する。その結果、炭素原子が脱離して、上述した濃度範囲に収まる。なお、ゲート絶縁層、または半導体層は通常気相法

50

で作製されるが、気相法にかえて溶液法で作製した場合は、ゲート側表面 150 g についても炭素残留成分が生じる要因がある。

#### 【0083】

炭素残留成分を減少させる処理の後に、薄膜トランジスタ 100 を覆うように層間絶縁層 200 が形成される。薄膜トランジスタ 100、特にバックチャネル側表面 150 b の露出部分と接触する部分は、再び炭素残留成分が生じないように、炭素成分をほとんど含まない無機絶縁性材料によって炭素原子から保護される。すなわち、チャネル CH の表面から炭素原子が脱離した後、チャネル CH の表面に炭素原子を含む層が再び形成される前に、チャネル CH を保護する絶縁層が形成される。

#### 【0084】

この例では、層間絶縁層 200 は、薄膜トランジスタ 100 側から順に、酸化シリコン膜、窒化シリコン膜および有機樹脂膜が積層された構造を含む。無機絶縁性材料の膜は、CVD法またはPVD法によって形成される。無機絶縁性材料の膜を形成するときには、炭素原子の導入が必要な成膜方式は採用されない。例えば、ALD (Atomic Layer Deposition) 法によって酸化アルミニウムを形成することは、炭素を含むトリメチルアルミニウム (TMA) を用いることから、好ましくない。ただし、このような酸化アルミニウムであっても、チャネル CH の表面に接触しない無機絶縁性材料として用いることはできる。堆積温度の設定等により、最終的にチャネル CH の表面に生じる炭素残留成分を少なくすることができれば、ALD法により無機絶縁性材料をチャネル CH の表面に接触する無機絶縁性材料として用いてもよい。有機樹脂膜は、溶液塗布方式または印刷方式によって形成される。層間絶縁層 200 には、ドレイン電極 172 に通じるコンタクトホールが形成される。

#### 【0085】

画素電極 300 は、層間絶縁層 200 上に形成され、コンタクトホールを介してドレイン電極 172 に接続される。画素電極 300 は、例えば、PVD法によって形成される。画素電極 300 を形成した後の構成が、図 7 に対応する。図 8 に示すように、画素電極 300 の端部上および層間絶縁層 200 上にバンク層 400 を形成し、さらに発光層 500 および対向電極 600 を形成する。封止層 900 を形成し、第 2 基板 2 で第 1 基板 1 を覆うことにより、図 2 に示す表示装置 1000 が製造される。

#### 【0086】

上述した薄膜トランジスタ 100 によれば、チャネル CH の表面に吸着された炭素残留成分を低減する処理により炭素原子が該チャネル CH 表面から脱離し、かつ炭素原子を含む材料が該チャネル CH 表面に接触する前に該チャネル CH 表面を覆う絶縁層を形成しているため、NBT S による閾値のマイナスシフトが抑制される。

#### 【0087】

##### [ 実験例 ]

続いて、炭素残留成分の低減により、NBT S による閾値のマイナスシフトを抑制することができたことを示す実験結果を説明する。上述したように、発明者らは、チャネル CH 表面において炭素残留成分を低減することにより、NBT S における閾値のマイナスシフトを抑制できることを見出した。その検証をするために、閾値シフト測定用の薄膜トランジスタを作製した。

#### 【0088】

図 9 は、閾値シフト測定用の薄膜トランジスタを示す図である。閾値シフト測定用の薄膜トランジスタは、ゲート電極 125、ゲート電極 125 上のゲート絶縁層 135、ゲート絶縁層 135 上の半導体層 155、半導体層 155 に接続されたソース電極 176 およびドレイン電極 177 を含む。ソース電極 176 およびドレイン電極 177 は、チャネル CH を挟んで配置されている。チャネル CH の表面のうちゲート電極 125 側の表面はゲート側表面 155 g であり、その反対側の表面はバックチャネル側表面 155 b である。半導体層 155 のうちソース電極 176 と接する部分がソース表面 155 s である。半導体層 155 のうちドレイン電極 177 と接する部分がドレイン表面 155 d である。この

例では、バックチャネル側表面 155b は、チャネルCH表面の露出部分と、ソース表面 155s とドレイン表面 155d からなる。

#### 【0089】

ゲート電極 125 は、導電性を有する P 型シリコン基板である。ゲート絶縁層 135 は、シリコン基板の表面に形成された熱酸化膜であり、150nm の厚さを有する。半導体層 155 は、ITZO であり、20nm の厚さを有する。O (酸素) を除く組成比 In (インジウム) : Sn (錫) : Zn (亜鉛) は、20 : 40 : 40 (at%) である。この組成比は、仕込み値 (nominal) であり、シングルターゲットを用いた場合には、このターゲットの組成比に対応する。実際に形成された半導体層 155 の組成比は後述するオージェ電子分光測定結果として示されている。実際の半導体層 155 (上述した半導体層 150 も同様) においては、チャネルCHの表面から 5nm の範囲において、Sn が 10at% 以上となる部分を含んでもよく、13at% 以上となる部分を含んでもよい。チャネルCHの表面から 5nm の範囲において、Sn の原子パーセントが Zn の原子パーセントよりも大きい部分を含んでもよい。Sn の濃度が高い場合には炭素残留成分が生じやすいが、以下のように炭素残留成分を低減することができるため大きな問題とはならない。この薄膜トランジスタのチャネルCHの長さ (チャネル長) は 30 $\mu$ m であり、チャネル幅は 60 $\mu$ m である。微細化の観点から、チャネル長は、100 $\mu$ m 以下であることが好ましく、30 $\mu$ m 以下であることがより好ましく、10 $\mu$ m 以下であることがさらに好ましく、3 $\mu$ m 以下であることがさらに好ましい。続いて、閾値シフト測定用の薄膜トランジスタの製造方法について説明する。

10

20

#### 【0090】

図 10 から図 12 は、測定用の薄膜トランジスタの製造方法を説明するための図である。ゲート絶縁層 135 (熱酸化膜) が形成されたゲート電極 (P 型シリコン基板) 125 を準備し、図 10 に示すように、フォトレジスト PR を形成し、さらに ITZO 膜 155f を形成する。図 11 に示すように、リフトオフプロセスによりフォトレジスト PR を除去すると、不要な部分の ITZO 膜 155f がフォトレジスト PR とともに除去されて、半導体層 155 が形成される。パターンが形成される前のフォトレジスト PR がゲート絶縁層 135 の表面に接触するが、ゲート絶縁層 135 には炭素残留成分は存在しない。わずかに炭素残留成分が存在したとしても、PVD 法により ITZO 膜 155f を形成するときの酸素を含む雰囲気でのスパッタにより、その炭素残留成分が脱離する。

30

#### 【0091】

図 12 に示すように、フォトレジスト PR を形成し、さらに金膜 175f を形成する。フォトレジスト PR が形成されるときに、半導体層 155 の上面 155a 全体にフォトレジスト PR が接触する。図 12 に示すように、パターン形成後においてもフォトレジスト PR が、バックチャネル側表面 155b に接触したまま残る。リフトオフプロセスによりフォトレジスト PR を除去すると、図 9 に示すようにソース電極 176 およびドレイン電極 177 が形成される。このとき、バックチャネル側表面 155b の露出部分、ソース表面 155s およびドレイン表面 155d には、炭素残留成分が存在している。上述したように、加熱処理または UV オゾン処理により、バックチャネル側表面 155b の露出部分における炭素残留成分が低減される。

40

#### 【0092】

##### [炭素残留成分]

基板上に ITZO 膜を形成し、フォトレジストを形成する前のサンプル (以下、Before PR サンプルという) と、ITZO 膜上にフォトレジストを形成した後にフォトレジストを除去したサンプル (以下、After PR サンプルという) とを準備して、TDS (Thermal Desorption Spectrometry) 測定および HAX-PES (Hard X-ray Photoelectron Spectroscopy) 測定を実施した。

#### 【0093】

図 13 は、フォトレジスト形成前およびフォトレジスト形成・除去後の TDS 測定結果

50

を示す図である。図13によれば、Before PRサンプルはCOが検出されていない。一方、After PRサンプルは350 付近でCOが脱離することが確認される。すなわち、フォトレジストを形成すると、フォトレジストを剥離液等で除去したとしても、COが炭素残留成分としてITZO膜の表面に存在することが確認される。

#### 【0094】

図14および図15は、フォトレジスト形成前およびフォトレジスト形成・除去後のHAX-PE S測定結果を示す図である。図14の結果(C1s)および図15の結果(O1s)によれば、「C-O」および「C=O」に関するピークが、Before PRサンプルでは検出されなかったが、After PRサンプルにおいて検出されている。この小さなピークが炭素に由来するものである。すなわち、After PRサンプルでは炭素残留成分が存在することが確認されている。

10

#### 【0095】

[加熱処理が炭素残留成分に与える影響]

After PRサンプルに対する加熱処理が、炭素残留成分の脱離に与える影響を確認した。

#### 【0096】

図16は、加熱温度の違いによるTDS測定結果を示す図である。After PRサンプルに対して、加熱処理をしない(R.T.)サンプル、300 1時間で加熱処理したサンプル、350 1時間で加熱処理したサンプル、および400 1時間で加熱処理をしたサンプルを準備した。それぞれのAfter PRサンプルに対するTDS測定結果によれば、加熱処理の温度が高くなるほど、脱離するCOの量が減少した。すなわち、加熱温度が高くなるほど、炭素残留成分が減少することが確認された。

20

#### 【0097】

具体的には、COの脱離量は、加熱処理をしない(R.T.) After PRサンプルの場合は $1.0 \times 10^{15} \text{ cm}^{-2}$ であり、300 1時間で加熱処理したAfter PRサンプルの場合は $0.5 \times 10^{15} \text{ cm}^{-2}$ であり、350 1時間で加熱処理したAfter PRサンプルの場合は $1.5 \times 10^{14} \text{ cm}^{-2}$ であり、および400 1時間で加熱処理をしたAfter PRサンプルの場合は検出下限( $1.0 \times 10^{14} \text{ cm}^{-2}$ )以下であった。

#### 【0098】

図17は、After PRサンプルおよび加熱処理後のサンプルに対するオージェ電子分光の測定結果を示す図である。横軸は、ITZOの表面をArイオンビームでエッチング(スパッタ)した時間(Sputter Time)に対応する。この例では、ITZOのエッチングレートは、2.5 nm/minである。エッチングとオージェ電子分光測定とを繰り返しながら、深さ方向の組成比(Atomic Concentration)を得た。After PRサンプルに対して加熱処理をしていない場合には、ITZO膜の表面から2 nmないしは3 nmまでの深さにおいて、炭素原子が検出されている。特に、最表面において50 at%の炭素原子が検出されている。一方、After PRサンプルに対して400 の加熱処理をした場合には、最表面において8 at%の炭素原子が検出されているものの、ITZO膜の表面から1 nm未満の深さにおいて、検出下限以下の炭素原子になっている。

30

40

#### 【0099】

TDS測定の結果とオージェ電子分光測定の結果とを考慮すると、加熱処理をしない(R.T.) After PRサンプルの場合は、 $1.0 \times 10^{15} \text{ cm}^{-2}$ のCO脱離量であり、最表面において50 at%の炭素原子が測定された。この場合には、以下に説明する関係に基づいて、ITZO膜の表面から深さ5 nmまでの範囲における炭素原子の平均濃度が $1.0 \times 10^{22} \text{ cm}^{-3}$ 程度であり、少なくとも $1.5 \times 10^{21} \text{ cm}^{-3}$ より多いということはいえる。

#### 【0100】

400 1時間で加熱処理をしたAfter PRサンプルの場合は、検出下限( $1.0$

50

$\times 10^{14} \text{ cm}^{-2}$ ) 以下のCO脱離量であり、最表面において8 at %の炭素原子が測定された。この場合には、ITZO膜の表面から深さ5 nmまでの範囲における炭素原子の平均濃度が $3.5 \times 10^{20} \text{ cm}^{-3}$ であるといえることができる。

#### 【0101】

350 1時間で加熱処理したAfter PRサンプルの場合は、 $1.5 \times 10^{14} \text{ cm}^{-2}$ のCO脱離量である。TDS測定結果を考慮すると、処理後サンプルに対して350 の加熱処理をした場合には、最表面における炭素原子の最大濃度が19 at %であることが推測される。この場合には、ITZO膜の表面から深さ5 nmまでの範囲における炭素原子の平均濃度が $1.5 \times 10^{21} \text{ cm}^{-3}$ であるといえることができる。

#### 【0102】

TDS測定の結果とオージェ電子分光測定の結果と炭素原子濃度との関係について説明する。ITZOは、分子量、膜密度を考慮すると、単位体積(1立方センチメートル)当たりの原子数が概ね $8.0 \times 10^{22} \text{ cm}^{-3}$ である。オージェ電子分光測定の結果によれば、ITZO膜の表面から深さ5 nm(スパッタ時間2分)の範囲に含まれるIn、Sn、Zn、Oの総量に対するCの総量を、以下、炭素相対濃度という。炭素相対濃度は、100%として表面から5 nmまでの範囲で積分した値( $100 \times 5$ )に対する、Cの原子パーセントを表面から5 nmまでの範囲で積分した値、として得られる。

#### 【0103】

加熱処理をしないAfter PRサンプルの結果によれば、炭素相対濃度は、概ね12.5%である。炭素相対濃度に、上述した単位体積当たりの原子数を乗じることで、単位体積当たりの炭素原子数が得られる。この単位体積当たりの炭素原子数は、表面から5 nmまでの範囲における平均濃度に対応し、以下、炭素原子濃度という。

#### 【0104】

加熱処理をしないAfter PRサンプルは、炭素原子濃度が $1.0 \times 10^{22} \text{ cm}^{-3}$ 程度として演算される。一方、400 1時間で加熱処理をしたAfter PRサンプルは、演算された炭素原子濃度が $3.5 \times 10^{20} \text{ cm}^{-3}$ である。ここで、TDS測定結果によれば、350 1時間で加熱処理をしたAfter PRサンプルは、加熱処理をしないAfter PRサンプルに対して、0.15倍のCO脱離量である。したがって、350 1時間で加熱処理したAfter PRサンプルは、炭素原子濃度が $1.5 \times 10^{21} \text{ cm}^{-3}$ であると想定される。

#### 【0105】

加熱処理をしないAfter PRサンプルおよび400 1時間で加熱処理をしたAfter PRサンプルのオージェ電子分光測定の炭素原子のプロファイルと、上記の炭素原子濃度を考慮すると、350 1時間で加熱処理をしたAfter PRサンプルは、その炭素原子濃度から、最表面において最大となる炭素原子の濃度が19 at %であることが推測される。

#### 【0106】

上述した薄膜トランジスタ100における半導体層150におけるチャンネルCHの表面の位置としては、以下のように定義されればよい。バックチャンネル側表面150bであれば、隣接する層間絶縁層200の無機絶縁膜から半導体層150(チャンネルCH)に向けて上述のようにオージェ電子分光により測定した場合、In、SnおよびZnが検出された位置を表面とする。一方、ゲート側表面150gであれば、隣接するゲート絶縁層130から半導体層150(チャンネルCH)に向けて上述のようにオージェ電子分光により測定した場合、In、SnおよびZnが検出された位置を表面とする。

#### 【0107】

##### [NBTsへの影響]

閾値測定用の薄膜トランジスタにおいて、図9に示すようにソース電極176およびドレイン電極177を形成した後に、加熱処理をしない(R.T.)薄膜トランジスタ、300 1時間で加熱処理した薄膜トランジスタ、350 1時間で加熱処理した薄膜トランジスタ、および400 1時間で加熱処理した薄膜トランジスタを準備した。これら

10

20

30

40

50

の測定用薄膜トランジスタに対して、NBTSを実施した。NBTSは、ソース電極およびドレイン電極に対するゲート電極の電圧が「 $V_{th} - 20V$ 」になるように制御し、温度を60とし、暗状態で維持する条件を用いた。NBTSを印加した状態を維持する時間は、最大3600秒である。

#### 【0108】

図18は、NBTSによる閾値シフトの測定結果を示す図である。図18に示す $I_d$  (Drain Current) -  $V_g$  (Gate Voltage) 特性は、ソース電極176に対するドレイン電極177の電圧が「 $0.1V$ 」になるように制御した状態で、ゲート電極172の電圧を変化させたときのドレイン電流を示している。図18は、各加熱処理条件に対応して、閾値シフトのNBTS時間依存性を示した。図18に示すように、NBTS前に対する閾値のシフトは、加熱処理をしない場合は「 $-12V$ 」、300加熱処理の場合は「 $-3.5V$ 」、350加熱処理の場合は「 $-0.5V$ 」、400加熱処理の場合は「 $-0.1V$ 」であった。この結果から、炭素残留成分の存在が少ないほど、マイナスシフト量が小さくなることが確認された。350加熱処理の場合の閾値シフト量に抑えられれば、実用上は十分な信頼性が得られる。

10

#### 【0109】

##### [NBISへの影響]

閾値測定用の薄膜トランジスタにおいて、図9に示すようにソース電極176およびドレイン電極177を形成した後に、加熱処理をしない(R.T.)薄膜トランジスタ、および4001時間で加熱処理をした薄膜トランジスタを準備した。これらの測定用薄膜トランジスタに対して、NBIS (Negative Bias Illumination Stress) を実施した。NBISは、ソース電極およびドレイン電極に対するゲート電極の電圧が「 $V_{th} - 20V$ 」になるように制御し、4000luxの光照射下で維持する条件を用いた。NBISを印加した状態を維持する時間は、最大3600秒である。

20

#### 【0110】

図19は、NBISによる閾値シフトの測定結果を示す図である。図19に示す $I_d - V_g$  特性は、ソース電極に対するドレイン電極の電圧が「 $0.1V$ 」になるように制御した状態で、ゲート電極172の電圧を変化させたときのドレイン電流を示している。図19は、各加熱処理条件に対応して、閾値シフトのNBIS時間依存性を示した。図19に示すように、閾値のシフト量は、加熱処理をしない場合は「 $-12.5V$ 」、400加熱処理の場合は「 $-6.5V$ 」であった。この結果から、光照射下においても、炭素残留成分の存在が少ないほど、マイナスシフト量が小さくなることが確認された。

30

#### 【0111】

NBISによる「 $-6.5V$ 」の閾値シフト量を有する薄膜トランジスタを表示装置に用いる場合であってこのシフト量が問題となる場合には、薄膜トランジスタの近傍においてチャンネルCHへ光侵入経路を妨げるように遮光層を設けてもよい。遮光層による光侵入が妨げられることで、閾値のマイナスシフトをさらに抑制することができるため、薄膜トランジスタの信頼性を向上することができる。

#### 【0112】

一実施形態における表示装置においては遮光層が含まれていないが、薄膜トランジスタ100の上層または下層において、チャンネルCHへの光侵入を妨げるように遮光層が配置されてもよい。炭素残留成分が低減されることで光照射下においても閾値シフト量が少なくなる。したがって、信頼性を確保するために必要な閾値シフト量を実現するために、遮光すべき光の量も少なくすることができる。その結果、炭素残留成分を低減することで薄膜トランジスタ100の周辺に配置される遮光層を小さくし、または省略することができる。

40

#### 【0113】

##### [UVオゾン処理が炭素残留成分に与える影響]

After PRサンプルに対するUVオゾン処理が、炭素残留成分の脱離に与える影響

50

を確認した。

#### 【0114】

図20は、フォトレジスト形成・除去後およびUVオゾン処理後のTDS測定結果を示す図である。Before PRサンプルとAfter PRサンプルとの関係については、上述した関係と同様である。After PRサンプルに対して室温でUVオゾン処理(UV Ozone Treatment)をしたサンプルにおいても、Before PRサンプルと同等のTDS測定結果が得られた。すなわち、UVオゾン処理によりITZO膜の表面から炭素残留成分が減少し、フォトレジストを形成する前の状態と同等にできることが確認された。

#### 【0115】

UVオゾン処理によれば室温でも実現できるため、図6に示す薄膜トランジスタ100が形成されるまでに耐熱性の低い材料が含まれていたとしても、炭素残留成分を除去することができる。図示していないが、例えば、薄膜トランジスタ100と第1支持基板10との間にカラーフィルタなどの有機絶縁膜が存在する場合には、加熱処理ではなくUVオゾン処理により炭素残留成分を低減することが有用である。

#### 【0116】

##### [NBTSへの影響]

閾値測定用の薄膜トランジスタにおいて、図9に示すようにソース電極176およびドレイン電極177を形成した後に、UVオゾン処理をした薄膜トランジスタを準備した。これらの測定用薄膜トランジスタに対して、NBTSを実施した。NBTSの条件は、図18に示した測定結果を得たときの条件と同じであり、ソース電極およびドレイン電極に対するゲート電極の電圧が「 $V_{th} - 20V$ 」になるように制御し、温度を60とし、暗状態で維持する条件を用いた。ソース電極176およびドレイン電極177に対するゲート電極の電圧を「 $V_{th} + 20V$ 」に制御し、温度を60とし、暗状態で維持したPBTS(Positive Bias Temperature Stress)についても実施した。

#### 【0117】

図21は、UVオゾン処理後のNBTSおよびPBTSによる閾値シフトの測定結果を示す図である。図21に示す $I_d - V_g$ 特性は、ソース電極176に対するドレイン電極177の電圧を「0.1V」に制御して、ゲート電極172の電圧を変化させたときのドレイン電流を示している。図21に示すように、UVオゾン処理においても、NBTSによる閾値のシフト量は充分小さく抑えられている。

#### 【0118】

PBTSによる閾値のシフト量も、NBTSと同様に充分小さく抑えられている。上記説明では省略したが、PBTSについては、After PRサンプルに対して炭素残留成分の低減処理(UVオゾン処理または加熱処理)をしなくても、閾値のシフト量は小さく抑えられているため、参考までに提示した。

#### 【0119】

##### <変形例>

本開示は上述した実施形態に限定されるものではなく、他の様々な変形例が含まれる。例えば、上述した実施形態は本開示を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。各実施形態の構成の一部について、他の構成の追加・削除・置換をすることが可能である。以下、一部の変形例について説明する。

#### 【0120】

##### [他の構造を有する薄膜トランジスタ]

表示装置1000に用いられる薄膜トランジスタは、上述した一実施形態における薄膜トランジスタ100に限られず、様々な構造の薄膜トランジスタを採用することができる。以下、ITZOを用いた薄膜トランジスタにおいて、代表的な構造として2つの例を説明する。

10

20

30

40

50

## 【 0 1 2 1 】

薄膜トランジスタ 1 0 0 は B C E 型の薄膜トランジスタであるが、E S L ( E t c h S t o p L a y e r ) 型の薄膜トランジスタが表示装置 1 0 0 0 に適用されてもよい。

## 【 0 1 2 2 】

図 2 2 は、一実施形態における E S L 型薄膜トランジスタを示す図である。図 2 2 では、E S L 型の薄膜トランジスタ 1 0 0 A が示されている。薄膜トランジスタ 1 0 0 A は、薄膜トランジスタ 1 0 0 に対して、エッチストップ層 1 5 0 e が追加された構造を有する。エッチストップ層 1 5 0 e は、ソース電極 1 7 1 およびドレイン電極 1 7 2 を形成するときのエッチングストップパとなる層であり、例えば、C V D 法または P V D 法により形成された酸化シリコンである。ソース電極 1 7 1 およびドレイン電極 1 7 2 を形成するときには、バックチャネル側表面 1 5 0 b の露出部分はエッチストップ層 1 5 0 e に既に覆われている。したがって、E S L 型の薄膜トランジスタ 1 0 0 A の場合には、半導体層 1 5 0 が形成された後、このエッチストップ層 1 5 0 e となる酸化シリコン膜が形成される前に、炭素残留成分を脱離するための処理（加熱処理または U V オゾン処理）が行われる。すなわちエッチストップ層 1 5 0 e がチャネルを覆う絶縁層として機能する。

10

## 【 0 1 2 3 】

E S L 型の薄膜トランジスタ 1 0 0 A では、エッチストップ層 1 5 0 e の存在によってソース電極 1 7 1 およびドレイン電極 1 7 2 が半導体層 1 5 0 と接触する位置が、B C E 型の薄膜トランジスタ 1 0 0 とは異なる。そのため、図 2 2 に示すように薄膜トランジスタ 1 0 0 A のチャネル C H の領域は、薄膜トランジスタ 1 0 0 のチャネル C H とは異なる。

20

## 【 0 1 2 4 】

薄膜トランジスタ 1 0 0 はボトムゲート型薄膜トランジスタであるが、トップゲート型薄膜トランジスタが表示装置 1 0 0 0 に適用されてもよい。

## 【 0 1 2 5 】

図 2 3 は、一実施形態におけるトップゲート型薄膜トランジスタを示す図である。ボトムゲート型薄膜トランジスタ 1 0 0 は、ゲート電極 1 2 0 が第 1 支持基板 1 0 と半導体層 1 5 0 との間に配置されている。一方、図 2 3 に示すように、トップゲート型薄膜トランジスタ 1 0 0 B は、半導体層 1 5 0 B が第 1 支持基板 1 0 とゲート電極 1 2 0 B との間に配置されている。したがって、I T Z O 膜を加工するときのフォトレジスト P R が接触する面は、ボトムゲート型薄膜トランジスタ 1 0 0 の場合にバックチャネル側表面 1 5 0 b であったが、トップゲート型薄膜トランジスタ 1 0 0 B の場合にはゲート側表面 1 5 0 B g になる。したがって、トップゲート型薄膜トランジスタ 1 0 0 B では、半導体層 1 5 0 B が形成された後、ゲート絶縁層 1 3 0 が形成される前に、炭素残留成分を脱離するための処理（加熱処理または U V オゾン処理）が行われる。なお、バックチャネル側表面 1 5 0 B b は炭素残留成分が存在せず、炭素残留成分がわずかに存在したとしても、上述したように I T Z O 膜を形成するときに脱離する。

30

## 【 0 1 2 6 】

トップゲート型薄膜トランジスタ 1 0 0 B では、半導体層 1 5 0 B のうちゲート電極 1 2 0 B の直下の部分がチャネル C H に対応する。チャネル C H に対してソース電極 1 7 1 B 側にはソース領域 1 5 1 B が形成され、チャネル C H に対してドレイン電極 1 7 2 B 側にはドレイン領域 1 5 2 B が形成される。例えば、ソース領域 1 5 1 B およびドレイン領域 1 5 2 B は、例えば、ゲート電極 1 2 0 B をマスクとしてセルフアライメントで水素等が半導体層 1 5 0 B に供給されることで、低抵抗化した領域である。

40

## 【 0 1 2 7 】

以上のとおり、どのような構造を有する薄膜トランジスタが表示装置 1 0 0 0 に採用されたとしても、チャネル C H が露出した状態において炭素残留成分を脱離する処理（加熱処理または U V オゾン処理）を行えばよい。そして、脱離する処理の後かつ炭素原子を含む層（例えば、フォトレジスト、有機絶縁層等）がチャネル C H 上に形成される前に、チャネル C H を炭素原子から保護する絶縁層（例えば、酸化シリコン等の無機絶縁性材料）

50

を形成すればよい。

【 0 1 2 8 】

ITZO以外の半導体材料を用いた薄膜トランジスタが、薄膜トランジスタ100と併用されてもよい。ITZO以外の半導体材料は、例えば、他の金属酸化物半導体（例えばIGZO）であってもよいし、アモルファスシリコン、ポリシリコンなどのシリコンを用いた半導体であってもよい。

【 0 1 2 9 】

[ 電子機器への適用 ]

上述した表示装置1000は、スマートフォン、ラップトップコンピュータ、テレビ等の様々な電子機器のディスプレイとして適用されてもよい。表示装置1000は、画素回路によって発光が制御される発光層を含む有機ELディスプレイに限らない。例えば、表示装置1000は、発光層がLED (Light Emitting Diode) であるマイクロLEDディスプレイであってもよいし、画素回路によって光学特性が制御される光学素子を含むディスプレイ、例えば、光学素子として液晶を含む液晶ディスプレイであってもよい。

10

【 0 1 3 0 】

図24は、一実施形態における電子機器を示す図である。図24に示す電子機器2000は、スマートフォンであり、筐体1500に收容された表示装置1000、制御装置1600および記憶装置1700を含む。記憶装置1700は、例えば、不揮発性メモリである。制御装置1600は、CPU (Central Processing Unit) 等を含み、記憶装置1700に記憶されたプログラムを実行することによって、表示装置1000を制御して、表示装置1000に表示される映像を制御する。

20

【 0 1 3 1 】

上述した薄膜トランジスタは、表示装置1000を構成する素子に適用される場合に限らず、制御装置1600および記憶装置1700等を構成する素子に適用されてもよい。すなわち、薄膜トランジスタ100が用いられた電子機器は、表示装置1000を備えていない構成も含む。電子機器の一例は、記憶装置、論理回路およびその周辺回路装置、無線信号処理装置、入力装置、撮像装置、ニューロモルフィックコンピューティング装置等、表示装置以外の電子装置を含む。このような電子機器には、ITZOを用いた薄膜トランジスタと併用して、ITZO以外の半導体材料を用いた薄膜トランジスタがさらに用いられてもよい。

30

【 0 1 3 2 】

[ ZSOパッシベーション層 ]

薄膜トランジスタ100において、チャネルCHにおけるバックチャネル側表面150bを所定の膜により形成されるパッシベーション層で覆ってチャネルを覆う絶縁層としてもよい。該パッシベーション層は、酸素雰囲気下のDCスパッタリング法で形成できる酸化物薄膜が好ましく、例えば、アモルファスZSO (ZnSiO) 膜により形成される。パッシベーション層は、密着性の観点から、少なくとも一部にアモルファスを含むことが好ましいが、一部に微結晶等の結晶構造が含まれてもよい。パッシベーション層の厚さは、様々に取り得るが、例えば、2nm以上200nm以下であり、好ましくは、3nm以上50nm以下である。この例では、パッシベーション層の厚さは、5nmである。パッシベーション層は、図23に示すトップゲート型薄膜トランジスタ100Bに適用することもできる。この場合には、図36に示すように、下地絶縁層110とバックチャネル側表面150Bbとの間にパッシベーション層160Fが形成されてもよいし、図37に示すように、ゲート絶縁層130とゲート側表面150Bgとの間にパッシベーション層160Gが形成されてもよい。パッシベーション層160Fおよびパッシベーション層160Gは、少なくともチャネルCH領域に存在していることが好ましい。言い換えると、パッシベーション層160Fおよびパッシベーション層160Gは、チャネルCH以外の領域には存在しなくてもよく、少なくともチャネルCHを覆っていればよい。

40

【 0 1 3 3 】

50

ZSO膜は、ZnOおよびSiO<sub>2</sub>を含むターゲットを用いた酸素雰囲気下のDCスパッタリングにより形成される。パッシベーション層としてのZSO膜は、絶縁性を有する。ZSOは、SiO<sub>2</sub>に対するZnOの割合が多くなることで、絶縁性を有する状態から、導電性を有する状態に変化する。ZSOのターゲットは、導電性を有する組成比で形成されているため、DCスパッタリングによる形成が可能である。半導体層150の表面が還元されることを抑制するため、ZSOのターゲットは、Znが金属として含まれるのではなく金属酸化物として含まれることが好ましい。一方、スパッタリングの条件を制御することにより、絶縁性を有するZSO膜のパッシベーション層が形成される。ZSO膜は、DCスパッタリング以外のPVD法で形成されてもよいし、最終的にチャネルCHの表面に生じる炭素残留成分を少なくすることができれば、CVD法またはALD法で形成されてもよい。

10

## 【0134】

このパッシベーション層は、Znおよびシリコン(Si)を含む金属酸化物層であるZSO膜に限られず、例えば、Zn、SiおよびSnを含む金属酸化物層であるZSTO膜であってもよい。この場合には、それぞれZnO、SnO<sub>2</sub>を含むターゲット、またはZnO、SiO<sub>2</sub>、SnO<sub>2</sub>を含むターゲットを用いた酸素雰囲気下のDCスパッタリングにより形成されればよい。

## 【0135】

ZSO膜の場合、Zn/(Zn+Si)の比は、モル比で0.30以上0.95以下の範囲が好ましく、0.40以上0.85以下の範囲であることがより好ましい。ZSTO膜の場合、Sn/(Zn+Sn+Si)の比は、モル比で0.15以上0.95以下の範囲が好ましい。また、Si/(Zn+Sn+Si)の比は、モル比で0.07以上0.30以下の範囲が好ましい。これらのモル比は、膜としての値である。

20

## 【0136】

パッシベーション層は、ZSO膜またはZSTO膜に対して、さらにチタン(Ti)、ガリウム(Ga)、ニオブ(Nb)、アルミニウム(Al)およびInの少なくとも一つが含まれていてもよい。この場合においても、これらの元素は金属酸化物としてターゲットに含まれていることが好ましい。

## 【0137】

パッシベーション層の電子親和力は、半導体層150(この例ではITZO膜)の電子親和力よりも小さいことが好ましい。さらにパッシベーション層の電子親和力が2.0eV以上4.0eV以下の範囲内であって、パッシベーション層のイオン化ポテンシャルが6.0eV以上8.5eV以下の範囲内であることが好ましい。より好ましい電子親和力は2.2eV以上3.5eV以下であり、さらに好ましくは2.5eV以上3.0eV以下である。より好ましいイオン化ポテンシャルは6.0eV以上7.5eV以下、さらに好ましくは6.0eV以上7.0eV以下である。半導体層よりも電子親和力が小さいパッシベーション層を設けることにより、外部から半導体層への電子の注入を防ぐ効果を有する。また、半導体層よりもイオン化ポテンシャルが大きいパッシベーション層を設けることにより、外部から半導体層への正孔の注入を防ぐ効果を有する。これらにより、NBSやPBSによる閾値シフトを抑制することができる。

30

40

## 【0138】

パッシベーション層の電子親和力は、ターゲットにおける組成比を変化させることで調整することができる。例えば、ZSO膜であれば、ターゲットにおけるZnOとSiO<sub>2</sub>との割合によって、所望の電子親和力を実現することができる。電子親和力及びイオン化ポテンシャルは、量子化学理論計算(電子親和力=中性分子のエネルギーとアニオンのエネルギー差、イオン化ポテンシャル=カチオンと中性分子のエネルギー差)、または光電子分光法等の公知の測定方法により求めることができる。具体的には、紫外光電子分光法を用いてイオン化ポテンシャルを評価し、分光光度計を用いてバンドギャップを評価し、電子親和力を該イオン化ポテンシャルと該バンドギャップの差から算出する。

## 【0139】

50

図25から図27は、一実施形態におけるパッシベーション層を用いた薄膜トランジスタを示す図である。図25から図27のそれぞれにおいては、ZSO膜のパッシベーション層が薄膜トランジスタ100に適用される場合の例を示す。図25に示す薄膜トランジスタ100Cでは、上述したエッチストップ層150eに相当する位置にパッシベーション層160が形成される。すなわち、半導体層150が形成された後にZSO膜が形成され、ZSO膜が所望のパターンに形成されることによって、バックチャネル側表面150b上にパッシベーション層160が形成される。パッシベーション層160の一部は、ソース電極171およびドレイン電極172に覆われている。

#### 【0140】

図26に示す薄膜トランジスタ100Dでは、ソース電極171およびドレイン電極172が形成された後にZSO膜が形成され、ZSO膜が所望のパターンに形成されることによって、バックチャネル側表面150bの露出部分上にパッシベーション層160Dが形成される。薄膜トランジスタ100Cにおけるパッシベーション層160と同様に、パッシベーション層160Dはバックチャネル側表面150bの露出部分を覆う。一方、薄膜トランジスタ100Cにおけるパッシベーション層160とは異なり、パッシベーション層160Dはソース電極171およびドレイン電極172の一部も覆っている。

10

#### 【0141】

図27に示す薄膜トランジスタ100Eは、図25に示す薄膜トランジスタ100Cにおいて、パッシベーション層160上に上述したエッチストップ層150eEが形成されている例である。パッシベーション層160とエッチストップ層150eEとは同じパターンとして形成されてもよい。パッシベーション層160の厚さを調整することによって、図25に示す薄膜トランジスタ100Cにおいて、パッシベーション層160がエッチストップ層150eとしての機能を有するようにしてもよい。

20

#### 【0142】

このように、ZSO膜を用いたパッシベーション層が、60 または光照射条件下での負のゲート電圧印加による閾値のシフトをより抑えることが発明者らの知見によって得られた。このパッシベーション層により、ITZOの表面準位を低減し、ITZOと外部とにおいて電荷の移動を抑制するためと考えられる。以下、閾値のシフトを抑えることができた結果について説明する。閾値シフト測定用の薄膜トランジスタは、図9に示す閾値シフト測定用の薄膜トランジスタに対応する。したがって、ZSO膜を用いたパッシベーション層が形成されている薄膜トランジスタは、図9に示す薄膜トランジスタのバックチャネル側表面155b上に形成されていることになる。ここでは、図9に示す薄膜トランジスタが形成され、400 の加熱処理がされた後に、さらにZSO膜を用いたパッシベーション層を形成している。

30

#### 【0143】

図28は、温度変化による閾値シフトの測定結果を示す図である。図28に示すId-Vg特性は、ソース電極に対するドレイン電極の電圧が「0.1V」になるように制御した状態で、ゲート電極172の電圧を変化させたときのドレイン電流を示している。図28は、ZSO膜のパッシベーション層を用いない場合(w/o a-ZSO)と、ZSO膜のパッシベーション層を用いる場合(w a-ZSO)とにおいて、室温(R.T.)および60におけるId-Vg特性を示している。

40

#### 【0144】

ZSO膜のパッシベーション層を用いない場合、60での閾値は、室温での閾値よりもマイナスにシフトする。一方、ZSO膜のパッシベーション層を用いる場合、室温でも60でも閾値はほとんどシフトしない。このように、ZSO膜のパッシベーション層によって、閾値の温度依存性が抑えられる。

#### 【0145】

図29は、NBISによる閾値シフトの測定結果を示す図である。図29は、上述した図19に対応するNBISの測定結果であり、ZSO膜のパッシベーション層を用いない場合の結果は、図19における400加熱処理の場合に相当する。一方、ZSO膜のパ

50

ッシベーション層を用いる場合、閾値はほとんどシフトしない。このように、ZSO膜のパッシベーション層によって、NBISによる閾値のマイナスシフトがさらに抑えられる。

#### 【0146】

図30は、光照射前後の電子濃度の測定結果を示す図である。図30は、ガラス基板上にITZO膜を形成しZSO膜を形成していないサンプル(w/o a-ZSO)と、さらにITZO膜上に5nmのZSO膜を形成したサンプル(w a-ZSO)とについて、ホール測定によりITZO膜の電子濃度を測定した結果を示している。電子濃度は、光照射前(時間軸における「AS」に対応)および光照射後に測定され、光照射後は時間変化(時間軸の「0」は照射直後に対応)についても測定された。光照射前と光照射後との間において、ITZO膜に対してガラス基板とは反対側(ITZO膜が露出した面またはZSO膜が露出した面)からソーラーシミュレータによって得られた光を照射した。光を照射した時間は10分間である。

10

#### 【0147】

図30に示すように、ZSO膜を形成していないサンプルにおいては、光の照射によって、ITZO膜の電子濃度が $2 \times 10^{17} \text{ cm}^{-3}$ から $2 \times 10^{18} \text{ cm}^{-3}$ に増加し、6時間経過してもほとんど変化していない。一方、ZSO膜を形成したサンプルにおいては、光の照射によって、ITZO膜の電子濃度が $1 \times 10^{17} \text{ cm}^{-3}$ からわずかに上昇するが、6時間経過後にはほぼ元の濃度に戻っている。この現象は、ZSO膜のパッシベーション層を用いる場合にNBISによる閾値のマイナスシフトがほとんど生じない要因の一つである、と推測される。

20

#### 【0148】

図31は、吸収係数の測定結果を示す図である。図31は、図30と同じサンプルに対して紫外可視近赤外分光法により吸収係数を測定した結果である。図31に示すように、ZSO膜の有無にかかわらず、吸収係数はほとんど同じである。この測定結果は、ZSO膜が非常に薄く5nmであること、およびZSO膜が広いバンドギャップを有することに起因する。したがって、図30に示す結果は、ITZO膜へ照射された光がZSO膜により障害されたことが主たる理由ではない、ということを示している。

#### 【0149】

DCスパッタリングによるZSO膜の形成により、ITZO膜の表面およびZSO膜とITZO膜との界面における不純物を抑制する効果、および各プロセスによって受けるダメージを抑制する効果を生じる。その結果として、ZSO膜のパッシベーション層により得られる特性改善効果が得られることが推測される。酸素雰囲気下のDCスパッタリングによれば、上述した炭素残留成分を低減する効果も有する。したがって、炭素残留成分を低減するための加熱処理およびUVオゾン処理を省略したり、加熱処理およびUVオゾン処理を簡易的な処理(低温化、低照度化または処理時間短縮)に置き換えたりすることも期待される。

30

#### 【0150】

図32は、NBS(Negative Bias Stress)による閾値シフトの時間による変化の測定結果とモデル式を示す図である。NBSは、ソース電極およびドレイン電極に対するゲート電極の電圧が「V<sub>th</sub>-20V」になるように制御して維持する条件を用いた。NBSを印加した状態を維持する時間は、上述した炭素残留成分の低減する処理を行わずZSO膜のパッシベーション層も用いないサンプル(unstablesample)では最大3600秒であり(下図)、炭素残留成分の低減する処理を行いさらにZSO膜のパッシベーション層が形成されたサンプル(stablesample)では最大86400秒である(上図)。

40

#### 【0151】

図32には、NBSによる閾値シフトを拡張指数関数(Stretched Exponential Function)を用いてフィッティングした場合の各パラメータが示されている。V<sub>th</sub>(0)は初期の閾値電圧である。τは時定数であり、Eはエネルギー

50

ーバリアパラメータである。炭素残留成分の除去およびZSO膜のパッシベーション層の形成がされているか否かによって、 $V_{th}$ と $\mu_{eff}$ が大きく異なっている。 $V_{th}$ はエネルギーバリアの分布を反映するため、電荷伝達のメカニズムが異なると $\mu_{eff}$ が異なると考えられている。ZnOを用いたガスセンサでは導入されるガス種によって $V_{th}$ が大きく異なることも知られている。高移動度で安定した $In_2O_3$ のTFTでは、フェルミレベルの違いによって $V_{th}$ が異なる可能性も示されている。さらに、図32に示すように、 $V_{th}(t)$ が、2つのサンプル間で二桁も異なることが確認された。

#### 【0152】

[異なる組成のITZOについて]

上述した一実施形態では、ターゲットの組成比 $In : Sn : Zn$ が、20 : 40 : 40 (at%)であったが、この組成比でなくてもよい。この組成比が40 : 40 : 20 (at%)である場合のサンプルについて、NBTS、PBTS、NBISによる閾値シフトの測定結果を説明する。

#### 【0153】

図33および図34は、NBTSおよびPBTSによる閾値シフトの測定結果を示す図である。図33は、ターゲットの組成比 $In : Sn : Zn$ が、20 : 40 : 40 (at%)である場合における測定結果である。図34は、ターゲットの組成比 $In : Sn : Zn$ が、40 : 40 : 20 (at%)である場合における測定結果である。図33および図34の測定に用いられたサンプルは、いずれも炭素残留成分を低減する処理が行われ、ZSO膜のパッシベーション層が形成されている。いずれのターゲットの組成比においても、閾値のシフトがほとんど生じていない。また、図33に示す測定結果は、炭素残留成分を低減する処理が行われZSO膜のパッシベーション層が形成されていない場合の測定結果(図21)と比べても、概ね同様の結果が得られている。すなわち、ZSO膜の存在によってNBTSおよびPBTSに対する悪影響は確認されていない。

#### 【0154】

図35は、NBISによる閾値シフトの測定結果を示す図である。図35では、NBISにおける測定結果を、ターゲットの組成比が異なる2つのITZOにより比較している。ターゲットの組成比 $In : Sn : Zn$ が40 : 40 : 20 (at%)のサンプル( $In_{0.4}Sn_{0.4}Zn_{0.2}O_x$ )の電界効果移動度は、 $70 \text{ cm}^2 / \text{Vs}$ である。ターゲットの組成比 $In : Sn : Zn$ が20 : 40 : 40 (at%)のサンプル( $In_{0.2}Sn_{0.4}Zn_{0.4}O_x$ )の電界効果移動度は、 $50 \text{ cm}^2 / \text{Vs}$ である。

#### 【0155】

ターゲットの組成比が $In_{0.4}Sn_{0.4}Zn_{0.2}O_x$ である場合の方が、 $In_{0.2}Sn_{0.4}Zn_{0.4}O_x$ である場合よりも、移動度が高いため閾値のマイナスシフトがわずかに大きいものの、大きな違いがない。このように、特定の組成比以外のITZOであっても、同様の方法により様々な電圧ストレスにおける閾値シフトの抑制効果を得ることができる。少なくとも移動度が $70 \text{ cm}^2 / \text{Vs}$ 以下となるITZOによれば、電圧ストレスにおける閾値シフトの十分な抑制効果が確認されている。

#### 【0156】

十分な抑制効果を有する閾値のシフト量は、例えば、3V以下であることが好ましく、1V以下であることがより好ましい。このような抑制効果を得られれば、より高い移動度を有するITZOを薄膜トランジスタに用いることもできる。

#### 【0157】

[ITZO以外の金属酸化物半導体を用いた薄膜トランジスタ]

上記に詳述した半導体層にITZO膜を用いた薄膜トランジスタにおいて確認された電圧ストレスによる閾値シフトを、炭素残留成分の低減処理によって低減できることは、ITZO以外にも、ITGO( $In-Sn-Ga$ 酸化物)、IZO( $In-Zn$ 酸化物)でも確認されている。したがって、前述した炭素残留成分を低減することの効果に関する知見は、 $In$ を含む金属酸化物半導体をチャネルとする薄膜トランジスタ一般に適用できるものである。パッシベーション層に関する知見についても、半導体層よりも電子親和力が

小さく、イオン化ポテンシャルが大きいパッシベーション層を用いれば、Inを含む金属酸化物半導体をチャンネルとする薄膜トランジスタ一般に適用できるものといえる。このように、高い電界効果移動度を有する金属酸化物半導体を用いた薄膜トランジスタに特に好適に適用できる。高い電界効果移動度とは、好ましくは $20\text{ cm}^2/\text{Vs}$ 以上、特に好ましくは $40\text{ cm}^2/\text{Vs}$ 以上である。

【0158】

ITGO膜またはIZO膜を半導体層に用いた場合におけるNBSによる閾値シフトについて、UVオゾン処理による効果を説明する。

【0159】

図38および図39は、UVオゾン処理有無におけるNBSによる閾値シフトの測定結果を示す図である。図38は、ITGO膜を半導体層に用いた場合(ターゲットの組成比In:Sn:Gaが、40:20:40(at%)である場合)における測定結果である。図39は、IZO膜を半導体層に用いた場合(ターゲットの組成比In:Znが、50:50(at%)である場合)における測定結果である。

10

【0160】

閾値測定用の薄膜トランジスタにおいて、サンプルの構造および測定条件は、図21に示す測定結果を得たときと同様である。図38および図39に示すように、ITGO膜またはIZO膜を半導体層に用いた場合においても、NBSによる閾値のシフト量は充分小さく抑えられている。

【0161】

20

以上に示す薄膜トランジスタは、以下に示す特徴を有する構成であってもよい。

【0162】

基板上に形成された薄膜トランジスタであって、  
 少なくともインジウム(In)、錫(Sn)および亜鉛(Zn)を含む金属酸化物半導体層の少なくとも一部により形成されたチャンネルと、  
 ゲート電極と、  
 前記チャンネルと前記ゲート電極との間に配置されたゲート絶縁層と、  
 前記金属酸化物半導体層に接続されたソース電極およびドレイン電極と、  
 前記チャンネルを覆う絶縁層と  
 を含み、

30

前記チャンネルの長さが $100\text{ }\mu\text{m}$ 以下であり、

NBTS、PBTSおよびNBISにおけるそれぞれの閾値のシフト量が、 $3\text{ V}$ 以下である、薄膜トランジスタ。

NBTS:暗状態、温度「 $60\text{ }^\circ\text{C}$ 」、ソース電極およびドレイン電極に対するゲート電極の電圧「 $V_{th} - 20\text{ V}$ 」、ストレス印加時間「 $3600\text{ 秒}$ 」

PBTS:暗状態、温度「 $60\text{ }^\circ\text{C}$ 」、ソース電極およびドレイン電極に対するゲート電極の電圧「 $V_{th} + 20\text{ V}$ 」、ストレス印加時間「 $3600\text{ 秒}$ 」

NBIS:光照射条件「 $15000\text{ Lux}$ 」、ソース電極およびドレイン電極に対するゲート電極の電圧「 $V_{th} - 20\text{ V}$ 」、ストレス印加時間「 $3600\text{ 秒}$ 」

閾値電圧測定:ソース電極に対するドレイン電極の電圧「 $0.1\text{ V}$ 」

40

【0163】

前記チャンネルはInとSnとZnの合計に対するSnの割合が $30\text{ (at\%)}$ 以上であってもよい。前記チャンネルはInとSnとZnの合計に対するSnの割合が $40\text{ (at\%)}$ 以上であってもよい。

【0164】

前記チャンネルは電界効果移動度が $40\text{ cm}^2/\text{Vs}$ 以上であってもよい。前記チャンネルは $60\text{ cm}^2/\text{Vs}$ 以上であってもよい。

【0165】

前記絶縁層は、亜鉛(Zn)およびシリコン(Si)を含む金属酸化物層であってもよい。

50

【 0 1 6 6 】

前記チャネルの長さは50 μm以下であってもよい。前記チャネルの長さは20 μm以下であってもよい。

【 0 1 6 7 】

N B T Sにおける閾値のシフト量が1 V以下であってもよい。

【 0 1 6 8 】

P B T Sにおける閾値のシフト量が1 V以下であってもよい。

【 0 1 6 9 】

N B I Sにおける閾値のシフト量が1 V以下であってもよい。

【符号の説明】

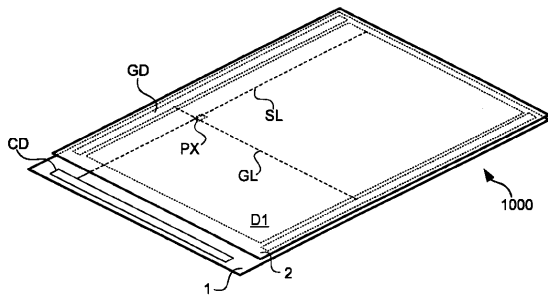
【 0 1 7 0 】

1 ... 第1基板、2 ... 第2基板、10 ... 第1支持基板、100, 100A, 100B, 100C, 100D, 100E ... 薄膜トランジスタ、110 ... 下地絶縁層、120, 120B, 125 ... ゲート電極、130, 135 ... ゲート絶縁層、150, 150B, 155 ... 半導体層、150a ... 上面、150b, 150Bb, 155b ... バックチャネル側表面、150d ... ドレイン表面、150e, 150eE ... エッチストップ層、151B ... ソース領域、152B ... ドレイン領域、155f ... ITZO膜、150g, 150Bg, 155g ... ゲート側表面、150s ... ソース表面、160, 160D ... パッシベーション層、171, 171B, 176 ... ソース電極、172, 172B, 177 ... ドレイン電極、175f ... 金膜、200 ... 層間絶縁層、300 ... 画素電極、400 ... バンク層、500 ... 発光層、600 ... 対向電極、900 ... 封止層、1000 ... 表示装置、1500 ... 筐体、1600 ... 制御装置、1700 ... 記憶装置、2000 ... 電子機器

10

20

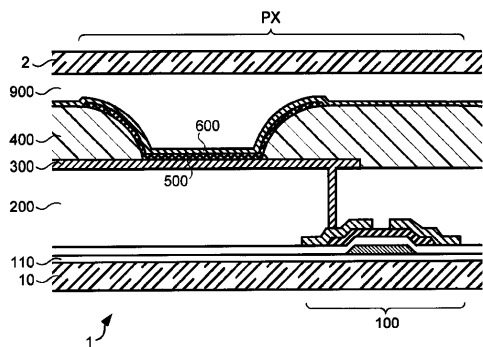
【 図 1 】



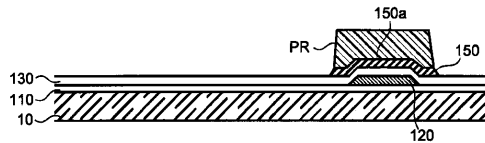
【 図 3 】



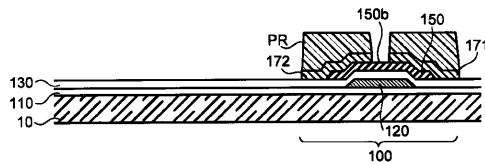
【 図 2 】



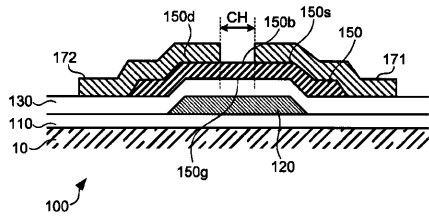
【 図 4 】



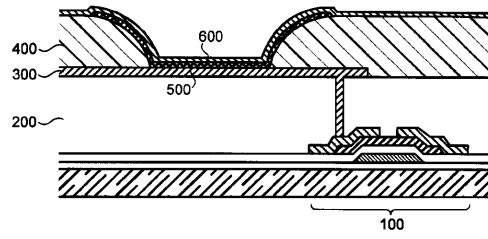
【 図 5 】



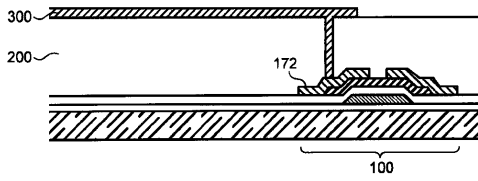
【 図 6 】



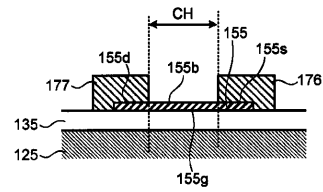
【 図 8 】



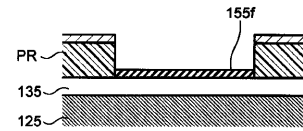
【 図 7 】



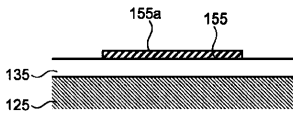
【 図 9 】



【 図 1 0 】

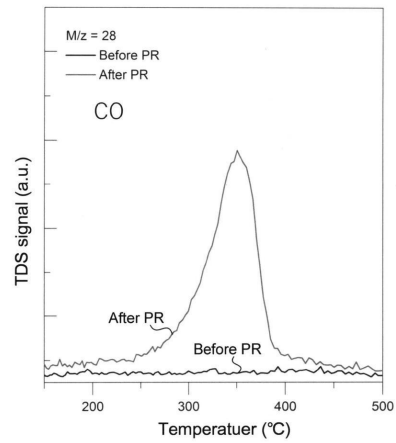
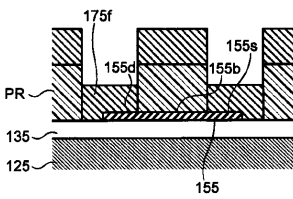


【 図 1 1 】

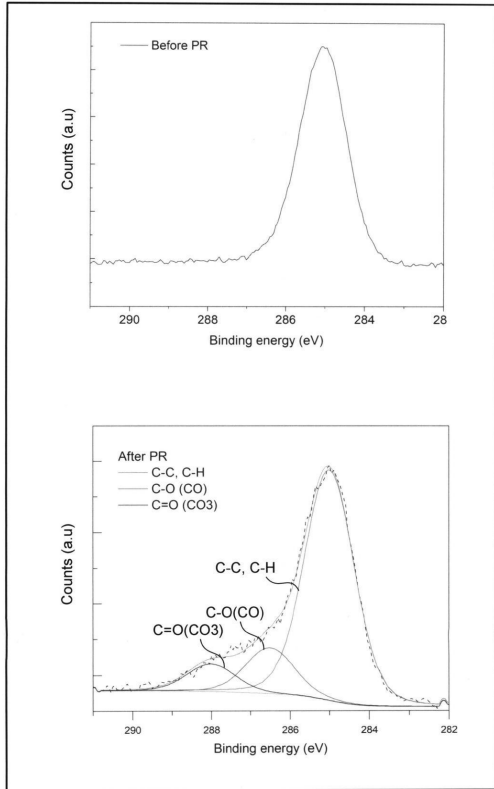


【 図 1 3 】

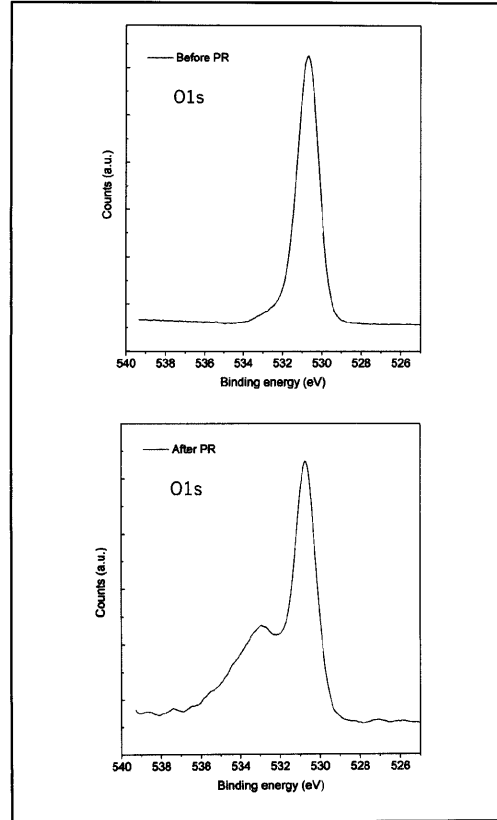
【 図 1 2 】



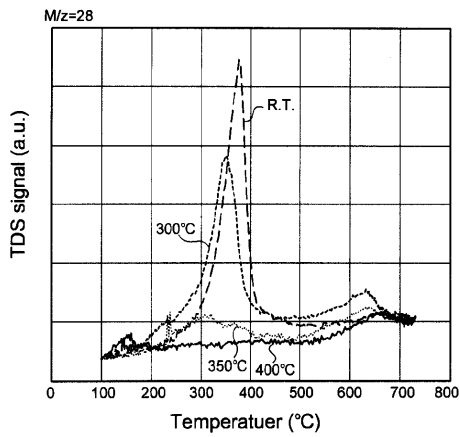
【 図 1 4 】



【 図 1 5 】

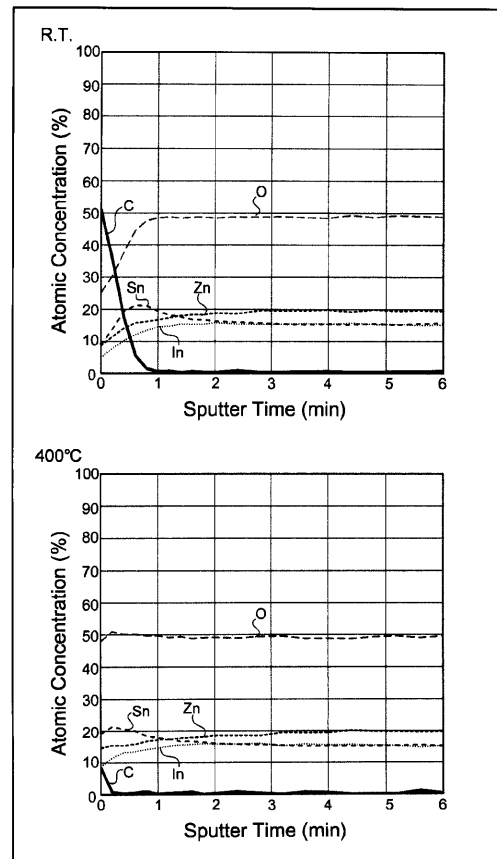


【 図 1 6 】

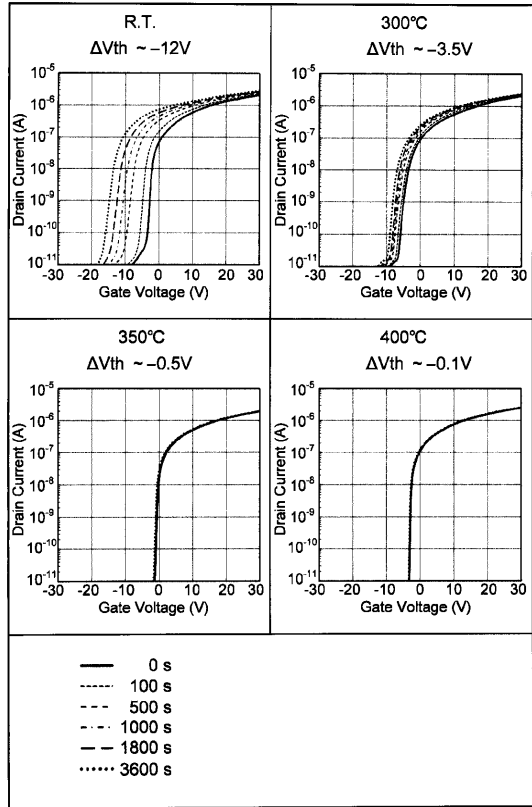


R.T. : ~ 1.0E15/cm<sup>2</sup>  
 300°C: ~ 0.5E15/cm<sup>2</sup>  
 350°C: ~ 1.5E14/cm<sup>2</sup>  
 400°C: Under detection limit

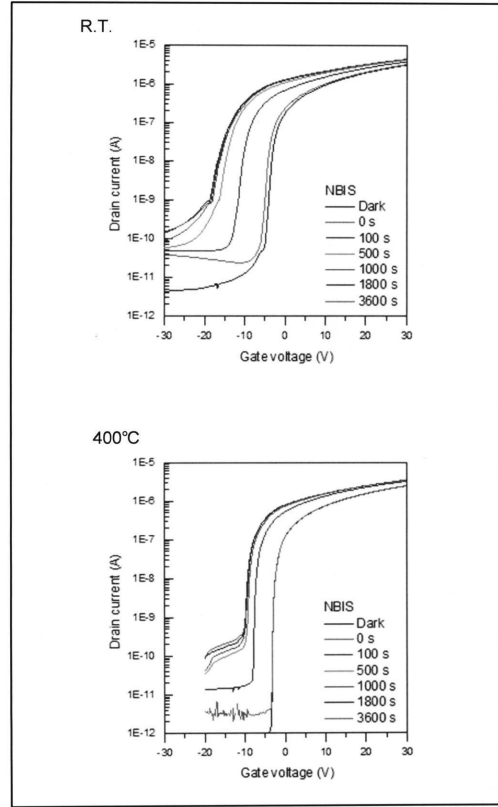
【 図 1 7 】



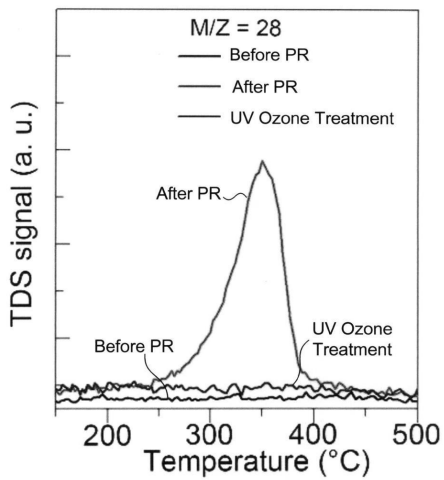
【 図 1 8 】



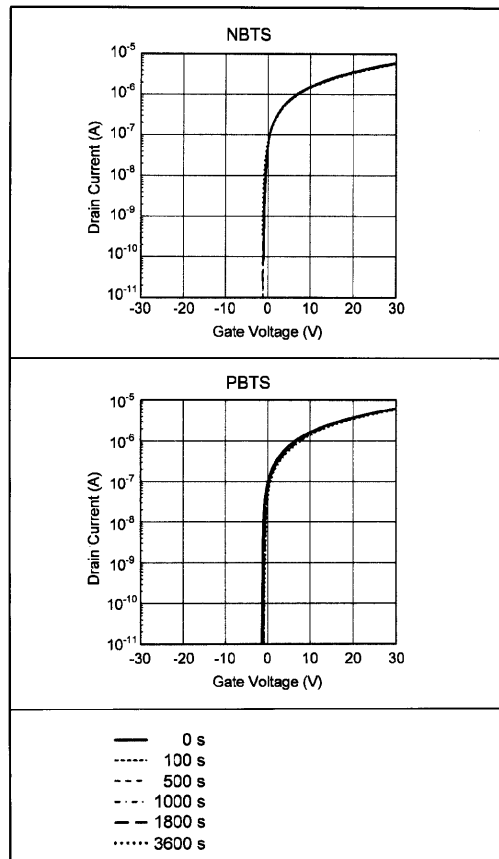
【 図 1 9 】



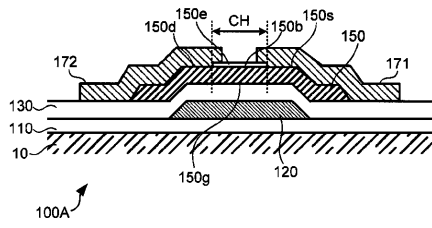
【 図 2 0 】



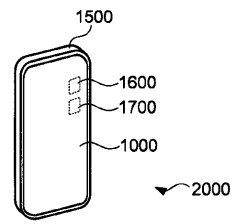
【 図 2 1 】



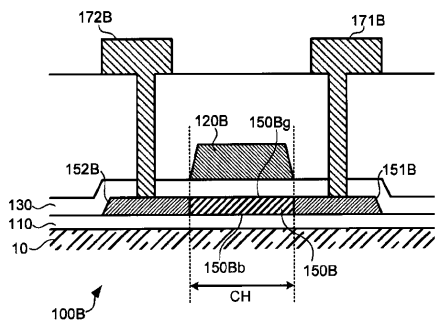
【 図 2 2 】



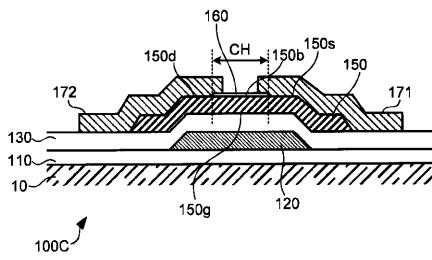
【 図 2 4 】



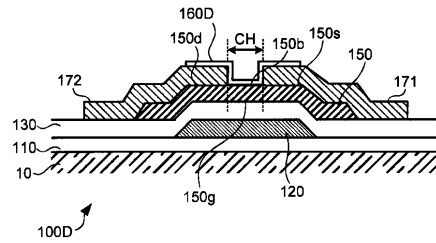
【 図 2 3 】



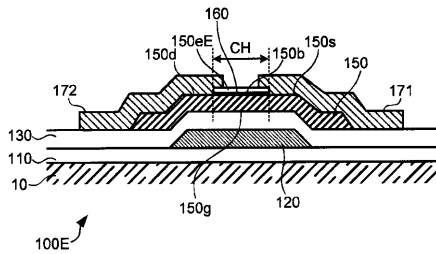
【 図 2 5 】



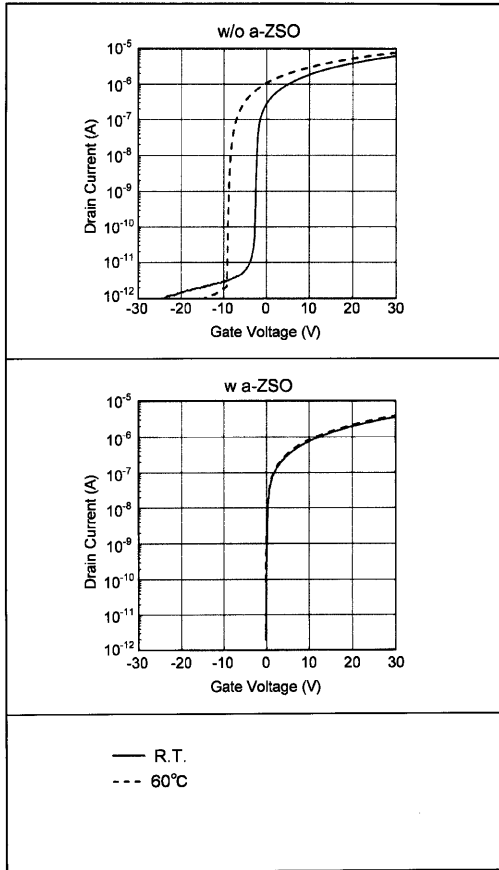
【 図 2 6 】



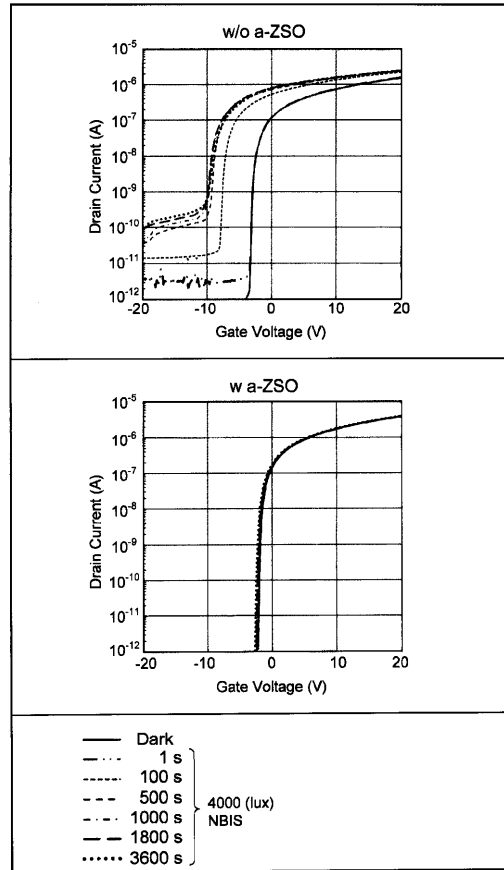
【 図 2 7 】



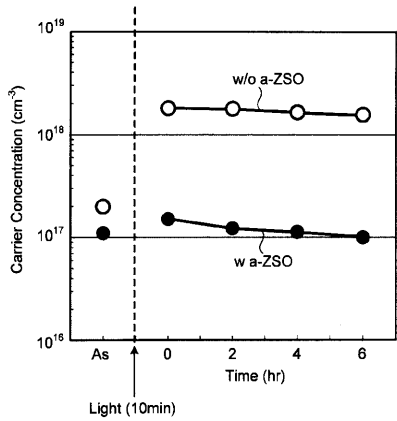
【 28 】



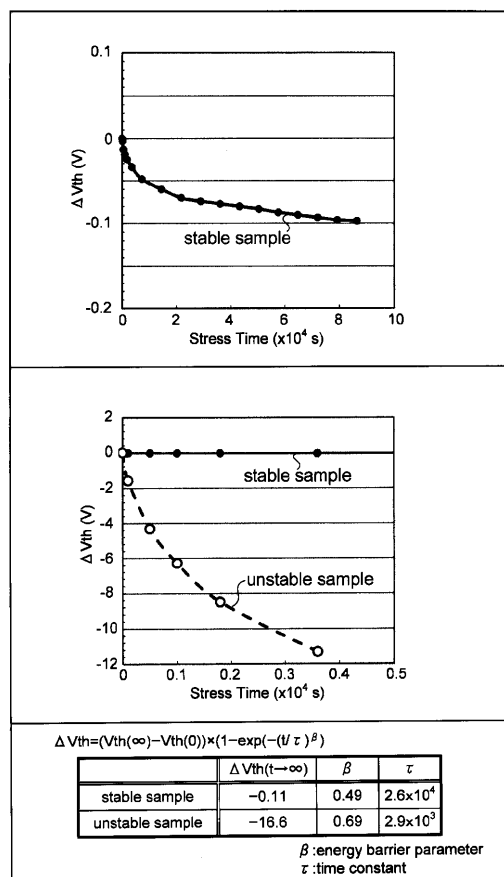
【 29 】



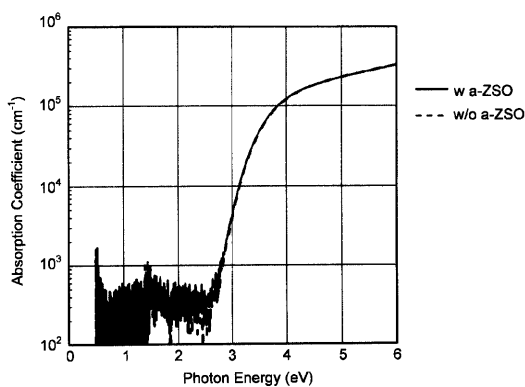
【 30 】



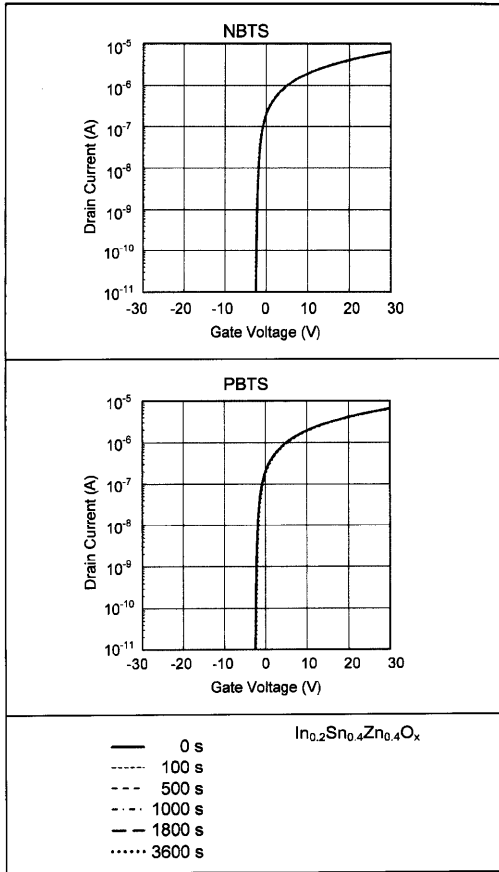
【 32 】



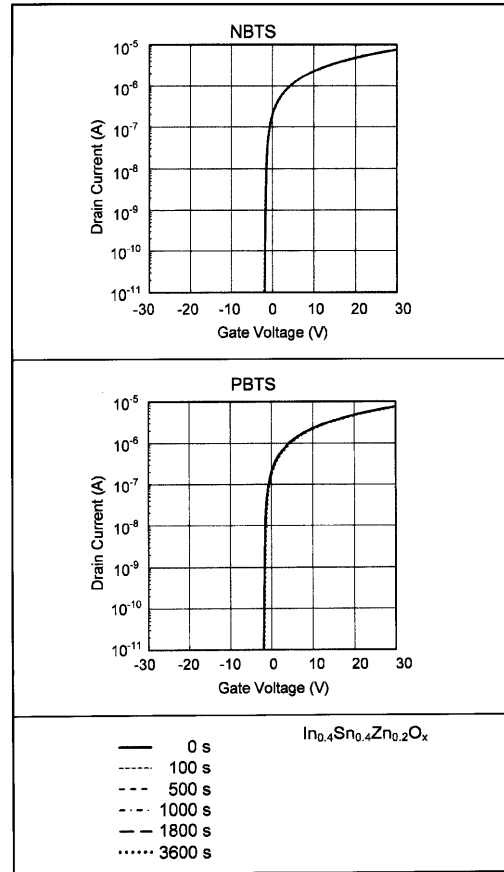
【 31 】



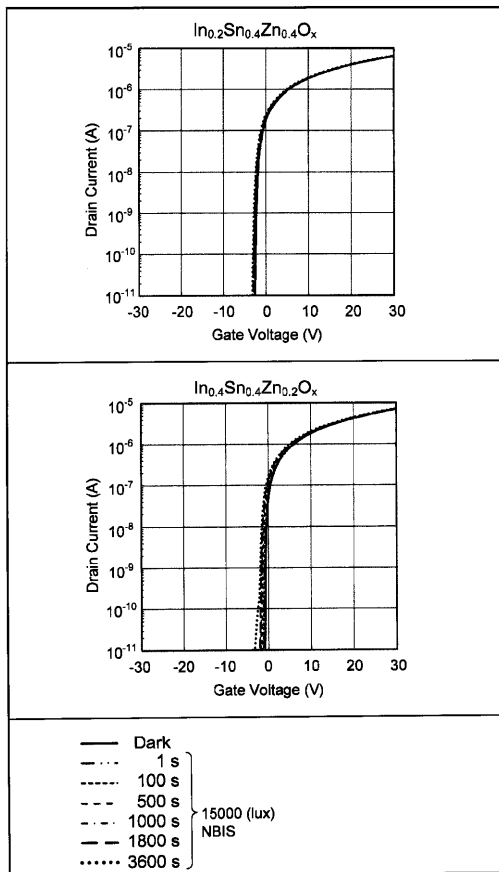
【 図 3 3 】



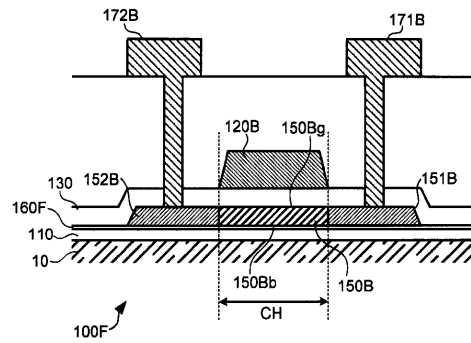
【 図 3 4 】



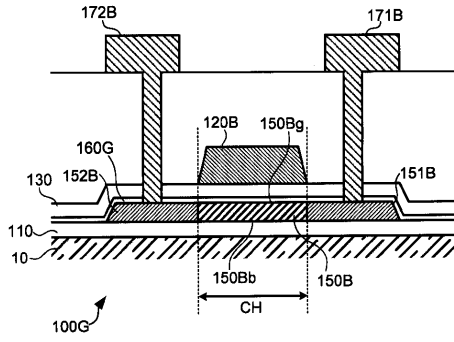
【 図 3 5 】



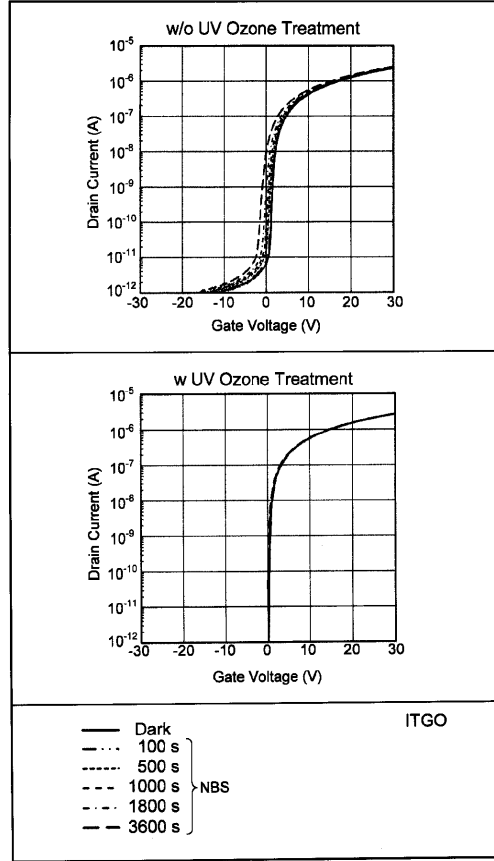
【 図 3 6 】



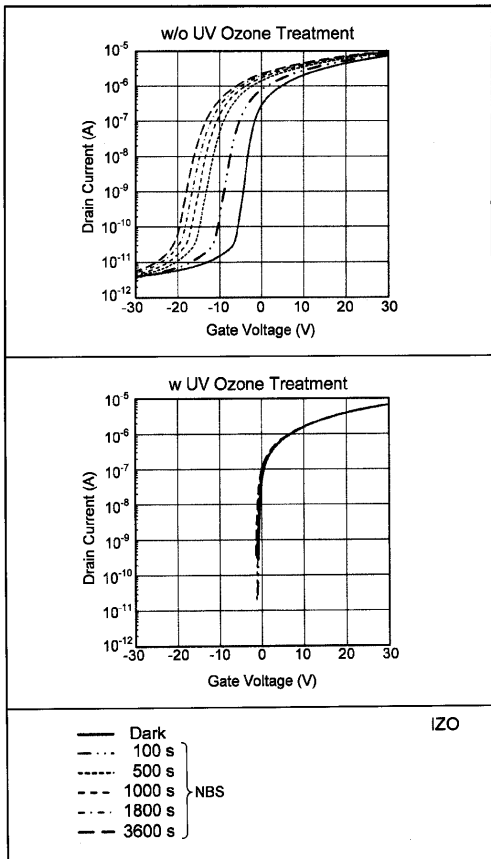
【 図 3 7 】



【 図 3 8 】



【 図 3 9 】



フロントページの続き

(51)Int.Cl. F I  
H 1 0 K 50/84 (2023.01) H 0 1 L 29/78 6 1 9 A  
H 0 1 L 29/78 6 1 6 V  
H 0 1 L 21/28 3 0 1 B  
H 0 1 L 29/50 M  
H 1 0 K 59/12  
H 1 0 K 50/84

特許法第30条第2項適用 1 発行日 令和3年7月30日 2 刊行物 IEEE ELECTRON  
DEVICE LETTERS, VOL. 42, No. 9, SEPTEMBER 2021, Pages  
1319 - 1322 1 発行日 令和3年11月22日 2 刊行物 Nature Electron  
ics Volume 4 Issue 11, November 2021, Pages 800 - 80  
7, and Supplementary Information

(出願人による申告) 令和2年度、文部科学省、科学技術試験研究委託事業、産業技術力強化法第17条の適用  
を受ける特許出願

審査官 市川 武宜

(56)参考文献 特開2016 - 225602 (JP, A)  
特開2016 - 171282 (JP, A)  
特開2012 - 222176 (JP, A)  
特開2014 - 158018 (JP, A)  
特開2010 - 251735 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 2 8  
H 0 1 L 2 1 / 3 3 6  
H 0 1 L 2 9 / 4 1 7  
H 0 1 L 2 9 / 7 8 6  
H 1 0 K 5 0 / 8 4  
H 1 0 K 5 9 / 1 2