

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7430425号  
(P7430425)

(45)発行日 令和6年2月13日(2024. 2. 13)

(24)登録日 令和6年2月2日(2024. 2. 2)

|                           |                 |
|---------------------------|-----------------|
| (51)Int. Cl.              | F I             |
| G 1 1 C 11/412 (2006. 01) | G 1 1 C 11/412  |
| H 0 3 K 3/356 (2006. 01)  | H 0 3 K 3/356 B |
| H 0 3 K 3/3565 (2006. 01) | H 0 3 K 3/3565  |

請求項の数 13 (全 71 頁)

|                   |                             |          |                      |
|-------------------|-----------------------------|----------|----------------------|
| (21)出願番号          | 特願2022-500317(P2022-500317) | (73)特許権者 | 503360115            |
| (86)(22)出願日       | 令和3年1月29日(2021. 1. 29)      |          | 国立研究開発法人科学技術振興機構     |
| (86)国際出願番号        | PCT/JP2021/003224           |          | 埼玉県川口市本町四丁目1番8号      |
| (87)国際公開番号        | W02021/161808               | (74)代理人  | 100087480            |
| (87)国際公開日         | 令和3年8月19日(2021. 8. 19)      |          | 弁理士 片山 修平            |
| 審査請求日             | 令和4年12月12日(2022. 12. 12)    | (72)発明者  | 菅原 聡                 |
| (31)優先権主張番号       | 特願2020-20954(P2020-20954)   |          | 東京都目黒区大岡山2-1-2-1 国立大 |
| (32)優先日           | 令和2年2月10日(2020. 2. 10)      |          | 学法人東京工業大学内           |
| (33)優先権主張国・地域又は機関 | 日本国(JP)                     | (72)発明者  | 塩津 勇作                |
| (31)優先権主張番号       | 特願2020-178364(P2020-178364) |          | 東京都目黒区大岡山2-1-2-1 国立大 |
| (32)優先日           | 令和2年10月23日(2020. 10. 23)    |          | 学法人東京工業大学内           |
| (33)優先権主張国・地域又は機関 | 日本国(JP)                     | 審査官      | 後藤 彰                 |

最終頁に続く

(54)【発明の名称】 双安定回路および電子回路

(57)【特許請求の範囲】

【請求項1】

ソースが電源線に接続され、ドレインが中間ノードに接続され、ゲートが入力ノードに接続された第1導電型のチャンネルの第1FETと、

ソースが前記中間ノードに接続され、ドレインが出力ノードに接続され、ゲートが前記入力ノードに接続された前記第1導電型のチャンネルの第2FETと、

ソースおよびドレインの一方が前記中間ノードに接続され、前記ソースおよび前記ドレインの他方がバイアスノードに接続された第3FETと、

ソースおよびドレインの一方が前記出力ノードに接続され、前記ソースおよび前記ドレインの他方が制御線に接続された前記第1導電型と反対の第2導電型のチャンネルの第4FETと、

を各々備える第1インバータ回路および第2インバータ回路と、

前記第1インバータ回路の入力ノードおよび前記第2インバータ回路の出力ノードが接続された第1記憶ノードと、

前記第1インバータ回路の出力ノードおよび前記第2インバータ回路の入力ノードが接続された第2記憶ノードと、を備え、

前記第1インバータ回路および前記第2インバータ回路の第4FETのゲートはワード線に接続され、

前記第1インバータ回路の第3FETのゲートは、前記第1インバータ回路の入力ノード、出力ノード、前記第2インバータ回路の入力ノードおよび出力ノードのいずれか1つ

のノードに接続され、

前記第 2 インバータ回路の第 3 F E T のゲートは、前記第 2 インバータ回路の入力ノード、出力ノード、前記第 1 インバータ回路の入力ノードおよび出力ノードのいずれか 1 つのノードに接続された双安定回路。

【請求項 2】

前記第 3 F E T は、前記第 2 導電型のチャネルを有し、

前記第 1 インバータ回路の第 3 F E T のゲートは、前記第 1 インバータ回路の入力ノードまたは前記第 2 インバータ回路の出力ノードに接続され、

前記第 2 インバータ回路の第 3 F E T のゲートは、前記第 2 インバータ回路の入力ノードまたは前記第 1 インバータ回路の出力ノードに接続された請求項 1 に記載の双安定回路。

10

【請求項 3】

前記第 3 F E T は、前記第 1 導電型のチャネルを有し、

前記第 1 インバータ回路の第 3 F E T のゲートは、前記第 1 インバータ回路の出力ノードまたは前記第 2 インバータ回路の入力ノードに接続され、

前記第 2 インバータ回路の第 3 F E T のゲートは、前記第 2 インバータ回路の出力ノードまたは前記第 1 インバータ回路の入力ノードに接続された請求項 1 に記載の双安定回路。

【請求項 4】

請求項 1 から 3 のいずれか一項に記載の双安定回路と、

前記双安定回路がデータを保持する第 1 状態において、前記電源線と前記制御線との間の第 1 電圧を、前記双安定回路からデータをリードまたは前記双安定回路へデータをライトする第 2 状態における前記第 1 記憶ノードと前記第 2 記憶ノードとの間の第 2 電圧より低くする制御回路と、

20

を備える電子回路。

【請求項 5】

前記制御回路は、前記第 2 状態において、前記制御線を前記双安定回路からデータをリードまたは前記双安定回路へデータをライトするためのビット線に設定する請求項 4 に記載の電子回路。

【請求項 6】

前記制御回路は、前記第 2 状態において、前記第 1 導電型が N 型のとき前記ワード線の電圧を前記電源線の電圧より高くし、前記第 1 導電型が P 型のとき前記ワード線の電圧を前記電源線の電圧より低くする請求項 4 または 5 に記載の電子回路。

30

【請求項 7】

前記制御回路は、前記第 1 状態において、前記ワード線と前記電源線との間の電圧を前記第 1 電圧または前記第 1 電圧より低くする請求項 4 から 6 のいずれか一項に記載の電子回路。

【請求項 8】

前記制御回路は、前記電源線と前記制御線との間の電圧を前記第 2 電圧とする第 3 状態において、前記ワード線と前記電源線との間の電圧を前記第 2 電圧より低くする請求項 4 から 6 のいずれか一項に記載の電子回路。

40

【請求項 9】

前記第 1 状態および前記第 2 状態のいずれにおいても、前記バイアスノードには一定のバイアスが供給される請求項 4 から 8 のいずれか一項に記載の電子回路。

【請求項 10】

前記一定のバイアスは、前記第 2 状態における前記第 1 記憶ノードの電圧と前記第 2 記憶ノードの電圧の間である請求項 9 に記載の電子回路。

【請求項 11】

前記第 2 インバータ回路において、第 4 F E T のソースおよびドレインの他方は第 1 制御線に接続され、第 4 F E T のゲートは第 1 ワード線に接続され、

50

前記第 1 インバータ回路において、第 4 F E T のソースおよびドレインの他方は第 2 制御線に接続され、第 4 F E T のゲートは第 2 ワード線に接続され、

前記第 1 インバータ回路は、ソースおよびドレインの一方が前記第 1 記憶ノードに接続され、前記ソースおよび前記ドレインの他方が第 3 制御線に接続され、ゲートが第 3 ワード線に接続された前記第 2 導電型のチャンネルの第 5 F E T を備え、

前記制御回路は、前記第 1 ワード線を用い前記第 2 インバータ回路の第 4 F E T をオンし、前記第 1 制御線を用い前記双安定回路にデータをライトし、前記第 2 ワード線を用い前記第 1 インバータ回路の第 4 F E T をオンし、前記第 2 制御線を用い前記双安定回路からデータをリードし、前記第 3 ワード線を用い前記第 1 インバータ回路の第 5 F E T をオンし、前記第 3 制御線を用い前記双安定回路からデータをリードする請求項 4 から 10 のいずれか一項に記載の電子回路。

10

#### 【請求項 1 2】

前記制御回路は、前記第 1 導電型が N 型るとき、前記双安定回路からデータをリードするときの前記第 1 ワード線の電圧を、前記双安定回路にデータをライトするときの前記第 1 ワード線の電圧より高くし、かつ前記双安定回路からデータをリードするときの前記第 2 ワード線の電圧および前記第 3 ワード線の電圧のうち高い方の電圧より低くし、

前記第 1 導電型が P 型るとき、前記双安定回路からデータをリードするときの前記第 1 ワード線の電圧を、前記双安定回路にデータをライトするときの前記第 1 ワード線の電圧より低くし、かつ前記双安定回路からデータをリードするときの前記第 2 ワード線の電圧および前記第 3 ワード線の電圧のうち低い方の電圧より高くする請求項 1 1 に記載の電子回路。

20

#### 【請求項 1 3】

前記第 1 インバータ回路において、第 4 F E T のソースおよびドレインの他方は第 1 制御線に接続され、第 4 F E T のゲートは第 1 ワード線に接続され、

前記第 2 インバータ回路において、第 4 F E T のソースおよびドレインの他方は第 2 制御線に接続され、第 4 F E T のゲートは前記第 1 ワード線に接続され、

前記第 1 インバータ回路は、ソースおよびドレインの一方が前記第 1 記憶ノードに接続され、前記ソースおよび前記ドレインの他方が第 3 制御線に接続され、ゲートが第 2 ワード線に接続された前記第 2 導電型のチャンネルの第 5 F E T を備え、

前記第 2 インバータ回路は、ソースおよびドレインの一方が前記第 2 記憶ノードに接続され、前記ソースおよび前記ドレインの他方が第 4 制御線に接続され、ゲートが前記第 2 ワード線に接続された前記第 2 導電型のチャンネルの第 6 F E T を備え、

30

前記制御回路は、前記第 1 ワード線を用い前記第 1 インバータ回路および前記第 2 インバータ回路の第 4 F E T をオンし、前記第 1 制御線および第 2 制御線を用い前記双安定回路にデータをライトしおよび前記双安定回路からデータをリードし、前記第 2 ワード線を用い前記第 5 F E T および前記第 6 F E T をオンし、前記第 3 制御線および前記第 4 制御線を用い前記双安定回路にデータをライトしおよび前記双安定回路からデータをリードする請求項 4 から 10 のいずれか一項に記載の電子回路。

#### 【発明の詳細な説明】

#### 【技術分野】

40

#### 【0 0 0 1】

本発明は、双安定回路および電子回路に関する。

#### 【背景技術】

#### 【0 0 0 2】

不揮発性記憶素子を用いることなく、C M O S ( Complementary Metal Oxide Semiconductor) から構成されたインバータを用いた擬似不揮発性 S R A M ( V N R - S R A M ) または超低電圧 ( U L V ) リテンション S R A M ( Static Random Access Memory ) ( U L V R - S R A M ) が知られている ( 例えば特許文献 1 ) 。 V N R - S R A M では、U L V リテンションが可能なシュミットトリガ ( S T ) モードと通常の電圧で S R A M と同等の回路性能を実現できるブーステッドインバータ ( B I ) モードとを切り替え可能なデュア

50

ルモードインバータを用いる。このULVリテンションSRAMをいわゆるパワーゲーティング(PG)に用いることができる。

【0003】

また、双安定回路と不揮発性記憶素子を有するメモリセル(NV-SRAM)を用いた記憶回路が知られている(例えば特許文献2)。NV-SRAMでは双安定回路のデータを不揮発性記憶素子にストアし、電力消費を減らしつつ、必要な場合に不揮発性記憶素子のデータを双安定回路にリストアし、当該データを利用な状態とする。

【0004】

更にまた、ニューラルネットワークの重み係数等の係数を記憶するためのSRAMと、積和や評価関数の演算回路を組み合わせることによって、ニューラルネットワークの処理を高速に行うことが検討されている(例えば非特許文献1)。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】国際公開第2016/158691号

【特許文献2】国際公開第2009/028298号

【非特許文献】

【0006】

【非特許文献1】IEEE JOURNAL OF SOLID STATE CIRCUITS, VOL. 53, pp.983-994, 2018.

【発明の概要】

20

【発明が解決しようとする課題】

【0007】

特許文献1のVNR-SRAMでは、ULVリテンションすることで、セルの記憶内容を失うことなく、待機時電力を削減することができる。しかしながら、VNR-SRAMでは、1つのメモリセルに14個または10個のトランジスタを用いる(以下、それぞれ14Tセル、10Tセルと称する)。このため、メモリセルが大型化してしまう、または、セル面積が増大するという第1の課題がある。また、10Tセルのようにトランジスタを減らすと、ULVリテンションの安定性(ノイズマージン)は低下する。

【0008】

また、特許文献2のNV-SRAMでは、メモリセル内の不揮発性記憶素子を用いることで、待機時にメモリセルの電源を遮断することができるため、待機時電力を削減できる。しかしながら、1つのメモリセルに不揮発性記憶素子に加えて8個トランジスタを用いる。このため、メモリセルが小型化しづらい、またはセル面積が増大するという第2の課題がある。

30

【0009】

前記第1および第2の課題は別に、非特許文献1の方法では、ニューラルネットワークの処理の高速化の効果は高いが、さらなる高速化のための余地があるという第3の課題がある。

【0010】

前記第1～第3の課題とは別に、非特許文献1の方法では、ニューラルネットワークの処理が大規模になればなるほど、そのネットワークの重み係数等の係数を記憶するための容量の大きいSRAMが必要となるためにSRAMの消費電力が大きくなり、ニューラルネットワークの処理の消費電力が大きくなるという第4の課題がある。

40

【0011】

本出願の第1の発明は、上記第1の課題または第2の課題に鑑みなされたものであり、小型化またはトランジスタ数を減らすことが可能な双安定回路および電子回路を提供することを第1の目的とする。

【0012】

また、本出願の第2の発明は、上記第1の課題または第2の課題に鑑み、小型化またはトランジスタ数を減らすことが可能な記憶回路を提供することを第2の目的とする。

50

## 【 0 0 1 3 】

さらに、上記第 1 の課題および第 2 の課題とは別に、前記第 3 の課題に鑑みて、本出願の第 3 の発明は、ニューラルネットワークの処理を高速化することが可能な処理装置を提供することを第 3 の目的とする。

## 【 0 0 1 4 】

さらに、上記第 1 ~ 第 3 の課題とは別に、前記第 4 の課題に鑑みて、本出願の第 4 の発明は、ニューラルネットワークの処理の消費電力を減少させることを第 4 の目的とする。

## 【課題を解決するための手段】

## 【 0 0 1 5 】

本出願の第 1 の発明は、ソースが電源線に接続され、ドレインが中間ノードに接続され、ゲートが入力ノードに接続された第 1 導電型のチャンネルの第 1 F E T と、ソースが前記中間ノードに接続され、ドレインが出力ノードに接続され、ゲートが前記入力ノードに接続された前記第 1 導電型のチャンネルの第 2 F E T と、ソースおよびドレインの一方が前記中間ノードに接続され、前記ソースおよび前記ドレインの他方がバイアスノードに接続された第 3 F E T と、ソースおよびドレインの一方が前記出力ノードに接続され、前記ソースおよび前記ドレインの他方が制御線に接続された前記第 1 導電型と反対の第 2 導電型のチャンネルの第 4 F E T と、を各々備える第 1 インバータ回路および第 2 インバータ回路と、前記第 1 インバータ回路の入力ノードおよび前記第 2 インバータ回路の出力ノードが接続された第 1 記憶ノードと、前記第 1 インバータ回路の出力ノードおよび前記第 2 インバータ回路の入力ノードが接続された第 2 記憶ノードと、を備え、前記第 1 インバータ回路および前記第 2 インバータ回路の第 4 F E T のゲートはワード線に接続され、前記第 1 インバータ回路の第 3 F E T のゲートは、前記第 1 インバータ回路の入力ノード、出力ノード、前記第 2 インバータ回路の入力ノードおよび出力ノードのいずれか 1 つのノードに接続され、前記第 2 インバータ回路の第 3 F E T のゲートは、前記第 2 インバータ回路の入力ノード、出力ノード、前記第 1 インバータ回路の入力ノードおよび出力ノードのいずれか 1 つのノードに接続された双安定回路である。

## 【 0 0 1 6 】

上記構成において、前記第 3 F E T は、前記第 2 導電型のチャンネルを有し、前記第 1 インバータ回路の第 3 F E T のゲートは、前記第 1 インバータ回路の入力ノードまたは前記第 2 インバータ回路の出力ノードに接続され、前記第 2 インバータ回路の第 3 F E T のゲートは、前記第 2 インバータ回路の入力ノードまたは前記第 1 インバータ回路の出力ノードに接続された構成とすることができる。

## 【 0 0 1 7 】

上記構成において、前記第 3 F E T は、前記第 1 導電型のチャンネルを有し、前記第 1 インバータ回路の第 3 F E T のゲートは、前記第 1 インバータ回路の出力ノードまたは前記第 2 インバータ回路の入力ノードに接続され、前記第 2 インバータ回路の第 3 F E T のゲートは、前記第 2 インバータ回路の出力ノードまたは前記第 1 インバータ回路の入力ノードに接続された構成とすることができる。

## 【 0 0 1 8 】

本出願の第 1 の別の発明は、上記双安定回路と、前記双安定回路がデータを保持する第 1 状態において、前記電源線と前記制御線との間の第 1 電圧を、前記双安定回路からデータをリードまたは前記双安定回路へデータをライトする第 2 状態における前記第 1 記憶ノードと前記第 2 記憶ノードとの間の第 2 電圧より低くする制御回路と、を備える電子回路である。

## 【 0 0 1 9 】

上記構成において、前記制御回路は、前記第 2 状態において、前記制御線を前記双安定回路からデータをリードまたは前記双安定回路へデータをライトするためのビット線に設定する構成とすることができる。

## 【 0 0 2 0 】

上記構成において、前記制御回路は、前記第 2 状態において、前記第 1 導電型が N 型の

とき前記ワード線の電圧を前記電源線の電圧より高くし、前記第1導電型がP型るとき前記ワード線の電圧を前記電源線の電圧より低くする構成とすることができる。

【0021】

上記構成において、前記制御回路は、前記第1状態において、前記ワード線と前記電源線との間の電圧を前記第1電圧または前記第1電圧より低くする構成とすることができる。

【0022】

上記構成において、前記制御回路は、前記電源線と前記制御線との間の電圧を前記第2電圧とする第3状態において、前記ワード線と前記電源線との間の電圧を前記第2電圧より低くする構成とすることができる。

【0023】

上記構成において、前記第1状態および前記第2状態のいずれにおいても、前記バイアスノードには一定のバイアスが供給される構成とすることができる。

【0024】

上記構成において、前記一定のバイアスは、前記第2状態における前記第1記憶ノードの電圧と前記第2記憶ノードの電圧の間である構成とすることができる。

【0025】

上記構成において、前記第2インバータ回路において、第4FETのソースおよびドレインの他方は第1制御線に接続され、第4FETのゲートは第1ワード線に接続され、前記第1インバータ回路において、第4FETのソースおよびドレインの他方は第2制御線に接続され、第4FETのゲートは第2ワード線に接続され、前記第1インバータ回路は、ソースおよびドレインの一方が前記第1記憶ノードに接続され、前記ソースおよび前記ドレインの他方が第3制御線に接続され、ゲートが第3ワード線に接続された前記第2導電型のチャンネルの第5FETを備え、前記制御回路は、前記第1ワード線を用い前記第2インバータ回路の第4FETをオンし、前記第1制御線を用い前記双安定回路にデータをライトし、前記第2ワード線を用い前記第1インバータ回路の第4FETをオンし、前記第2制御線を用い前記双安定回路からデータをリードし、前記第3ワード線を用い前記第1インバータ回路の第5FETをオンし、前記第3制御線を用い前記双安定回路からデータをリードする構成とすることができる。

【0026】

上記構成において、前記制御回路は、前記第1導電型がN型るとき、前記双安定回路からデータをリードするときの前記第1ワード線の電圧を、前記双安定回路にデータをライトするときの前記第1ワード線の電圧より高くし、かつ前記双安定回路からデータをリードするときの前記第2ワード線の電圧および前記第3ワード線の電圧のうち高い方の電圧より低くし、前記第1導電型がP型るとき、前記双安定回路からデータをリードするときの前記第1ワード線の電圧を、前記双安定回路にデータをライトするときの前記第1ワード線の電圧より低くし、かつ前記双安定回路からデータをリードするときの前記第2ワード線の電圧および前記第3ワード線の電圧のうち低い方の電圧より高くする構成とすることができる。

【0027】

上記構成において、前記第1インバータ回路において、第4FETのソースおよびドレインの他方は第1制御線に接続され、第4FETのゲートは第1ワード線に接続され、前記第2インバータ回路において、第4FETのソースおよびドレインの他方は第2制御線に接続され、第4FETのゲートは前記第1ワード線に接続され、前記第1インバータ回路は、ソースおよびドレインの一方が前記第1記憶ノードに接続され、前記ソースおよび前記ドレインの他方が第3制御線に接続され、ゲートが第2ワード線に接続された前記第2導電型のチャンネルの第5FETを備え、前記第2インバータ回路は、ソースおよびドレインの一方が前記第2記憶ノードに接続され、前記ソースおよび前記ドレインの他方が第4制御線に接続され、ゲートが前記第2ワード線に接続された前記第2導電型のチャンネルの第6FETを備え、前記制御回路は、前記第1ワード線を用い前記第1インバータ回路

10

20

30

40

50

および前記第 2 インバータ回路の第 4 F E T をオンし、前記第 1 制御線および第 2 制御線を用い前記双安定回路にデータをライトしおよび前記双安定回路からデータをリードし、前記第 2 ワード線を用い前記第 5 F E T および前記第 6 F E T をオンし、前記第 3 制御線および前記第 4 制御線を用い前記双安定回路にデータをライトしおよび前記双安定回路からデータをリードする構成とすることができる。

【 0 0 2 8 】

本出願の第 2 の発明は、ソースが電源線に接続され、ドレインが第 1 記憶ノードに接続され、ゲートが第 2 記憶ノードに接続された第 1 導電型のチャンネルの第 1 F E T と、ソースが電源線に接続され、ドレインが第 2 記憶ノードに接続され、ゲートが第 1 記憶ノードに接続された前記第 1 導電型のチャンネルの第 2 F E T と、ソースおよびドレインの一方が前記第 1 記憶ノードに接続され、前記ソースおよび前記ドレインの他方が第 1 制御線に接続され、ゲートがワード線に接続された前記第 1 導電型と反対の第 2 導電型のチャンネルの第 3 F E T と、ソースおよびドレインの一方が前記第 2 記憶ノードに接続され、前記ソースおよび前記ドレインの他方が第 2 制御線に接続され、ゲートが前記ワード線に接続された前記第 2 導電型のチャンネルの第 4 F E T と、を備える双安定回路と、一端が前記第 1 記憶ノードに接続された第 1 スイッチと、一端が前記第 2 記憶ノードに接続された第 2 スイッチと、一端が前記第 1 スイッチの他端に接続され、他端が第 3 制御線に接続された第 1 不揮発性記憶素子と、一端が前記第 2 スイッチの他端に接続され、他端が前記第 3 制御線に接続された第 2 不揮発性記憶素子と、を備える記憶回路である。

【 0 0 2 9 】

上記構成において、前記双安定回路にデータを揮発的にライトするライト動作並びに前記双安定回路からリードするリード動作のとき前記第 1 スイッチおよび前記第 2 スイッチをオフし、前記双安定回路から前記第 1 不揮発性記憶素子および前記第 2 不揮発性記憶素子にデータを不揮発的にストアするストア動作のとき並びに前記第 1 不揮発性記憶素子および前記第 2 不揮発性記憶素子から前記双安定回路にデータをリストアするリストア動作のとき前記第 1 スイッチおよび前記第 2 スイッチをオンする制御回路を備える構成とすることができる。

【 0 0 3 0 】

上記構成において、前記制御回路は、前記ストア動作を実行するとき、前記ワード線を第 1 電圧とし、前記第 1 制御線および前記第 2 制御線を第 2 電圧とし、前記第 3 制御線を第 3 電圧とする第 1 ストア動作と、前記ワード線を第 4 電圧とし、前記第 1 制御線および前記第 2 制御線を第 5 電圧とし、前記第 3 制御線を第 6 電圧とする第 2 ストア動作と、を実行し、前記第 1 導電型が N 型るとき、前記第 1 電圧は前記第 4 電圧より低く、前記第 2 電圧および前記第 5 電圧は前記電源線の電圧より高く、前記第 3 電圧は前記第 6 電圧より低く、前記第 1 導電型が P 型るとき、前記第 1 電圧は前記第 4 電圧より高く、前記第 2 電圧および前記第 5 電圧は前記電源線の電圧より低く、前記第 3 電圧は前記第 6 電圧より高い構成とすることができる。

【 0 0 3 1 】

上記構成において、前記第 1 導電型が N 型るとき、前記第 4 電圧は前記第 5 電圧より低く、前記第 1 導電型が P 型るとき、前記第 4 電圧は前記第 5 電圧より高い構成とすることができる。

【 0 0 3 2 】

上記構成において、前記制御回路は、前記リストア動作を実行するとき、前記ワード線の電圧を、前記ライト動作のときの前記第 1 記憶ノードおよび前記第 2 記憶ノードのうち低い方の電圧より高く、前記第 1 記憶ノードおよび前記第 2 記憶ノードのうち高い方の電圧より低くする構成とすることができる。

【 0 0 3 3 】

上記構成において、前記第 3 F E T のゲートは第 1 ワード線に接続され、前記第 4 F E T のゲートは第 2 ワード線に接続され、前記記憶回路は、ソースおよびドレインの一方が前記第 2 記憶ノードに接続され、前記ソースおよび前記ドレインの他方が第 4 制御線に接

続され、ゲートが第3ワード線に接続された前記第2導電型のチャンネルの第5FETを備え、前記制御回路は、前記第1ワード線を用い前記第3FETをオンし、前記第1制御線を用い前記双安定回路にデータをライトし、前記第2ワード線を用い前記第4FETをオンし、前記第2制御線を用い前記双安定回路からデータをリードし、前記第3ワード線を用い前記第5FETをオンし、前記第4制御線を用い前記双安定回路からデータをリードする構成とすることができる。

【0034】

上記構成において、前記制御回路は、前記第1導電型がN型るとき、前記双安定回路からデータをリードするときの前記第1ワード線の電圧を、前記双安定回路にデータをライトするときの前記第1ワード線の電圧より高くし、かつ前記双安定回路からデータをリードするときの前記第2ワード線の電圧および前記第3ワード線の電圧のうち高い方の電圧より低くし、前記第1導電型がP型るとき、前記双安定回路からデータをリードするときの前記第1ワード線の電圧を、前記双安定回路にデータをライトするときの前記第1ワード線の電圧より低くし、かつ前記双安定回路からデータをリードするときの前記第2ワード線の電圧および前記第3ワード線の電圧のうち低い方の電圧より高くする構成とすることができる。

10

【0035】

上記構成において、前記第3FETのゲートは第1ワード線に接続され、前記第4FETのゲートは前記第1ワード線に接続され、前記記憶回路は、ソースおよびドレインの一方が前記第2記憶ノードに接続され、前記ソースおよび前記ドレインの他方が第4制御線に接続され、ゲートが第2ワード線に接続された前記第2導電型のチャンネルの第5FETと、ソースおよびドレインの一方が前記第1記憶ノードに接続され、前記ソースおよび前記ドレインの他方が第5制御線に接続され、ゲートが前記第2ワード線に接続された前記第2導電型のチャンネルの第6FETと、を備え、前記制御回路は、前記第1ワード線を用い前記第3FETおよび前記第4FETをオンし、前記第1制御線および前記第2制御線を用い前記双安定回路にデータをライトし前記双安定回路からデータをリードし、前記第2ワード線を用い前記第5FETおよび第6FETをオンし、前記第4制御線および前記第5制御線を用い前記双安定回路にデータをライトし前記双安定回路からデータをリードする構成とすることができる。

20

【0036】

本出願の第3の発明は、第1層の複数の第1ノードに対応する複数の第1データに複数の第1重みによる重み付けをそれぞれ行った後に加算することにより、第2層の複数の第2ノードに対応する複数の第2データのうちの1つの第2データを算出する処理を前記複数の第2データについて行うことによって、前記複数の第2データを算出する第1処理部と、前記複数の第2データのうちの1つの第2データに複数の第2重みによる重み付けを行うことで第3層の複数の第3ノードに対応する複数の第3データの各々一部を算出する処理を前記複数の第2データについて行い、前記複数の第3データの各々について、前記複数の第3データの一部を前記複数の第2データ分加算することで前記複数の第3データを算出する第2処理部と、を備え、前記第2処理部が前記複数の第2データのうちの1つの第2データの処理を実行しているときに、並列して前記第1処理部は前記複数の第2データのうちの別の第2データの処理を実行する処理装置である。

30

40

【0037】

上記構成において、前記複数の第1データ、前記複数の第2データ、前記複数の第1重みおよび前記複数の第2重みは各々1ビットである構成とすることができる。

【0038】

上記構成において、前記複数の第1重みをそれぞれ格納し、1つの第2データに対応する複数の第1重みは同じ行に、異なる第2データに対応する複数の第1重みは異なる行に格納する複数の第1メモリセルと、同じ行の複数の第1メモリセルに各々接続され、列方向に延伸する複数の第1ビット線と、を備える第1メモリと、前記複数の第2重みをそれぞれ格納し、1つの第2データに対応する複数の第2重みは同じ行に、異なる第2データ

50

に対応する複数の第2重みは異なる行に格納する第2メモリセル、同じ行の複数の第2メモリセルに各々接続され、列方向に延伸する複数の第2ビット線と、を備える第2メモリと、を備え、前記第1処理部は、前記複数の第2データのうち1つの第2データの処理を行うとき、前記第1メモリから前記複数の第1ビット線を介し前記複数の第1重みを取得し、前記第2処理部は、前記複数の第2データのうち1つの第2データの処理を行うとき、前記第2メモリから前記複数の第2ビット線を介し前記複数の第2重みを取得する構成とすることができる。

**【0039】**

上記構成において、前記第1処理部は、前記複数の第2データのうち少なくとも2つの第2データの処理を並列に処理し、前記第2処理部は、前記複数の第2データのうち少なくとも2つの第2データの処理を並列に処理する構成とすることができる。

10

**【0040】**

上記構成において、前記複数の第1重みをそれぞれ格納し、1つの第2データに対応する複数の第1重みは同じ行に、異なる第2データに対応する複数の第1重みは異なる行に格納する複数の第1メモリセルを有する第1メモリを備え、前記複数の第1メモリセルは、相補的な一对の記憶ノードを各々有し、前記一对の記憶ノードの少なくとも1つの記憶ノードは並列に列方向に延伸する第1ビット線と第2ビット線とに接続され、前記第1処理部は、前記少なくとも2つの第2データの処理のうち1つの処理を行うとき、前記第1メモリから前記第1ビット線を介し前記複数の第1重みを取得し、前記少なくとも2つの第2データの処理のうち別の1つの処理を行うとき、前記第1メモリから前記第2ビット線を介し前記複数の第1重みを取得する構成とすることができる。

20

**【0041】**

上記構成において、前記複数の第2重みをそれぞれ格納し、1つの第2データに対応する複数の第2重みは同じ行に、異なる第2データに対応する複数の第2重みは異なる行に格納する第2メモリセルを有する第2メモリを備え、前記複数の第2メモリセルは、相補的な一对の記憶ノードを各々有し、前記一对の記憶ノードの少なくとも1つの記憶ノードは並列に列方向に延伸する第3ビット線と第4ビット線とに接続され、前記第2処理部は、前記少なくとも2つの第2データの処理のうち1つの処理を行うとき、前記第2メモリから前記第3ビット線を介し前記複数の第2重みを取得し、前記少なくとも2つの第2データの処理のうち別の1つの処理を行うとき、前記第2メモリから前記第4ビット線を介し前記複数の第2重みを取得する構成とすることができる。

30

**【0042】**

上記構成において、前記複数の第1重みをそれぞれ格納し、1つの第2データに対応する複数の第1重みは同じ行に、異なる第2データに対応する複数の第1重みは異なる行に格納する複数の第1メモリセルを有する第1メモリを備え、前記複数の第1メモリセルは、相補的な一对の記憶ノードを各々有し、前記複数の第1メモリセルの一部の第1メモリセルにおける前記一对の記憶ノードの少なくとも1つの記憶ノードは並列に列方向に延伸する第1ビット線に接続され、第2ビット線に接続されておらず、前記複数の第1メモリセルの別の一部の第1メモリセルにおける前記一对の記憶ノードの少なくとも1つの記憶ノードは並列に列方向に延伸する第2ビット線に接続され、前記第1ビット線に接続されておらず、前記第1処理部は、前記少なくとも2つの第2データの処理のうち1つの処理を行うとき、前記第1メモリから前記第1ビット線を介し前記複数の第1重みを取得し、前記少なくとも2つの第2データの処理のうち別の1つの処理を行うとき、前記第1メモリから前記第2ビット線を介し前記複数の第1重みを取得する構成とすることができる。

40

**【0043】**

上記構成において、前記複数の第2重みをそれぞれ格納し、1つの第2データに対応する複数の第2重みは同じ行に、異なる第2データに対応する複数の第2重みは異なる行に格納する複数の第2メモリセルを有する第2メモリを備え、前記複数の第2メモリセルは、相補的な一对の記憶ノードを各々有し、前記複数の第2メモリセルの一部の第2メモリセルにおける前記一对の記憶ノードの少なくとも1つの記憶ノードは並列に列方向に延伸

50

する第3ビット線に接続され、第4ビット線に接続されておらず、前記複数の第2メモリセルの別の一部の第2メモリセルにおける前記一对の記憶ノードの少なくとも1つの記憶ノードは並列に列方向に延伸する第4ビット線に接続され、前記第3ビット線に接続されておらず、前記第2処理部は、前記少なくとも2つの第2データの処理のうち1つの処理を行うとき、前記第2メモリから前記第3ビット線を介し前記複数の第2重みを取得し、前記少なくとも2つの第2データの処理のうち別の1つの処理を行うとき、前記第2メモリから前記第4ビット線を介し前記複数の第2重みを取得する構成とすることができる。

【0044】

上記構成において、前記第1処理部は、前記複数の第1データと前記複数の第1重みとをXNORすることにより前記複数の第1データに前記第1重みによる重み付けを行い、前記第2処理部は、前記第2データと前記複数の第2重みとをXNORすることにより前記第2データに前記第2重みによる重み付けを行う構成とすることができる。

10

【0045】

上記構成において、前記複数の第1重みをそれぞれ格納する複数の第1メモリセルと、前記複数の第2重みをそれぞれ格納する複数の第2メモリセルと、前記複数の第1データと前記複数の第1重みとをXNORすることにより前記複数の第1データに前記第1重みによる重み付けを行い、前記複数の第1メモリセルに対応し設けられた複数の第1XNOR回路と、前記1つの第2データと前記複数の第2重みとをXNORすることにより前記1つの第2データに前記第2重みによる重み付けを行い、前記複数の第2メモリセルに対応し設けられた複数の第2XNOR回路と、を備えるメモリを備える構成とすることができる。

20

【0046】

上記構成において、前記複数の第1重みおよび前記複数の第2重みをそれぞれ格納し、各々CMOSインバータ回路がループ状に接続された双安定回路を有する複数のメモリセルと、1個につき10個以下のメモリセルの仮想電源線に接続され、前記仮想電源線に第1電源電圧を供給する第1パワースイッチと、前記仮想電源線に前記第1電源電圧より高い第2電源電圧を供給する第2パワースイッチと、を備えるメモリを備える構成とすることができる。

【0047】

上記構成において、前記複数の第1重みおよび前記複数の第2重みをそれぞれ格納する複数のメモリセルを有するメモリを備え、前記複数のメモリセルは、各々請求項1～3に記載の双安定回路または請求項13から19のいずれか一項に記載の記憶回路を含む構成とすることができる。

30

【0048】

本出願の第4発明は、ニューラルネットワーク処理の $n - t o - 1$ コネクション処理および $1 - t o - n$ コネクション処理の少なくとも一方の処理を行う処理部と、前記処理部が行う処理に用いられるデータを格納し、複数の行を有するメモリと、前記処理部が処理を行うデータが格納された行にデータの読み出し可能となる第1電源電圧を供給し、前記行以外の行に、前記第1電源電圧より低くかつデータの保持が可能な第2電源電圧を供給するまたは電源電圧をシャットダウンする電源回路と、を備える処理装置である。

40

【0049】

上記構成において、前記処理部は、前記 $n - t o - 1$ コネクション処理として、第1層の複数の第1ノードに対応する複数の第1データに複数の重みによる重み付けをそれぞれ行った後に加算することにより、第2層の複数の第2ノードに対応する複数の第2データのうち1つの第2データを算出する処理を前記複数の第2データについて行うことにより、前記複数の第2データを算出し、前記メモリは、前記複数の重みをそれぞれ格納し、1つの第2データに対応する複数の重みは同じ行に、異なる第2データに対応する複数の重みは異なる行に格納し、前記電源回路は、前記1つの第2データを算出する処理を行うときに前記同じ行に前記第1電源電圧を供給し、前記同じ行以外の少なくとも1つの行に前記第2電源電圧を供給するまたは電源電圧をシャットダウンする構成とすることができる。

50

る。

【0050】

上記構成において、前記処理部は、前記1 - t o - nコネクション処理として、第2層の複数の第2ノードに対応する複数の第2データのうち1つの第2データに複数の重みによる重み付けを行うことで第3層の複数の第3ノードに対応する複数の第3データの各々一部を算出する処理を前記複数の第2データについて行い、前記複数の第3データの各々について、前記複数の第3データの一部を前記複数の第2データ分加算することで前記複数の第3データを算出し、複数のメモリは、前記複数の重みをそれぞれ格納し、1つの第2データに対応する複数の重みは同じ行に、異なる第2データに対応する複数の重みは異なる行に格納し、前記電源回路は、前記1つの第2データを算出する処理を行うときに前記同じ行に前記第1電源電圧を供給し、前記同じ行以外の少なくとも1つの行のメモリセルに前記第2電源電圧を供給するまたは電源電圧をシャットダウンする構成とすることができる。

10

【発明の効果】

【0051】

本出願の第1の発明によれば、小型化またはトランジスタ数を減らすことが可能な双安定回路および電子回路を提供することができる。

【0052】

また、本出願の第2の発明によれば、小型化またはトランジスタ数を減らすことが可能な記憶回路を提供することができる。

20

【0053】

さらに、本出願の第3の発明によれば、ニューラルネットワークの処理を高速化することが可能な処理装置を提供することができる。

【0054】

さらに、本出願の第4の発明によれば、ニューラルネットワークの処理の消費電力を減少させることができる。

【図面の簡単な説明】

【0055】

【図1】図1は、比較例1におけるメモリセルのループ表示の回路図である。

【図2】図2は、比較例1におけるメモリセルのクロスカップル表示の回路図である。

30

【図3】図3は、比較例2におけるメモリセルのループ表示の回路図である。

【図4】図4は、比較例2におけるメモリセルのクロスカップル表示の回路図である。

【図5】図5は、実施例1におけるメモリセルのループ表示の回路図である。

【図6】図6は、実施例1におけるメモリセルのクロスカップル表示の回路図である。

【図7A】図7Aは、実施例1におけるメモリアレイのブロック図である。

【図7B】図7Bは、実施例1におけるパワースイッチおよび選択回路を示す図である。

【図7C】図7Cは、実施例1におけるメモリアレイの別の例を示すブロック図である。

【図8】図8(a)および図8(b)は、実施例1のVDDリテンション状態におけるWLPおよびWFBに対するSNMおよびスタンバイパワーを示す図である。

【図9】図9(a)および図9(b)は、実施例1および比較例3のVDDリテンション状態およびリード/ライト状態のリードにおけるVWLに対するSNMおよびスタンバイパワーを示す図である。

40

【図10】図10(a)から図10(c)は、実施例1、比較例2および3のVDDリテンション状態およびリード/ライト状態におけるSNMを示す図である。

【図11】図11は、実施例1のULVリテンション状態におけるインバータ回路の伝達特性を示す図である。

【図12】図12(a)および図12(b)は、実施例1における双安定回路の回路図である。

【図13】図13(a)および図13(b)は、実施例1、比較例2および3のULVリテンション状態における双安定回路のパタフライカーブを示す図である。

50

【図14】図14(a)は、実施例1、比較例2および3のULVリテンション状態におけるSNMを示す図、図14(b)は、実施例1のULVリテンション状態におけるVVDに対するSNMおよびスタンバイパワーを示す図である。

【図15】図15は、実施例1および比較例3におけるスタンバイパワーを示す図である。

【図16】図16は、実施例1の変形例1におけるメモリセルのループ表示の回路図である。

【図17】図17は、実施例1の変形例1におけるメモリセルのクロスカップル表示の回路図である。

【図18】図18は、実施例1の変形例2におけるメモリセルのループ表示の回路図である。

【図19】図19は、実施例1の変形例2におけるメモリセルのクロスカップル表示の回路図である。

【図20】図20は、実施例1およびその変形例2のULVリテンション状態における双安定回路のバタフライカーブを示す図である。

【図21】図21(a)および図21(b)は、それぞれヘッダPS・PDFB・タイプ1型およびフッタPS・PUFB・タイプ1型の各電圧を示す図である。

【図22】図22は、実施例2における仮想電源方式のメモリセルの回路図である。

【図23】図23は、実施例2の仮想電源方式におけるパワースイッチおよび選択回路を示す図である。

【図24】図24は、実施例2における仮想接地方式のメモリセルの回路図である。

【図25】図25は、実施例2の仮想接地方式におけるパワースイッチおよび選択回路を示す図である。

【図26】図26は、実施例2におけるメモリアレイのブロック図である。

【図27】図27(a)から図27(c)は、実施例2におけるメモリセルの動作を示す図である。

【図28】図28(a)から図28(c)は、実施例2におけるメモリセルの動作を示す図である。

【図29】図29は、実施例2におけるメモリセルの動作を示す図である。

【図30】図30は、シミュレーション3におけるホールド状態のWLPに対するSNMおよびスタンバイパワーを示す図である。

【図31】図31は、シミュレーション3におけるリード動作およびホールド状態のVWLに対するSNMを示す図である。

【図32】図32(a)および図32(b)は、シミュレーション3におけるH-ストア動作の電圧VSRに対するそれぞれ電流Im1およびSNMを示す図である。

【図33】図33(a)および図33(b)は、シミュレーション3におけるL-ストア動作の電圧Vcに対するそれぞれ電流Im2およびSNMを示す図である。

【図34】図34(a)および図34(b)は、シミュレーション3におけるリストア動作のそれぞれFFおよびFSの電圧VSRに対するSNMを示す図である。

【図35】図35(a)は、実施例2におけるSNMを示す図であり、図35(b)は、実施例2および比較例3のスタンバイパワーを示す図である。

【図36】図36は、実施例2の変形例1に係るメモリセルの回路図である。

【図37】図37は、実施例3におけるBNNモデルを示す図である。

【図38】図38は、実施例3におけるn-to-1コネクシオンの演算を行う演算回路のブロック図である。

【図39】図39(a)は、実施例3における1-to-nコネクシオンの演算を行う演算回路のブロック図であり、図39(b)は、蓄積器のブロック図である。

【図40】図40は、実施例3におけるBNN装置のブロック図である。

【図41】図41は、実施例3において処理部52が行うn-to-1コネクシオンの処理を示すフローチャートである。

10

20

30

40

50

【図 4 2】図 4 2 は、実施例 3 において処理部 6 2 が行う 1 - t o - n コネクションの処理を示すフローチャートである。

【図 4 3】図 4 3 は、実施例 3 における時間に対する処理を示す図である。

【図 4 4】図 4 4 は、実施例 2 におけるメモリの例を示すブロック図である。

【図 4 5】図 4 5 は、実施例 3 の変形例 1 における B N N 装置のブロック図である。

【図 4 6】図 4 6 は、実施例 3 の変形例 1 におけるメモリの例を示す図である。

【図 4 7】図 4 7 は、実施例 3 の変形例 2 における 2 R 1 W 型 N V - S R A M メモリセルの例を示す回路図である。

【図 4 8】図 4 8 は、実施例 3 の変形例 2 における 2 R 1 W 型 U L V R - S R A M メモリセルの例を示す回路図である。

10

【図 4 9】図 4 9 ( a ) は、実施例 3 の変形例 2 のリード動作における 2 R 1 W 型 N V - S R A M メモリセルの V W W L に対する S N M を示す図、図 4 9 ( b ) は、リード動作における 2 R 1 W 型 U L V R - S R A M メモリセルの V W W L に対する S N M を示す図である。

【図 5 0】図 5 0 は、実施例 3 の変形例 2 における 2 R W 型 N V - S R A M メモリセルの例を示す回路図である。

【図 5 1】図 5 1 は、実施例 3 の変形例 2 における 2 R W 型 U L V R - S R A M メモリセルの例を示す回路図である。

【図 5 2】図 5 2 は、実施例 3 の変形例 2 における 2 R 1 W 型メモリの例を示す図である。

20

【図 5 3】図 5 3 は、実施例 3 の変形例 2 における 2 R W 型メモリの例を示す図である。

【図 5 4】図 5 4 は、実施例 3 の変形例における時間に対する処理を示す図である。

【図 5 5】図 5 5 ( a ) から図 5 5 ( c ) は、層数 m に対する規格化した処理時間を示す図である。

【図 5 6】図 5 6 は、実施例 3 の変形例 4 に係る N V - S R A M メモリセルの回路図である。

【図 5 7】図 5 7 は、実施例 3 の変形例 4 に係る U L V R - S R A M メモリセルの回路図である。

【図 5 8】図 5 8 は、実施例 3 の変形例 4 における B N N 装置のブロック図である。

【図 5 9】図 5 9 ( a ) および図 5 9 ( b ) は、それぞれ比較例 4 および実施例 3 の変形例 5 のパワースイッチ付近のブロック図である。

30

【図 6 0】図 6 0 は、実施例 3 の変形例 5 における 6 T セルの回路図である。

【図 6 1】図 6 1 ( a ) および図 6 1 ( b ) は、それぞれ比較例 4 および実施例 3 の変形例 5 における V D D L に対する S N M およびスタンバイパワーを示す図である。

【発明を実施するための形態】

【 0 0 5 6 】

図 1 ~ 図 2 : 比較例 1

図 3 ~ 図 4 : 比較例 2

図 5 ~ 図 7 C : 実施例 1

図 8 ( a ) ~ 図 1 0 ( c ) : シミュレーション 1、比較例 2、3、実施例 1

40

図 1 1 ~ 図 1 5 : シミュレーション 2、比較例 2、3、実施例 1

図 1 6 ~ 図 1 7 : 実施例 1 の変形例 1

図 1 8 ~ 図 2 0 : 実施例 1 の変形例 2

図 2 1 : 実施例 1 およびその変形例

図 2 2 ~ 図 2 9 : 実施例 2

図 3 0 ~ 図 3 5 ( b ) : シミュレーション 3、実施例 2

図 3 6 : 実施例 2 の変形例 1

図 3 7 ~ 図 4 4 : 実施例 3

図 4 5 ~ 図 4 6 : 実施例 3 の変形例 1

図 4 7 ~ 図 5 3 : 実施例 3 の変形例 2

50

図 5 4 ~ 図 5 5 ( c ) : 実施例 3、その変形例 1 ~ 3 のシミュレーション

図 5 6 ~ 図 5 8 : 実施例 3 の変形例 4

図 5 9 ( a ) ~ 図 6 1 ( b ) : 実施例 3 の変形例 5

【 0 0 5 7 】

実施例について説明する前に比較例について説明する。

【 0 0 5 8 】

[ 比較例 1 ]

比較例 1 は、特許文献 1 に比ベフィードバックトランジスタの導電型およびゲートの接続先が異なっている。図 1 および図 2 は、比較例 1 におけるメモリセル 1 0 の回路図である。図 1 はループ表示の回路図であり、図 2 はクロスカップル表示の回路図である。図 1 と図 2 とは同じ回路であるが、動作の説明には図 1 のループ表示がわかりやすく、回路面積等の説明には図 2 のクロスカップル表示がわかりやすい。

10

【 0 0 5 9 】

図 1 および図 2 に示すように、インバータ回路 1 4 および 1 6 は、F E T m 1 ~ m 3 および m 1 a ~ m 3 a を備えている。F E T m 1、m 2 および m 3 a は N チャンネル M O S F E T であり、F E T m 1 a、m 2 a および m 3 は P チャンネル M O S F E T である。

【 0 0 6 0 】

F E T m 1、m 2、m 1 a および m 2 a はグランド線 1 5 b と電源線 1 5 a ( 仮想電源線 ) との間に直列に接続されている。F E T m 1、m 2、m 1 a および m 2 a のゲートは入力ノード N 1 に接続されている。F E T m 2 と m 2 a との間は出力ノード N 2 である。F E T m 1 および m 2 は、インバータ回路 1 4 および 1 6 のドライバであり、F E T m 1 a および m 2 a はロードである。

20

【 0 0 6 1 】

F E T m 1 と m 2 との間の中間ノード N 3 とバイアスノード N 4 との間に F E T m 3 が接続され、F E T m 1 a と m 2 a との間の中間ノード N 3 a とバイアスノード N 4 a との間に F E T m 3 a が接続されている。F E T m 3 および m 3 a のゲートは入力ノード N 1 に接続されている。F E T m 3 および m 3 a はフィードバックトランジスタ F B T r である。

【 0 0 6 2 】

記憶ノード Q 1 および Q 2 は F E T m 5 を介しビット線 B L および B L B にそれぞれ接続されている。F E T m 5 のゲートはワード線 W L に接続されている。F E T m 5 は N チャンネル F E T であり、パストランジスタである。

30

【 0 0 6 3 】

ドライバ 2 6 はインバータ 2 7 a および 2 7 b を備えている。インバータ 2 7 a は制御信号 V C T R L を反転した信号 V F N をバイアスノード N 4 に出力し、インバータ 2 7 b は信号 V F N を反転した信号 V F P をバイアスノード N 4 a に出力する。パワースイッチ ( P S ) 3 0 は、電源 1 5 c の電圧 V D D を仮想電源電圧 V V D D に変換し電源線 1 5 a に供給する。パワースイッチ 3 0 は不図示の制御回路からの制御信号により仮想電源電圧 V V D D を切り替える。

【 0 0 6 4 】

比較例 1 に係るメモリセルは、制御信号 V C T R L によりインバータ回路 1 4 および 1 6 のモードを S T モードと B I モードに変更できる。制御信号 V C T R L がハイレベル ( V V D D H、例えば 1 . 2 V ) のとき、インバータ回路 1 4 および 1 6 は B I モードとなる。制御信号 V C T R L がローレベル ( V G N D、例えば 0 V ) のとき、インバータ回路 1 4 および 1 6 は S T モードとなる。

40

【 0 0 6 5 】

S T モードは、インバータ回路 1 4 および 1 6 の伝達特性にヒステリシスを有するモードであり、B I モードは、インバータ回路 1 4 および 1 6 の伝達特性にヒステリシスを実質的に有さないモードである。S T モードでは、インバータ回路 1 4 および 1 6 に加わる仮想電源電圧 V V D D - V G N D を通常の電圧 ( 例えば 1 . 2 V ) とすると、リーク電流

50

が大きくなる。BIモードでは、電圧V<sub>VDD</sub> - V<sub>GND</sub>を通常の電圧としてもSTモードよりリーク電流が小さい。なお、ヒステリシスを実質的に有さないとはSTモードのような意図的なヒステリシスを有さないことであり、意図しないヒステリシスを有することを許容する。

【0066】

BIモードでは、メモリセル10は、通常のSRAMセルとして機能する。STモードでは、電圧(V<sub>VDD</sub> - V<sub>GND</sub>)を例えば0.2Vと超低電圧(U<sub>LV</sub>: Ultralow Voltage)としても双安定回路12はデータを保持する。

【0067】

表1は、比較例1における状態を示す表である。

10

【表1】

| 状態        | VCTRL       | モード | VVDD        | VVDD-VGND | VWL     |
|-----------|-------------|-----|-------------|-----------|---------|
| リード/ライト   | VVDDH(1.2V) | BI  | VVDDH(1.2V) | VH(1.2V)  | H(1.2V) |
| VDDリテンション | VVDDH(1.2V) | BI  | VVDDH(1.2V) | VH(1.2V)  | L(0V)   |
| ULVリテンション | VGND(0V)    | ST  | VVDDL(0.2V) | VL(0.2V)  | L(0V)   |

【0068】

メモリセル10にデータの読み出しおよび書き込みを行う状態はリード/ライト状態である。リード/ライト状態のとき、制御信号V<sub>CTRL</sub>はハイレベルHである。これにより、インバータ回路14および16はBIモードとなる。パワースイッチ30は仮想電源電圧V<sub>VDD</sub>をV<sub>VDDH</sub>(例えば1.2V)とする。電圧(V<sub>VDD</sub> - V<sub>GND</sub>)はV<sub>H</sub>(例えば1.2V)となる。読み出しまたは書き込みを行うメモリセル10のワード線W<sub>L</sub>の電圧V<sub>WL</sub>をハイレベル(例えば1.2V)とすることにより、FET<sub>m5</sub>がオンし、双安定回路12からのデータの読み出しまたは書き込みが可能となる。

20

【0069】

通常動作のときに、データを保持している状態はV<sub>DD</sub>リテンション状態である。V<sub>DD</sub>リテンション状態のとき、制御信号V<sub>CTRL</sub>はハイレベルHであり、インバータ回路14および16はBIモードである。仮想電源電圧V<sub>VDD</sub>はV<sub>VDDH</sub>(例えば1.2V)であり、電圧(V<sub>VDD</sub> - V<sub>GND</sub>)はV<sub>H</sub>(例えば1.2V)である。読み出しまたは書き込みを行わないためワード線W<sub>L</sub>の電圧V<sub>WL</sub>はローレベル(例えば0V)であり、FET<sub>m5</sub>はオフである。

30

【0070】

メモリセル10のデータを超低電圧で保持する状態はU<sub>LV</sub>リテンション状態である。U<sub>LV</sub>リテンション状態のとき、制御信号V<sub>CTRL</sub>はローレベルLであり、インバータ回路14および16はSTモードである。パワースイッチ30は、仮想電源電圧V<sub>VDD</sub>をV<sub>VDDL</sub>(例えば0.2V)とする。電圧(V<sub>VDD</sub> - V<sub>GND</sub>)はV<sub>H</sub>より低いV<sub>L</sub>(例えば0.2V)となる。電圧V<sub>WL</sub>はローレベル(例えば0V)であり、FET<sub>m5</sub>はオフである。

【0071】

40

[比較例2]

図3および図4は、比較例2におけるメモリセル10の回路図である。図3はループ表示の回路図であり、図4はクロスカップル表示の回路図である。

【0072】

図3および図4に示すように、比較例2では、FET<sub>m2a</sub>、m<sub>3a</sub>、ドライバ26が設けられていない。その他の構成は比較例1と同じである。

【0073】

表2は、比較例2における状態を示す表である。

【表 2】

| 状態        | VCTRL     | モード | VVDD        | VVDD-VGND | VWL     |
|-----------|-----------|-----|-------------|-----------|---------|
| リード/ライト   | VFN(0.2V) | BI  | VVDDH(1.2V) | VH(1.2V)  | H(1.2V) |
| VDDリテンション | VFN(0.2V) | BI  | VVDDH(1.2V) | VH(1.2V)  | L(0V)   |
| ULVリテンション | VFN(0.2V) | ST  | VVDDL(0.2V) | VL(0.2V)  | L(0V)   |

## 【0074】

表 2 に示すように、バイアスノード N4 の電圧はモードによらず VFN (例えば 0.2 V) で一定である。リード/ライト状態のとき、不図示の制御回路からの制御信号によりパワースイッチ 30 は仮想電源電圧 VVDD を VVDDH (例えば 1.2 V) とする。双安定回路 12 に加わる仮想電源電圧 (VVDD - VGND) は VH (例えば 1.2 V) となる。このとき、インバータ回路 14 および 16 は BI モードとなる。ワード線 WL の電圧 VWL はハイレベル (例えば 1.2 V) である。VDDリテンション状態のとき、仮想電源電圧 VVDD は VVDDH (例えば 1.2 V) であり、電圧 (VVDD - VGND) は VH (例えば 1.2 V) であり、インバータ回路 14 および 16 は BI モードである。ワード線 WL の電圧 VWL はローレベル (0 V) である。

10

## 【0075】

ULVリテンション状態のとき、パワースイッチ 30 は仮想電源電圧 VVDD を VVDDL (例えば 0.2 V) とする。電圧 (VVDD - VGND) は VH より低い VL (例えば 0.2 V) となる。このとき、インバータ回路 14 および 16 は ST モードとなる。電圧 VWL はローレベル (例えば 0 V) である。比較例 1 と同様に、ULVリテンション状態では消費電力を抑制できる。

20

## 【0076】

N型チャネルの FETm1 と m2 との間にフィードバックトランジスタ FBTr として FETm3 を設けるタイプをプルダウン型フィードバック PDFB と呼ぶ。P型チャネルの FETm1a と m2a との間にフィードバックトランジスタ FBTr として FETm3a を設けるタイプをプルアップ型フィードバック PUFB と呼ぶ。FETm3 と m3a を両方設けるタイプをプルアッププルダウン型フィードバック PUPDFB と呼ぶ。比較例 1 は PUPDFB であり、比較例 2 は PDFB である。

30

## 【0077】

FBTr と FBTr が接続される FET が異なる導電型チャネルの場合、異導電型チャネル FBTr と呼ぶ。PDFB である比較例 2 では、FBTr である FETm3 は P型チャネルであり、FETm3 が接続される FETm1 および m2 は N型チャネルである。よって、PDFB において FBTr が P型チャネルのときは異導電型チャネル FBTr である。PUFB において FBTr が N型チャネルのとき、異導電型チャネル FBTr である。FBTr と FBTr が接続される FET が同じ導電型チャネルの場合、同導電型チャネル FBTr と呼ぶ。PDFB において FBTr が N型チャネルのとき、PUFB において FBTr が P型チャネルのとき、同導電型チャネル FBTr である。

## 【0078】

異導電型チャネル FBTr では、ゲートは、同じインバータ回路の入力ノードまたは相手方のインバータ回路の出力ノードに接続される。同導電型チャネル FBTr では、ゲートは、同じインバータ回路の出力ノードまたは相手方のインバータ回路の入力ノードに接続される。比較例 1 および 2 は異導電型チャネル FBTr である。特許文献 1 では、同導電型チャネル FBTr が開示されている。

40

## 【0079】

電源線 15a と電源 15c との間にパワースイッチ 30 を設け、パワースイッチ 30 は仮想電源電圧 VVDD を設定し、電圧 VVDD - VGND をメモリセル 10 の電源電圧とする方式をヘッダ PS と呼ぶ。グラウンド線 15b とグラウンドとの間にパワースイッチ 30 を設け、パワースイッチ 30 は仮想接地電圧 VVGND を設定し、VDD - VVGND を

50

メモリセル10の電源電圧とする方式をフッタPSと呼ぶ。電源線15aと電源15cとの間とグラウンド線15bとグラウンドとの間の両方にパワースイッチ30を設け、パワースイッチ30は仮想電源電圧VVDおよび仮想接地電圧VVGNDを設定し、VVD-VVGNDをメモリセル10の電源電圧とする方式をデュアルPSと呼ぶ。比較例1および2はヘッダPSである。

【0080】

ドライバ26を設け、制御信号VCTRLによりバイアスノードN4およびN4aにハイレベルおよびローレベルを印加することでSTモードとBIモードを切り替える方式をタイプ2と呼ぶ。ドライバ26を設けず、バイアスノードN4を定電圧(一定のバイアス)とする方式をタイプ1と呼ぶ。比較例1はタイプ2であり、比較例2はタイプ1である。

10

【0081】

まとめると、比較例1は、PUPDFB、異導電型チャネルFBTr、ヘッダPS、タイプ2である。比較例2は、PDFB、異導電型チャネルFBTr、ヘッダPS、タイプ1である。

【0082】

異導電型チャネルFBTrでは、同導電型チャネルFBTrよりULVリテンション状態における双安定回路12の動作安定性(例えばノイズマージン)が向上することを説明する。

【0083】

例えば比較例2において、FETm3がN型チャネル(すなわち同導電型チャネル)の場合、インバータ回路14および16のFETm3のゲートはそれぞれインバータ回路14および16の出力ノードN2に接続されている。ULVリテンション状態において、例えば記憶ノードQ1およびQ2がそれぞれローレベルおよびハイレベルのとき、インバータ回路14のFETm3はオンし、中間ノードN3は電圧VFNのバイアスノードN4から充電される。しかし、FETm3がN型チャネルであり、FETm3の閾値電圧Vthは正のため、バイアスノードN4からの充電電位は、不十分である。これにより、FBTrであるFETm3のフィードバック効果が低下し、ULVリテンション状態における双安定回路の動作安定性が低下する場合がある。

20

【0084】

一方、比較例2のようにFETm3がP型チャネル(すなわち異導電型チャネル)のとき、例えば記憶ノードQ1およびQ2がそれぞれローレベルおよびハイレベルのとき、インバータ回路14のFETm3がオンする。中間ノードN3は電圧がVFNであるバイアスノードN4から充電される。FETm3がP型チャネルであり、FETm3のゲートにはソースおよびドレインに対し十分低い電圧が加わるため、中間ノードN3をVFNにプルアップできる。これにより、FETm3のフィードバック効果が十分に生じる。よって、ULVリテンション状態における双安定回路の動作安定性を向上させることができる。

30

【0085】

次に、比較例2がタイプ1となることを説明する。比較例2では、VFNをVVDL程度の一定のバイアスとする。電源線15aにVVDHが印加されると、VFNはVVDHに対し十分に低いため、インバータ回路14および16はBIモードとなる。電源線15aにVVDLが印加されると、VFNはVGNDに対し高く、VVDLに等しい、またはVVDLに近い場合、インバータ回路14および16はSTモードとなる。このように、PDFB・ヘッダPSでは、ドライバ26が不要となる。同様にPUFB・フッタPSでは、ドライバ26が不要となる。

40

【0086】

比較例1では、メモリセル10内のトランジスタの個数は14個であり、かつドライバ26を設ける。これにより、図2のように、回路の面積が大きくなる。インバータ回路14および16に対するプルアップ側とインバータ回路14および16に対するプルダウン側の両方のFBTr(FETm3およびm3a)によりフィードバックをかけるため、U

50

ULVリテンション状態におけるノイズマージンが大きくなる。これにより、VVDDLを例えば0.15Vとすることができ、消費電力を抑制できる可能性がある。

#### 【0087】

比較例2では、メモリセル10内のトランジスタの個数は10個であり、かつドライバ26が不要である。これにより、図4のように回路の面積を小さくできる。しかし、プルダウン側のFBTr(FETm3)のみによりフィードバックをかけるため、ULVリテンション状態におけるノイズマージンが比較例1より小さくなる。これにより、VVDDLは例えば0.2Vとなる。よって、比較例1より消費電力が大きくなる。

#### 【実施例1】

#### 【0088】

実施例1は、PDFB、異導電型チャンネルFBTr、ヘッダPS、タイプ1の例である。実施例1では、比較例2のロードであるFETm1aとパストラジスタであるFETm5とを1つのFETm4としている。これにより、メモリセル10内のトランジスタの個数を8個と比較例2よりさらに削減できる。さらに、ULVリテンションにおけるノイズマージンを増大できる。

#### 【0089】

#### [メモリセルの説明]

図5および図6は、実施例1におけるメモリセルの回路図である。図5はループ表示の回路図であり、図6はクロスカップル表示の回路図である。

#### 【0090】

図5および図6に示すように、メモリセル10は、インバータ回路14および16を主に備えている。インバータ回路14および16はループ状に接続され双安定回路12を構成している。インバータ回路14および16は、FETm1~m4を各々備えている。FETm1およびm2はNチャンネルMOSFETであり、FETm3およびm4はPチャンネルMOSFETである。FETm1~m4は例えばノーマリオフ型トランジスタである。

#### 【0091】

FETm1において、ソースはグランド電圧V<sub>GND</sub>が印加されたグランド線15bに接続され、ドレインは中間ノードN3に接続され、ゲートは入力ノードN1に接続されている。FETm2において、ソースは中間ノードN3に接続され、ドレインは出力ノードN2に接続され、ゲートは入力ノードN1に接続されている。FETm1およびm2はドライバである。

#### 【0092】

FETm3において、ソースおよびドレインの一方は中間ノードN3に接続され、ソースおよびドレインの他方はバイアスノードN4に接続され、ゲートは入力ノードN1に接続されている。FETm3はフィードバックトランジスタFBTrである。

#### 【0093】

FETm4において、ソースおよびドレインの一方は出力ノードN2に接続され、ソースおよびドレインの他方は制御線CTRL1またはCTRL2に接続され、ゲートはワード線WLに接続されている。FETm4は、リード/ライト状態ではパストラジスタとして機能し、VDDリテンション状態およびULVリテンション状態ではロードとして機能する。

#### 【0094】

インバータ回路14の入力ノードN1とインバータ回路16の出力ノードN2は記憶ノードQ1に接続され、インバータ回路16の入力ノードN1とインバータ回路14の出力ノードN2は記憶ノードQ2に接続されている。記憶ノードQ1とQ2は相補的なノードである。記憶ノードQ1はインバータ回路16のFETm4を介し制御線CTRL1に接続され、記憶ノードQ2はインバータ回路14のFETm4を介し制御線CTRL2に接続されている。

#### 【0095】

選択回路32は、制御線CTRL1をビット線BLおよび電源線15a(仮想電源線)

10

20

30

40

50

のいずれか一方に接続する。選択回路 3 2 a は、制御線 C T R L 2 をビット線 B L B および電源線 1 5 a のいずれか一方に接続する。パワースイッチ ( P S ) 3 0 は、電源 1 5 c の電圧 V D D を仮想電源電圧 V V D D に変換し電源線 1 5 a に供給する。

【 0 0 9 6 】

[メモリアレイの説明]

図 7 A は、実施例 1 におけるメモリアレイのブロック図である。図 7 A に示すように、メモリアレイ 2 2 は、メモリセル 1 0 を有する複数のブロック 2 4 に分割されている。ブロック 2 4 の個数は適宜設計可能である。メモリアレイ 2 2 内には複数のメモリセル 1 0 が n 列にマトリックス状に配置されている。メモリアレイ 2 2 内には、行方向にワード線 W L が延伸し、列方向に制御線 C T R L 1 および C T R L 2 が延伸している。各メモリセル 1 0 には、ワード線 W L 、制御線 C T R L 1 および C T R L 2 が接続されている。図 7 A では、1 列から n 列の制御線 C T R L 1 および C T R L 2 をそれぞれ制御線 C T R L 1 1 および C T R L 2 1 から C T R L 1 n および C T R L 2 n と示している。

10

【 0 0 9 7 】

メモリアレイ 2 2 に対応し、制御回路 2 8 、パワースイッチ 3 0 および周辺回路 3 8 が設けられている。制御回路 2 8 は、パワースイッチ 3 0 および周辺回路 3 8 を制御する。

【 0 0 9 8 】

パワースイッチ 3 0 は、制御回路 2 8 からの制御信号にしたがって、電源 1 5 c の電圧 V D D から、例えば分圧回路によって、得られ仮想電源電圧 V V D D を出力する。電圧 V V D D - V G N D が双安定回路 1 2 に加わる電圧となる。周辺回路 3 8 は、W L デコーダ 3 1 、選択回路 3 2 b 、プリチャージ回路 3 3 および読出書込回路 3 4 を備えている。図 7 A では、図 5 および図 6 の選択回路 3 2 および 3 2 a を選択回路 3 2 b として説明する。以下の同様の図も同じである。

20

【 0 0 9 9 】

メモリセル 1 0 がデータを保持するときには、選択回路 3 2 b は制御線 C T R L 1 1 および C T R L 2 1 から C T R L 1 n および C T R L 2 n に電源線 1 5 a を接続するようにスイッチする。メモリセル 1 0 からデータを読み出しまたは書き込むときには、選択回路 3 2 b は制御線 C T R L 1 1 および C T R L 2 1 から C T R L 1 n および C T R L 2 n にそれぞれビット線 B L 1 および B L B 1 から B L n および B L B n を接続するようにスイッチする。W L デコーダ 3 1 は行アドレスに基づきワード線 W L を選択する。読出書込回路 3 4 に列アドレスが入力する。読出書込回路 3 4 は列アドレスに基づきビット線 B L 1 および B L B 1 から B L n および B L B n から選択する列に対応するビット線 B L および B L B を選択する。プリチャージ回路 3 3 はビット線 B L および B L B をプリチャージする。読出書込回路 3 4 は、選択されたメモリセル 1 0 の双安定回路 1 2 にデータを書き込みまたは双安定回路 1 2 からデータを読み出しバス 2 5 に出力する。

30

【 0 1 0 0 】

周辺回路の別の例を図 7 B および図 7 C を用い説明する。図 7 B は、実施例 1 におけるパワースイッチおよび選択回路を示す図である。図 7 B に示すように、パワースイッチ 3 0 は、F E T P S 1 および P S 2 を備えている。F E T P S 1 および P S 2 は P チャネル F E T である。F E T P S 1 は電源 1 5 c H と電源線 1 5 a との間に接続され、F E T P S 2 は電源 1 5 c L と電源線 1 5 a との間に接続されている。電源 1 5 c H および電源 1 5 c L にはそれぞれ電源電圧 V D D H および V D D L が供給されている。

40

【 0 1 0 1 】

F E T P S 1 および P S 2 のゲートにはそれぞれ信号 V P S 1 および V P S 2 が入力する。信号 V P S 1 および V P S 2 がそれぞれローレベルおよびハイレベルのとき、F E T P S 1 および P S 2 はそれぞれオンおよびオフし、仮想電源電圧 V V D D は V D D H となる。仮想電源電圧 V V D D が V D D H となるのは、リード/ライト状態および V D D リテンション状態のときであり、電圧 V V D D - V G N D は例えば 1 . 2 V である。信号 V P S 1 および V P S 2 がそれぞれハイレベルおよびローレベルのとき、F E T P S 1 および P S 2 はそれぞれオフおよびオンし、仮想電源電圧 V V D D は V D D L となる。仮想電源

50

電圧  $V_{VDD}$  が  $V_{DDL}$  となるのは、ULVリテンション状態のときであり、電圧  $V_{VDD} - V_{GND}$  は例えば  $0.2V$  である。信号  $V_{PS1}$  および  $V_{PS2}$  がともにハイレベルのとき、 $FET_{PS1}$  および  $FET_{PS2}$  はともにオフし、仮想電源電圧  $V_{VDD}$  が遮断される。仮想電源電圧  $V_{VDD}$  が遮断されるのは、シャットダウン状態のときである。

【0102】

電源線  $15a$  と制御線  $CTRL1$  および  $CTRL2$  との間にプリチャージ/選択回路  $33a$  が設けられている。プリチャージ/選択回路  $33a$  は  $FET_{M10} \sim M12$  を備えている。 $FET_{M10}$  は電源線  $15a$  と制御線  $CTRL1$  との間に接続されている。 $FET_{M11}$  は電源線  $15a$  と制御線  $CTRL2$  との間に接続されている。 $FET_{M12}$  は制御線  $CTRL1$  と  $CTRL2$  との間に接続されている。 $FET_{M10} \sim M12$  はPチャンネルFETである。 $FET_{M10} \sim M12$  のゲートには選択信号  $Se1$  が入力する。制御線  $CTRL1$  および  $CTRL2$  と読出書込回路  $34$  に接続されたビット線  $BL$  および  $BLB$  との間に選択回路  $32b$  が設けられている。選択回路  $32b$  はトランスファークゲート  $M13$  および  $M14$  を備えている。トランスファークゲート  $M13$  はビット線  $BL$  と制御線  $CTRL1$  との間に接続されている。トランスファークゲート  $M14$  はビット線  $BLB$  と制御線  $CTRL2$  との間に接続されている。トランスファークゲート  $M13$  および  $M14$  に選択信号  $Se1'$  および  $Se1'$  の相補信号  $Se1B'$  が入力する。

10

【0103】

図7Cは、実施例1におけるメモリアレイの別の例を示すブロック図である。図7Cに示すように、プリチャージ/選択回路  $33a$  はパワースイッチ  $30$  とメモリアレイ  $22$  との間に設けられている。プリチャージ/選択回路  $33a$  は図7Bの  $FET_{M10} \sim M12$  を備え、選択回路  $32b$  は図7Bのトランスファークゲート  $M13$  および  $M14$  を備えている。

20

【0104】

選択信号  $Se1$  がローレベルのとき、 $FET_{M10} \sim M12$  はオンし、制御線  $CTRL1$  および  $CTRL2$  に仮想電源電圧  $V_{VDD}$  が供給される。選択信号  $Se1$  がハイレベルのとき、 $FET_{M10} \sim M12$  はオフする。 $FET_{M10} \sim M12$  がオフであり、かつ選択信号  $Se1'$  がハイレベルのとき、トランスファークゲート  $M13$  および  $M14$  はオンし、制御線  $CTRL1$  および  $CTRL2$  はビット線  $BL$  および  $BLB$  として機能する。 $FET_{M10} \sim M12$  がオンであり、かつ選択信号  $Se1'$  がローレベルのとき、トランスファークゲート  $M13$  および  $M14$  はオフし、制御線  $CTRL1$  および  $CTRL2$  はビット線  $BL$  および  $BLB$  から切断される。以上のように、制御線  $CTRL1$  および  $CTRL2$  の端にプリチャージ/選択回路  $33a$  が接続し、制御線  $CTRL1$  および  $CTRL2$  の他の端に選択回路  $32b$  が接続されていてもよい。

30

【0105】

図7Aおよび図7Cの電子回路の制御回路  $28$  はパワースイッチ  $30$  を制御し、双安定回路  $12$  がデータを保持するULVリテンション状態において、実施例1の表3の電圧  $V_{VDD} - V_{GND}$  の電圧  $VL$  ( $0.2V$ ) をリード/ライト状態(第2状態)における電圧  $VH$  ( $1.2V$ ) より低くする。これにより、ULVリテンション状態における消費電力を抑制できる。

40

【0106】

表3は、実施例1における状態を示す表である。

【表3】

| 状態        | VCTRL     | モード | VVDD        | VVDD-VGND | 選択   | VWL       |
|-----------|-----------|-----|-------------|-----------|------|-----------|
| リード/ライト   | VFN(0.2V) | BI  | VVDDH(1.2V) | VH(1.2V)  | BL   | V1(0.25V) |
| VDDリテンション | VFN(0.2V) | BI  | VVDDH(1.2V) | VH(1.2V)  | VVDD | V2(1.1V)  |
| ULVリテンション | VFN(0.2V) | ST  | VVDDL(0.2V) | VL(0.2V)  | VVDD | V3(0.2V)  |

【0107】

50

バイアスノードN4は定電圧VFN(例えば0.2V)である。リード/ライト状態のとき、選択回路32bは制御線CTRL(図5および図6では制御線CTRL1およびCTRL2)にビット線BL(図5および図6ではビット線BLおよびBLB)を接続する。パワースイッチ30は仮想電源電圧VVDをVVDH(例えば1.2V)とする。電圧VVD-VGNはVH(例えば1.2V)となる。リード状態ではビット線BLおよびBLBはほぼVVDHとなる。ライト状態ではビット線BLおよびBLBの一方はほぼVVDHとなり、他方はほぼVGNとなる。記憶ノードQ1およびQ2のハイレベルはほぼVVDHとなり、ローレベルはほぼVGNとなる。インバータ回路14および16はBIモードとなる。

#### 【0108】

読み出したまたは書き込むメモリセル10のワード線WLの電圧VWLを電圧V1(例えば0.25V)とする。電圧V1は記憶ノードQ1およびQ2がハイレベルおよびローレベルのいずれのときにもFETm4がオンする電圧とする。これにより、メモリセル10からデータの読み出しおよび書き込みが可能となる。

#### 【0109】

VDDリテンション状態のとき、選択回路32bは制御線CTRL(図5および図6では制御線CTRL1およびCTRL2)に電源線15aを接続する。パワースイッチ30は仮想電源電圧VVDをVVDH(例えば1.2V)とする。電圧VVD-VGNはVH(例えば1.2V)となる。インバータ回路14および16はBIモードとなる。

#### 【0110】

ワード線WLの電圧VWLを電圧V2(例えば1.1V)とする。電圧V2はVVDHより少し低いため、記憶ノードQ1およびQ2がハイレベルおよびローレベルのいずれのときでもFETm4はわずかにオンする。これにより、FETm4はインバータ回路14および16のロードとして機能する。VDDリテンション状態では、双安定回路12のデータが保持される。

#### 【0111】

ULVリテンション状態のとき、選択回路32bは制御線CTRL(図5および図6では制御線CTRL1およびCTRL2)に電源線15aを接続する。パワースイッチ30は仮想電源電圧VVDをVVDL(例えば0.2V)とする。電圧VVD-VGNはVL(例えば0.2V)となる。インバータ回路14および16はSTモードとなる。

#### 【0112】

ワード線WLの電圧VWLを電圧V3(例えば0.2V)とする。電圧V3がゲートに加わると、記憶ノードQ1およびQ2がハイレベルおよびローレベルのいずれのときでもFETm4がオフするが、FETm4のリーク電流によりFETm4はインバータ回路14および16のロードとして機能する。ULVリテンション状態では、超低電圧で双安定回路12のデータが保持される。これにより、リーク電流による消費電力を抑制できる。

#### 【0113】

#### [シミュレーション1]

シミュレーション1はVDDリテンション状態およびリード/ライト状態のリード時におけるSNM(Static Noise Margin)およびスタンバイパワーのシミュレーションである。

#### 【0114】

シミュレーションは、実施例1、比較例2および6個のトランジスタを用いたSRAMセル(6T)である比較例3について行った。シミュレーション条件は以下である。

#### 【0115】

実施例1における各FETのチャンネル幅W/長さLは以下である。

FETm1、m2(ドライバ): 100nm/60nm

FETm3(フィードバックトランジスタ): WFB/60nm

10

20

30

40

50

F E T m 4 ( パス ト ラ ン ジ ス タ / ロ ー ド ) : W L P / 6 0 n m

実 施 例 1 に お け る 各 電 圧 は 以 下 で あ る。

V V D D H = 1 . 2 V

V G N D = 0 V

V F N = 0 . 2 V

V W L = 1 . 1 V ま た は 0 . 2 5 V

【 0 1 1 6 】

比 較 例 2 に お け る 各 F E T の チ ャ ネ ル 幅 W / 長 さ L は 以 下 で あ る。

F E T m 1、m 2 ( ド ラ イ バ ) : 1 6 5 n m / 6 0 n m

F E T m 1 a ( ロ ー ド ) : 1 0 0 n m / 6 0 n m

F E T m 3 ( フ ィ ー ド バ ッ ク ト ラ ン ジ ス タ ) : 1 2 0 n m / 6 0 n m

F E T m 5 ( パ ス ト ラ ン ジ ス タ ) : 1 0 0 n m / 6 0 n m

比 較 例 2 に お け る 各 電 圧 は 以 下 で あ る。

V V D D H = 1 . 2 V

V G N D = 0 V

V F N = 0 . 2 V

比 較 例 3 に お け る 各 F E T の チ ャ ネ ル 幅 W / 長 さ L は 以 下 で あ る。

ド ラ イ バ : 1 5 0 n m / 6 0 n m

ロ ー ド : 1 0 0 n m / 6 0 n m

パ ス ト ラ ン ジ ス タ : 1 0 0 n m / 6 0 n m

比 較 例 3 に お け る 各 電 圧 は 以 下 で あ る。

V V D D = 1 . 2 V

V G N D = 0 V

【 0 1 1 7 】

実 施 例 1 で は、制 御 線 C T R L 1 お よ び C T R L 2 か ら メ モ リ セ ル 1 0 に 仮 想 電 源 電 圧 V V D D が 供 給 さ れ る。こ の た め、F E T m 4 の サ イ ズ お よ び V D D リ テ ン シ ョ ン 状 態 に お け る ワ ー ド 線 W L の 電 圧 V W L に よ り ノ イ ズ マ ー ジ ン お よ び 待 機 時 電 力 が 決 ま る。ま た、V F N を 一 定 の バ イ ア ス と し て い る た め、B I モ ー ド で も F E T m 3 に よ り S T モ ー ド よ り 弱 い が フ ィ ー ド バ ッ ク が か か る。こ の た め、F E T m 3 の サ イ ズ に よ り ノ イ ズ マ ー ジ ン を 設 計 可 能 で あ る。

【 0 1 1 8 】

そ こ で、F E T m 4 の サ イ ズ ( チ ャ ネ ル 幅 W L P ) お よ び F E T m 3 の サ イ ズ ( チ ャ ネ ル 幅 W F B ) を 変 え、V D D リ テ ン シ ョ ン 状 態 に お け る S N M ( S t a t i c N o i s e M a r g i n ) お よ び ス タ ン バ イ 電 力 を シ ミ ュ レ ー シ ョ ン し た。ス タ ン バ イ 電 力 は、デ ー タ を 保 持 し て い る 状 態 に お け る 各 F E T の リ ー ク 電 流 の 合 計 に 相 当 す る。ま た、ワ ー ド 線 W L の 電 圧 V W L を 変 え、V D D リ テ ン シ ョ ン 状 態 に お け る S N M お よ び ス タ ン バ イ パ ワ ー を シ ミ ュ レ ー シ ョ ン し た。S N M は 雑 音 余 裕 で あ り、S N M が 小 さ い と 双 安 定 回 路 1 2 の デ ー タ が 雑 音 等 に よ り 反 転 し や す く な り、S N M が 大 き い と 双 安 定 回 路 1 2 の デ ー タ が 雑 音 等 に よ り 反 転 し に く く な る。S N M の 指 標 と し て S N M を 8 0 m V 以 上 と す る こ と を 目 標 と し た。

【 0 1 1 9 】

図 8 ( a ) お よ び 図 8 ( b ) は、実 施 例 1 の V D D リ テ ン シ ョ ン 状 態 に お け る W L P お よ び W F B に 対 す る S N M お よ び ス タ ン バ イ パ ワ ー を 示 す 図 で あ る。S N M の T T は P F E T お よ び N F E T の 閾 値 電 圧 が T y p i c a l な と き の S N M で あ る。S N M の F F は P F E T お よ び N F E T の 閾 値 電 圧 が い ず れ も プ ロ セ ス 変 動 に よ り T y p i c a l 値 よ り F a s t ( F ) 側 ( 低 い 方 ) に 3 ず れ た と き の S N M で あ る。S N M の S S は P F E T お よ び N F E T の 閾 値 電 圧 が い ず れ も プ ロ セ ス 変 動 に よ り T y p i c a l 値 よ り S l o w ( S ) 側 ( 高 い 方 ) に 3 ず れ た と き の S N M で あ る。S N M の F S お よ び S F は P F E T お よ び N F E T の 閾 値 電 圧 の 一 方 が T y p i c a l 値 よ り F 側 に、他 方 が T y p i c a l 値 よ り S 側 に 3 ず れ た と き の S N M で あ る。T T、F F、S S、F S お よ び S F の S N M が 確 保 さ れ て い れ ば、P F E T お よ び N F E T の 閾 値 電 圧 が  $\pm 3$  の 範 囲 内 で ば ら つ

10

20

30

40

50

いたとしてもSNMを確保できる。比較例3では、パストランジスタのチャンネル幅Wは一定である。

【0120】

図8(a)に示すように、 $WFB = 230\text{ nm}$ および $VWL = 1.1\text{ V}$ のとき、WLPを $100\text{ nm}$ から $300\text{ nm}$ まで変化させている。WLPが大きくなるとSNMは大きくなる。WLPが $100\text{ nm}$ 以上ではいずれのSNMも $80\text{ mV}$ 以上である。SNMが大きくなるとスタンバイパワーが大きくなる。実施例1のスタンバイパワーが比較例3(6T)より小さくなるのはWLPが $110\text{ nm}$ 以下のときである。そこで、WLPを $110\text{ nm}$ に設定する。

【0121】

図8(b)に示すように、WLP =  $110\text{ nm}$ および $VWL = 1.1\text{ V}$ のとき、WFBを $100\text{ nm}$ から $300\text{ nm}$ まで変化させている。WFBが大きくなるとSNMは大きくなる。WFBが $230\text{ nm}$ 以上ではいずれのSNMも $80\text{ mV}$ 以上である。実施例1のスタンバイパワーはWFBに依存せずいずれのWFBでも比較例3より小さい。以上より、WFBを $230\text{ nm}$ に設定する。

【0122】

図9(a)および図9(b)は、実施例1および比較例3のVDDリテンション状態およびリード/ライト状態のリードにおけるVWLに対するSNMおよびスタンバイパワーを示す図である。図9(b)は、図9(a)のVWLが $1.1\text{ V}$ 付近の拡大図である。SNMを $80\text{ mV}$ 以上とすることを目標とした。SNM =  $80\text{ mV}$ を破線で示した。

【0123】

図9(a)に示すように、WLP =  $110\text{ nm}$ および $WFB = 230\text{ nm}$ のとき、VWLを $0\text{ V}$ から $1.2\text{ V}$ まで変化させている。SNMは $VWL = 0.7\text{ V}$ 付近がピークであり、VWLが $0.7\text{ V}$ より小さくなるとSNMは小さくなり、VWLが $0.7\text{ V}$ より大きくなるとSNMは小さくなる。VWLが小さくなるとスタンバイパワーは大きくなる。

【0124】

図9(b)に示すように、VWLが $1.1\text{ V}$ 以上では、実施例1のスタンバイパワーは比較例3より小さくなる。VWLが $1.15\text{ V}$ 以下では、いずれのSNMも $80\text{ mV}$ 以上である。そこで、VDDリテンション状態におけるVWLを $1.1\text{ V}$ とした。

【0125】

リード/ライト状態ではFETm4をオンするためVWLを低くする。しかし、SNMは大きいことが好ましい。図9(a)のように、VWLが $0.25\text{ V}$ 以上ではいずれのSNMも $80\text{ mV}$ 以上である。そこで、VWLを $0.25\text{ V}$ とした。

【0126】

実施例1、比較例2および3について、リード/ライト状態およびVDDリテンション状態におけるSNMをシミュレーションした。実施例1では、 $WLP = 110\text{ nm}$ 、 $WFB = 230\text{ nm}$ とし、VDDリテンション状態の $VWL = 1.1\text{ V}$ 、リード/ライト状態の $VWL = 0.25\text{ V}$ とした。

【0127】

図10(a)から図10(c)は、実施例1、比較例2および3のVDDリテンション状態およびリード/ライト状態におけるSNMを示す図である。図10(a)はVDDリテンション状態のSNMであり、図10(b)はリード/ライト状態においてリードのときのSNMであり、図10(c)はリード/ライト状態においてライトのときのSNMである。

【0128】

図10(a)に示すように、VDDリテンション状態では、実施例1のSNMは比較例2および3より小さいものの、すべてのSNMにおいて $80\text{ mV}$ より大きい。図10(b)に示すように、リードでは、実施例1のSNMは比較例2および3とほぼ同じであり、すべてのSNMにおいて $80\text{ mV}$ より大きい。図10(c)に示すように、ライトでは、実施例1のSNMは比較例2および3より大きく、すべてのSNMにおいて $80\text{ mV}$ より

10

20

30

40

50

大きい。以上のように、実施例 1 では、すべての S N M において 80 mV より大きい。また、T T の S N M は 100 mV より大きい。このように、実施例 1 では、リード/ライト状態および V D D リテンション状態において十分なノイズマージンを確保できる。図 9 ( a ) および図 9 ( b ) での V W L の最適化は、V D D リテンション状態およびリード/ライト状態のリードで行っているが、図 10 ( a ) から図 10 ( c ) のように、リード/ライト状態のライトにおいても S N M を増加させることができる。

【 0 1 2 9 】

[ シミュレーション 2 ]

シミュレーション 2 は U L V リテンション状態におけるインバータ回路 1 4 および 1 6 の伝達特性、双安定回路 1 2 のパタフライカーブ、S N M およびスタンバイパワーのシミュレーションである。

10

【 0 1 3 0 】

特に記載されていない各 F E T のチャネル幅 W / 長さ L および各電圧はシミュレーション 1 と同じである。実施例 1 では、W L P = 110 nm、W F P = 230 nm とした。比較例 3 では V V D D = 0.2 V である。

【 0 1 3 1 】

実施例 1 について、ワード線 W L の電圧 V W L を変え U L V リテンション状態におけるインバータ回路 1 4 および 1 6 の伝達特性をシミュレーションした。

【 0 1 3 2 】

図 1 1 は、実施例 1 の U L V リテンション状態におけるインバータ回路の伝達特性を示す図であり、インバータ回路 1 4 および 1 6 の入力電圧 V i n ( 入力ノード N 1 の電圧 ) に対する出力電圧 V o u t ( 出力ノード N 2 ) を示す図である。

20

【 0 1 3 3 】

図 1 1 に示すように、V i n を高くしていくフォワードスイープでは、V W L を高くすると、出力電圧 V o u t がハイレベルからローレベルにシフトする閾値電圧が V i n の高い方にシフトしている。V i n を低くしていくバックワードスイープでは、V W L を高くすると、出力電圧 V o u t がローレベルからハイレベルにシフトする閾値電圧が V i n の低い方にシフトしている。バックワードスイープでは、V W L を高くすると閾値電圧がより V i n の低い方にシフトする。

【 0 1 3 4 】

図 1 2 ( a ) および図 1 2 ( b ) は、実施例 1 における双安定回路の回路図である。双安定回路 1 2 の回路は図 5 および図 6 において U L V リテンション状態の回路図であり、原理がわかりやすくなるように表示している。図 1 2 ( a ) および図 1 2 ( b ) のうちインバータ回路 1 4 の入力電圧 V i n および出力電圧 V o u t について説明する。

30

【 0 1 3 5 】

図 1 2 ( a ) を参照し、フォワードスイープについて説明する。初期状態では、入力電圧 V i n はローレベル ( 例えば 0 V ) であり、出力電圧 V o u t はハイレベル ( 例えば 0.2 V ) である。この状態では、インバータ回路 1 4 において、F E T m 1 および m 2 はオフであり、F E T m 3 はオンである。F E T m 4 は V W L = 0.2 V ではオフであるが、リーク電流が流れる。V W L が 0.2 V より低いと F E T m 4 はオンする。このため、出力ノード N 2 は点線矢印 9 2 のように F E T m 4 のリーク電流またはオン電流により制御線 C T R L 1 の V V D D L から充電され、中間ノード N 3 は点線矢印 9 3 のようにバイアスノード N 4 の V F N により充電されている。

40

【 0 1 3 6 】

入力電圧 V i n が高くなったときに、出力電圧 V o u t をローレベルとするためには、実線矢印 9 0 のように出力ノード N 2 から中間ノード N 3 に放電される。しかし、実線矢印 9 1 のように中間ノード N 3 からグラウンド線 1 5 b に放電されないと、出力ノード N 2 から中間ノード N 3 に放電できない。このため、中間ノード N 3 が放電した後に出力ノード N 2 が放電するため、出力電圧 V o u t がローレベルとなる閾値電圧は V i n の高い方にシフトする。

50

## 【 0 1 3 7 】

図 1 2 ( b ) を参照し、バックワードスイープについて説明する。初期状態では、入力電圧  $V_{in}$  はハイレベル（例えば  $0.2 V$ ）であり、出力電圧  $V_{out}$  はローレベル（例えば  $0 V$ ）である。この状態では、インバータ回路 1 4 において、 $FET_{m1}$  および  $m2$  はオンであり、 $FET_{m3}$  および  $m4$  はオフである。このため、中間ノード  $N3$  は点線矢印 9 5 のようにグラウンド線 1 5 b に放電される。 $FET_{m4}$  は  $VWL = 0.2 V$  ではオフであるが、リーク電流が流れる。 $VWL$  が  $0.2 V$  より低いと  $FET_{m4}$  は弱くオンする。点線矢印 9 4 の  $FET_{m2}$  を介した放電が点線矢印 9 6 の  $FET_{m4}$  を介した充電より速いため、出力ノード  $N2$  は中間ノード  $N3$  に放電されている。

## 【 0 1 3 8 】

入力電圧  $V_{in}$  が低くなると、 $FET_{m1}$  がオフし  $FET_{m3}$  がオンするため、実線矢印 9 7 のように中間ノード  $N3$  はバイアスノード  $N4$  の  $VFN$  により充電される。 $FET_{m2}$  がオフし  $FET_{m4}$  がオフまたは弱いオンであると、点線矢印 9 6 のように出力ノード  $N2$  は制御線  $CTRL1$  の  $VVDL$  から充電される。しかし、 $FET_{m4}$  のオフ電流に近い電流で出力ノード  $N2$  が充電されるため、充電は  $VWL$  に依存する。これにより、出力電圧  $V_{out}$  がハイレベルとなる閾値電圧は、 $VWL$  を高くすると、 $V_{in}$  の低い方にシフトする。特に  $FET_{m4}$  のゲートには  $VWL$  が印加されている。このため、点線矢印 9 6 の電流の大きさは  $VWL$  に依存する。 $VWL$  が高いと  $FET_{m4}$  の電流は小さいため、閾値電圧は  $V_{in}$  の低い方によりシフトする。

## 【 0 1 3 9 】

実施例 1、比較例 2 および 3 の双安定回路 1 2 におけるバタフライカーブをシミュレーションした。実施例 1 において  $VWL = 0.2 V$  とした。

## 【 0 1 4 0 】

図 1 3 ( a ) および図 1 3 ( b ) は、実施例 1、比較例 2 および 3 の  $ULV$  リテンション状態における双安定回路のバタフライカーブを示す図である。図 1 3 ( a ) は、 $Q1$  がローレベルかつ  $Q2$  がハイレベルのときが動作点であり、図 1 3 ( b ) は、 $Q1$  がハイレベルかつ  $Q2$  がローレベルのときが動作点である。

## 【 0 1 4 1 】

図 1 3 ( a ) および図 1 3 ( b ) に示すように、比較例 3 の  $6T-SRAM$  では、バタフライカーブの開口 ( $lobe$ ) が狭くノイズマージンが小さい。比較例 2 では動作点側の開口が広くなりノイズマージンが大きくなる。実施例 1 では動作点側の開口が比較例 2 より更に広くなりノイズマージンが比較例 2 よりさらに大きくなる。

## 【 0 1 4 2 】

実施例 1、比較例 2 および 3 の  $ULV$  リテンション状態における  $SNM$  をシミュレーションした。

## 【 0 1 4 3 】

図 1 4 ( a ) は、実施例 1、比較例 2 および 3 の  $ULV$  リテンション状態における  $SNM$  を示す図である。図 1 4 ( a ) に示すように、比較例 3 では、いずれの  $SNM$  も  $80 mV$  より小さく、ノイズマージンが小さい。比較例 2 では、いずれの  $SNM$  も  $80 mV$  以上であり、ノイズマージンが大きい。実施例 1 では、いずれの  $SNM$  も  $130 mV$  以上であり、比較例 2 よりノイズマージンが大きい。実用的な  $SNM$  を  $80 mV$  とすると、実施例 1 では、 $VVDL$  を  $0.2 V$  より低くすることもできる。 $VVDL$  を  $0.2 V$  とすると、 $SNM$  は  $130 mV$  以上となり双安定回路 1 2 は  $VVDL$  を  $0.2 V$  より低くした場合に比べより安定となる。

## 【 0 1 4 4 】

実施例 1 の  $ULV$  リテンション状態において、 $VVDL$  を変化させ、 $SNM$  およびスタンバイパワーをシミュレーションした。

## 【 0 1 4 5 】

図 1 4 ( b ) は、実施例 1 の  $ULV$  リテンション状態における  $VVDL$  に対する  $SNM$  およびスタンバイパワーを示す図である。図 1 4 ( b ) に示すように、実施例 1 では、 $V$

10

20

30

40

50

VDDを0.1から0.2Vまで変化させている。VVDDが高くなると、SNMが大きくなり、かつスタンバイパワーが大きくなる。VVDDが0.15V以上では全てのSNMは80mV以上である。そこで、ULVリテンション状態におけるVVDD(すなわちVVDDL)を0.15Vとすることもできる。

【0146】

実施例1および比較例3について、各VVDDに対するスタンバイパワーをシミュレーションした。

【0147】

図15は、実施例1および比較例3におけるスタンバイパワーを示す図である。数字は、比較例3においてVVDD=1.2Vのときのスタンバイパワーに対するスタンバイパワーの削減率を示している。

10

【0148】

図15に示すように、比較例3では、リード/ライトを行う通常状態ではVVDD=1.2Vである。このとき、スタンバイパワーは約4.4nWである。比較例3において、リードおよびライトは行わずデータを保持するスリープ状態では、VVDD=0.8Vである。このとき、スタンバイパワーの削減率は44%である。

【0149】

実施例1において、VDDリテンション状態のときVVDD=1.2Vである。このときのスタンバイパワーの削減率は7%である。ULVリテンション状態のとき、VVDD=0.2Vとすると、スタンバイパワーの削減率は95%である。さらに、VVDD=0.15Vとすると、スタンバイパワーの削減率は97%である。

20

【0150】

比較例2では、メモリセル10内のトランジスタの個数は10個であるが、実施例1では、メモリセル10内のトランジスタの個数を8個と削減できる。これにより、図4と図6との比較のように回路面積を抑制できる。さらに、図14(a)のように、ULVリテンション状態におけるノイズマージンを比較例2より大きくできる。比較例2と同じノイズマージンとすると、VVDDLを比較例2より低くできる。これにより、スタンバイパワーをより抑制できる。

【0151】

[実施例1の変形例1]

実施例1の変形例1は、PUFB、異導電型チャネルFBTr、フッタPS、タイプ1の例である。図16および図17は、実施例1の変形例1におけるメモリセル10の回路図である。図16はループ表示の回路図であり、図17はクロスカップル表示の回路図である。なお、PUFB・フッタPSでは、VDDリテンション状態ではなくVSSリテンション状態であるが、ここでは実施例1と合わせるためVDDリテンション状態と呼ぶ。

30

【0152】

図16および図17に示すようにインバータ回路14および16は、FETm1a~m4aを各々備えている。FETm1aおよびm2aはPチャネルMOSFETであり、FETm3aおよびm4aはNチャネルMOSFETである。

【0153】

FETm1aにおいて、ソースは電源電圧VDDが印加された電源線15aに接続されている。選択回路32は、制御線CTRL1をビット線BLおよびグランド線15b(仮想グランド線)のいずれか一方に接続する。選択回路32aは、制御線CTRL2をビット線BLBおよびグランド線15bのいずれか一方に接続する。パワースイッチ(PS)30は、グランド15dの電圧VGNDDを仮想接地電圧VVGNDに変換しグランド線15bに供給する。バイアスノードN4には一定のバイアスVFPが印加されている。その他の回路構成は実施例1の図5および図6のFETm1~m4をFETm1a~m4aにそれぞれ置き換えた回路と同じである。

40

【0154】

表4は、実施例1の変形例1における状態を示す表である。

50

【表 4】

| 状態        | VCTRL     | モード | VVGND        | VDD-VVGND | 選択    | VWL      |
|-----------|-----------|-----|--------------|-----------|-------|----------|
| リード/ライト   | VFP(1.0V) | BI  | VVGNDL(0V)   | VH(1.2V)  | BL    | V1(0.9V) |
| VDDリテンション | VFP(1.0V) | BI  | VVGNDL(0V)   | VH(1.2V)  | VVGND | V2(0.1V) |
| ULVリテンション | VFP(1.0V) | ST  | VVGNDH(1.0V) | VL(0.2V)  | VVGND | V3(1.0V) |

## 【0155】

バイアスノードN4は定電圧VFP(例えば1.0V)である。リード/ライト状態のとき、選択回路32および32aは制御線CTRL1およびCTRL2にビット線BLおよびBLBをそれぞれ接続する。パワースイッチ30は仮想接地電圧VVGNDをVVGNDL(例えば0V)とする。双安定回路12に加わる仮想電源電圧VDD-VVGNDはVH(例えば1.2V)となる。リード状態ではビット線BLおよびBLBをほぼVVGNDLにできる。ライト状態ではビット線BLおよびBLBの一方をほぼVVGNDLにでき、他方をほぼVDDにできる。記憶ノードQ1およびQ2のハイレベルはほぼVDDとなり、ローレベルはほぼVVGNDLとなる。インバータ回路14および16はBIモードとなる。読み出したまたは書き込むメモリセル10のワード線WLの電圧VWLを電圧V1(例えば0.9V)とする。

10

## 【0156】

VDDリテンション状態のとき、選択回路32および32aは制御線CTRL1およびCTRL2にグラウンド線15bを接続する。パワースイッチ30は仮想接地電圧VVGNDをVVGNDL(例えば0V)とする。電圧VDD-VVGNDはVH(例えば1.2V)となる。インバータ回路14および16はBIモードとなる。ワード線WLの電圧VWLを電圧V2(例えば0.1V)とする。

20

## 【0157】

ULVリテンション状態のとき、選択回路32および32aは制御線CTRL1およびCTRL2にグラウンド線15bを接続する。パワースイッチ30は仮想接地電圧VVGNDをVVGNDH(例えば1.0V)とする。電圧VDD-VVGNDはVL(例えば0.2V)となる。インバータ回路14および16はSTモードとなる。ワード線WLの電圧VWLを電圧V3(例えば1.0V)とする。ULVリテンション状態では、超低電圧で双安定回路12のデータが保持される。これにより、リーク電流による消費電力を抑制できる。

30

## 【0158】

## [実施例1の変形例2]

実施例1の変形例2は、PDFB、同導電型チャネルFBTr、ヘッダPS、タイプ1の例である。図18および図19は、実施例1の変形例2におけるメモリセル10の回路図である。図18はループ表示の回路図であり、図19はクロスカップル表示の回路図である。

## 【0159】

図18および図19に示すようにインバータ回路14および16においてFETm3はNチャンネルFETである。インバータ回路14のFETm3のゲートは、インバータ回路14の出力ノードN2またはインバータ回路16の入力ノードN1に接続され、インバータ回路16のFETm3のゲートは、インバータ回路16の出力ノードN2またはインバータ回路14の入力ノードN1に接続されている。その他の回路構成は実施例1の図5および図6と同じである。なお、図7Bと同様に、選択回路32および32aの一部はパワースイッチ30と制御線CTRL1およびCTRL2との間に設けられたプリチャージ/選択回路33aであり、選択回路32および32aの他の一部は読出書込回路34と制御線CTRL1およびCTRL2との間に設けられた選択回路32bでもよい。

40

## 【0160】

実施例1の変形例2のULVリテンション状態におけるバタフライカーブをシミュレー

50

シミュレーションした。シミュレーション条件は実施例 1 のシミュレーション 2 とほぼ同じである。 $V_{DD}$  を  $0.2V$  とした。実施例 1 の変形例 2 では、 $V_{WL} = 0.1V$  のときノイズマージンが最も大きくなるため、 $V_{WL} = 0.1V$  とした。

【0161】

図 20 は、実施例 1 およびその変形例 2 の  $ULV$  リテンション状態における双安定回路のバタフライカーブを示す図である。図 20 は、 $Q_1$  がローレベルかつ  $Q_2$  がハイレベルのときが動作点である。実施例 1 のバタフライカーブは図 13 (a) と同じである。

【0162】

図 20 に示すように、実施例 1 の変形例 2 では、動作点側の開口は実施例 1 の動作点側の開口より小さい。このように、フィードバックトランジスタ ( $FET_{m3}$ ) が  $FET_{m1}$  および  $m3$  と同導電型チャネルの場合、異導電型チャネルよりノイズマージンが小さくなる。動作点側の開口は図 13 (a) の比較例 3 より広い。よって、 $ULV$  リテンションにより比較例 3 より消費電力を抑制できる。さらに、比較例 2 より回路面積を削減できる。

10

【0163】

実施例 1 およびその変形例によれば、インバータ回路 14 (第 1 インバータ回路) およびインバータ回路 16 (第 2 インバータ回路) において、 $FET_{m1}$  (第 1  $FET$ ) (または  $FET_{m1a}$ ) では、ソースがグランド線 15b (または電源線 15a) に接続され、ドレインが中間ノード  $N_3$  に接続され、ゲートが入力ノード  $N_1$  に接続されている。なお、実施例 1 およびその変形例 2 のような  $PDFB$  ではグランド線 15b が電源線に相当し、実施例 1 の変形例 1 のような  $PUFB$  では電源線 15a が電源線に相当する。

20

【0164】

$FET_{m2}$  (第 2  $FET$ ) (または  $FET_{m2a}$ ) では、ソースが中間ノード  $N_3$  に接続され、ドレインが出力ノード  $N_2$  に接続されている。 $FET_{m3}$  (第 3  $FET$ ) (または  $FET_{m3a}$ ) では、ソースおよびドレインの一方が中間ノード  $N_3$  に接続され、ソースおよびドレインの他方がバイアスノード  $N_4$  に接続されている。 $FET_{m4}$  (第 4  $FET$ ) (または  $FET_{m4a}$ ) では、ソースおよびドレインの一方が出力ノード  $N_2$  に接続され、ソースおよびドレインの他方が制御線  $CTRL_1$  または  $CTRL_2$  に接続されている。 $FET_{m4}$  (または  $m4a$ ) の導電型 (第 2 導電型) は、 $FET_{m1}$  および  $m2$  (または  $FET_{m1a}$  および  $m2a$ ) の導電型 (第 1 導電型) と反対である。

30

【0165】

記憶ノード  $Q_1$  (第 1 記憶ノード) において、インバータ回路 14 の入力ノード  $N_1$  およびインバータ回路 16 の出力ノード  $N_2$  が接続され、記憶ノード  $Q_2$  (第 2 記憶ノード) において、インバータ回路 14 の出力ノード  $N_2$  およびインバータ回路 16 の入力ノード  $N_1$  が接続される。これにより、双安定回路 12 が形成される。

【0166】

インバータ回路 14 および 16 の  $FET_{m4}$  (または  $FET_{m4a}$ ) のゲートはワード線  $WL$  に接続されている。インバータ回路 14 の  $FET_{m3}$  (または  $FET_{m3a}$ ) のゲートは、インバータ回路 14 の入力ノード  $N_1$ 、出力ノード  $N_2$ 、インバータ回路 16 の入力ノード  $N_1$  および出力ノード  $N_2$  のいずれか 1 つのノードに接続されている。インバータ回路 16 の  $FET_{m3}$  (または  $FET_{m3a}$ ) のゲートは、インバータ回路 16 の入力ノード  $N_1$ 、出力ノード  $N_2$ 、インバータ回路 14 の入力ノード  $N_1$  および出力ノード  $N_2$  のいずれか 1 つのノードに接続されている。

40

【0167】

以上のような回路構成により、インバータ回路 14 および 16 のロードとパストラジスタとを  $FET_{m4}$  (または  $FET_{m4a}$ ) により共用できる。よって、比較例 2 に比べ回路面積を削減できる。また、 $FBT_r$  である  $FET_{m3}$  (または  $FET_{m3a}$ ) により、 $ULV$  リテンション状態でのノイズマージンが比較例 3 より広くなる。よって、消費電力を削減できる。

【0168】

50

実施例 1 およびその変形例 1 では、F E T m 3 (または F E T m 3 a) は、F E T m 1 および m 2 (または F E T m 1 a および m 2 a) の第 1 導電型チャネルと反対の第 2 導電型のチャネルである。すなわち F B T r は異導電型チャネルである。このとき、インバータ回路 1 4 の F E T m 3 (または F E T m 3 a) のゲートは、インバータ回路 1 4 の入力ノード N 1 またはインバータ回路 1 6 の出力ノード N 2 に接続され、インバータ回路 1 6 の F E T m 3 (または F E T m 3 a) のゲートは、インバータ回路 1 6 の入力ノード N 1 またはインバータ回路 1 4 の出力ノード N 2 に接続されている。

【 0 1 6 9 】

これにより、実施例 1 のシミュレーション 2 のように、U L V リテンション状態におけるノイズマージンを比較例 2 より大きくできる。また、V V D D L を低くすることで、消費電力を抑制できる。

10

【 0 1 7 0 】

実施例 1 の変形例 2 のように、F E T m 3 は、F E T m 1 および m 2 と同じ第 1 導電型チャネルである。すなわち F B T r は同導電型チャネルである。このとき、インバータ回路 1 4 の F E T m 3 のゲートは、インバータ回路 1 4 の出力ノード N 2 またはインバータ回路 1 6 の入力ノード N 1 に接続され、インバータ回路 1 6 の F E T m 3 のゲートは、インバータ回路 1 6 の出力ノード N 2 またはインバータ回路 1 4 の入力ノード N 1 に接続されている。

【 0 1 7 1 】

これにより、U L V リテンション状態におけるノイズマージンを比較例 3 より大きくできる。また、V V D D L を低くすることで、消費電力を抑制できる。

20

【 0 1 7 2 】

図 7 A および図 7 C の電子回路の制御回路 2 8 はパワースイッチ 3 0 (電源回路) を制御し、双安定回路 1 2 がデータを保持する U L V リテンション状態 (第 1 状態) において、実施例 1 の表 3 の電圧 V V D D - V G N D および実施例 1 の変形例 1 の表 4 の V D D - V V G N D の電圧 V L (第 1 電圧) をリード/ライト状態 (第 2 状態) における電圧 V H (第 2 電圧) より低くする。これにより、U L V リテンション状態における消費電力を抑制できる。

【 0 1 7 3 】

なお、電圧 V L は、実施例 1 では U L V リテンション状態におけるグラウンド線 1 5 b と制御線 C T R L 1 および C T R L 2 との間の電圧 V V D D - V G N D に相当し、実施例 1 の変形例 1 では U L V リテンション状態における電圧 V D D の電源線 1 5 a と制御線 C T R L 1 および C T R L 2 との間の電圧 V D D - V V G N D に相当する。電圧 V H は、リード/ライト状態における記憶ノード Q 1 と Q 2 との間の電圧に相当する。

30

【 0 1 7 4 】

電圧 V L は電圧 V H より小さければよいが、U L V リテンション状態において S N M を確保しかつ消費電力を抑制する観点から、電圧 V L は電圧 V H の 1 / 2 以下が好ましく、1 / 4 以下がより好ましく、1 / 5 以下がさらに好ましく、さらに 1 / 6 以下がより好ましい。特に、消費電力を抑制する観点から 1 / 1 0 程度が好ましい。電圧 V L は 0 V より大きい。

40

【 0 1 7 5 】

制御回路 2 8 は、選択回路 3 2 b を制御し、リード/ライト状態において、双安定回路 1 2 からデータをリードまたはライトするためのビット線 B L および B L B を制御線 C T R L 1 および C T R L 2 に接続する。すなわち、制御線 C T R L 1 および C T R L 2 をビット線 B L および B L B に設定する。これにより、制御線 C T R L 1 および C T R L 2 を介し、双安定回路 1 2 からデータをリードまたはライトできる。

【 0 1 7 6 】

実施例 1 およびその変形例 2 のように P D F B のとき (すなわち第 1 導電型が N 型のとき)、F E T m 4 は P 型である。このため、リード/ライト状態において F E T m 4 をオンするためワード線 W L の電圧 V W L をグラウンド線 1 5 b の電圧 V G N D (例えば 0 V)

50

とすることが一般的である。しかし、図9(a)のように、 $V_{WL}$ を0Vとすると、 $S_{NM}$ が小さくなる。

【0177】

そこで、リード/ライト状態において、制御回路28は、パワースイッチ30のワード線WLの電圧 $V_{WL}$ をグラウンド線15bの電圧より高くする。例えば実施例1およびその変形例2では $V_{GND} = 0V$ に対し $V_{WL} = 0.25V$ とする。これにより、図9(a)のように、 $S_{NM}$ が目標である80mVより小さくなることを抑制できる。

【0178】

実施例1の変形例1のようにPUBFのとき(すなわち第1導電型がP型のとき)、制御回路28は、ワード線WLの電圧 $V_{WL}$ を電源線15aの電圧 $V_{DD}$ より低くする。例えば実施例1の変形例1では $V_{DD} = 1.2V$ に対し $V_{WL} = 0.9V$ とする。これにより、PDFBと同様に、 $S_{NM}$ が小さくなることを抑制できる。

10

【0179】

$V_{DD}$ リテンションおよびリード/ライト状態では、 $V_{WL}$ がグラウンド線15b(または電源線15a)の電圧に近すぎるとリードにおける $S_{NM}$ が大きくなる。よって、グラウンド線15b(または電源線15a)の電圧と $V_{WL}$ との差は、 $V_H$ の $1/10$ 以上が好ましく、 $1/5$ 以上がより好ましく、図9(a)のように $1/2$ 程度がさらに好ましい。

【0180】

ULVリテンション状態では、 $V_{WL}$ が高くなるとFETm4がオンしなくなり動作速度が低下する。このため、グラウンド線15b(または電源線15a)の電圧と $V_{WL}$ との差は、電圧 $V_H$ の $1/2$ 以下が好ましく、 $1/4$ 以下がより好ましく、 $1/5$ 以下がさらに好ましい。実施例1では、速度性能を優先してグラウンド線15bの電圧と $V_{WL}$ との差を $1/6$ 程度とした。

20

【0181】

ULVリテンション状態では、図12(a)および図12(b)において、出力ノードN2がローレベル(例えば $GND = 0V$ )のときFETm4はオフし、出力ノードN2がハイレベル(例えば $V_{VDDL} = 0.2V$ )のときFETm4はオンすることが好ましい。よって、 $V_{WL}$ は $V_{GND}$ 以上かつ $V_{VDDL}$ 以下であることが好ましい。すなわち、制御回路28は、ワード線WLとグラウンド線15b(または電源線15a)との間の電圧を電圧 $V_L$ 、または電圧 $V_L$ より低くすることが好ましい。例えば、実施例1では $V_L = 0.2V$ に対し $V_{WL} - V_{GND} = 0.2V$ である。実施例1の変形例1では $V_L = 0.2V$ に対し $V_{DD} - V_{WL} = 0.2V$ である。実施例1の変形例2では $V_L = 0.2V$ に対し $V_{WL} - V_{GND} = 0.1V$ である。

30

【0182】

図11のように、実施例1では $V_{WL}$ が $V_{GND}$ に近すぎるとノイズマージンが小さくなる。よって、ワード線WLとグラウンド線15b(または電源線15a)との間の電圧は電圧 $V_L$ の $1/4$ 以上が好ましく、 $1/2$ 以上がより好ましい。図11において $V_{WL} = 0.2V$ においてノイズマージンが最大となるように、ワード線WLとグラウンド線15b(または電源線15a)との間の電圧は電圧 $V_L$ でもよい。

40

【0183】

実施例1およびその変形例2のようにPDFBのとき(すなわち第1導電型がN型のとき)、FETm4はP型である。このため、グラウンド線15bと制御線CTRL1およびCTRL2との間の電圧を $V_{VDD} - V_{GND} = V_H$ (例えば $1.2V$ )とする $V_{DD}$ リテンション状態においてFETm4をオフするためワード線WLの電圧 $V_{WL}$ を $V_{VDD}$ (例えば $1.2V$ )とすることが一般的である。しかし、図9(b)のように、 $V_{WL}$ を $1.2V$ とすると、 $S_{NM}$ が小さくなる。

【0184】

そこで、 $V_{DD}$ リテンション状態(第3状態)において、制御回路28は、ワード線WLとグラウンド線15bとの間の電圧を $V_H$ より小さくする。例えば、実施例1およびその

50

変形例 2 では  $V_H = 1.2V$  に対し  $V_{WL} - V_{GND} = 1.1V$  とする。これにより、図 9 (b) のように、 $S_{NM}$  が小さくなることを抑制できる。

【0185】

実施例 1 の変形例 1 のように  $P_{UFB}$  のとき (すなわち第 1 導電型が P 型のとき)、制御回路 28 は、ワード線  $WL$  と電源線 15a との間の電圧を  $V_H$  より小さくする。例えば、実施例 1 の変形例 1 では  $V_H = 1.2V$  に対し  $V_{DD} - V_{WL} = 1.1V$  とする。これにより、 $S_{NM}$  が小さくなることを抑制できる。

【0186】

$V_{WL}$  がグラウンド線 15b (または電源線 15a) の電圧に近すぎると  $S_{NM}$  が大きくなる。よって、グラウンド線 15b (または電源線 15a) の電圧と  $V_{WL}$  との差は  $V_H$  の  $49/50$  以下が好ましく、 $19/20$  以下がより好ましく、 $9/10$  以下がさらに好ましい。

10

【0187】

図 9 (b) のように、 $V_{WL}$  が低くなるとスタンバイパワーが大きくなる。このため、グラウンド線 15b (または電源線 15a) の電圧と  $V_{WL}$  との差は、電圧  $V_H$  の  $1/2$  以上が好ましく、 $3/4$  以上がより好ましく、 $4/5$  以上がさらに好ましい。

【0188】

$ULV$  リテンション状態、 $V_{DD}$  リテンション状態およびリード/ライト状態のいずれにおいても、バイアスノード  $N_4$  には一定のバイアスである  $V_{FN}$  または  $V_{FP}$  が供給される。これにより、ドライバ 26 が不要となり、回路面積を削減できる。バイアスノード  $N_4$  に供給される電圧  $V_{FN}$  および  $V_{FP}$  の好ましい範囲について考察する。

20

【0189】

図 21 (a) および図 21 (b) は、それぞれヘッダ  $PS \cdot PDFB \cdot$  タイプ 1 型およびフッタ  $PS \cdot P_{UFB} \cdot$  タイプ 1 型の各電圧を示す図である。図 21 (a) では、 $V_{GND}$  に対する  $V_{VDDH}$  および  $V_{VDDL}$  を縦方向に示し、図 21 (b) では、 $V_{DD}$  に対する  $V_{VGNL}$  および  $V_{VGNH}$  を縦方向に示す。

【0190】

図 21 (a) に示すように、ヘッダ  $PS$  では、リード/ライト状態および  $V_{DD}$  リテンション状態では電源線 15a に  $V_{VDDH}$ 、グラウンド線 15b に  $V_{GND}$  が供給される。このとき、 $V_{FN}$  を  $V_{VDDL}$  程度の一定のバイアスとすると、 $V_{FN}$  は  $V_{VDDH}$  に対し十分低いため、インバータ回路 14 および 16 は  $BI$  モードとなる。 $ULV$  リテンション状態では電源線 15a に  $V_{VDDL}$ 、グラウンド線 15b に  $V_{GND}$  が供給される。このとき、 $V_{FN}$  を  $V_{VDDL}$  程度とすると、 $V_{FN}$  は  $V_{GND}$  に対し高いため、インバータ回路 14 および 16 は  $ST$  モードとなる。

30

【0191】

定電圧  $V_{FN}$  は  $V_{VDDH}$  より小さく  $V_{GND}$  より大きければよい。すなわち、 $V_{FN}$  は、リード/ライト状態における記憶ノード  $Q_1$  の電圧と記憶ノード  $Q_2$  の電圧の間 (図 21 (a) の範囲 40) であればよい。定電圧  $V_{FN}$  が  $V_{VDDH}$  に近すぎると、仮想電源電圧  $V_{VDD}$  を  $V_{VDDH}$  としたときに、インバータ回路 14 および 16 は  $BI$  モードとなり難い。定電圧  $V_{FN}$  が  $V_{GND}$  に近すぎると、仮想電源電圧  $V_{VDD}$  を  $V_{VDDL}$  としたときに、インバータ回路 14 および 16 は  $ST$  モードとなり難い。よって、仮想電源電圧  $V_{VDD}$  によって双安定回路 12 のモードを自動的に切り替えるには、定電圧  $V_{FN}$  は、 $V_{VDDH}$  と  $V_{GND}$  との midpoint の電圧以下 (すなわち  $(V_{VDDH} - V_{GND}) / 2$  以下) が好ましく、 $V_{VDDL}$  に  $V_{VDDL}$  と  $V_{GND}$  の差の電圧の  $1/2$  を加えた電圧以下 (すなわち  $V_{VDDL} + (V_{VDDL} - V_{GND}) / 2$  以下) がより好ましく、さらには、 $(V_{VDDH} - V_{GND}) / 2$  と、 $V_{VDDL}$  と  $V_{GND}$  との midpoint の電圧程度 (すなわち  $(V_{VDDL} - V_{GND}) / 2$  程度) と、の間 (図 21 (a) の範囲 41) が好ましく、 $V_{VDDL} + (V_{VDDL} - V_{GND}) / 2$  と、 $(V_{VDDL} - V_{GND}) / 2$  程度と、の間 (図 21 (a) の範囲 42) が好ましい。さらには、 $V_{VDDL}$  程度が好ましい。

40

50

## 【 0 1 9 2 】

図 2 1 ( b ) に示すように、フッタ P S では、リード/ライト状態および V D D リテンション状態ではグラウンド線 1 5 b に V V G N D L、電源線 1 5 a に V D D が供給される。このとき、V F P を V V G N D H 程度の一定のバイアスとすると、V F P は V V G N D L に対し十分高いため、インバータ回路 1 4 および 1 6 は B I モードとなる。U L V リテンション状態ではグラウンド線 1 5 b に V V G N D H、電源線 1 5 a に V D D が供給される。このとき、V F P を V V G N D H 程度とすると、V F P は V D D に対し低いため、インバータ回路 1 4 および 1 6 は S T モードとなる。

## 【 0 1 9 3 】

定電圧 V F P は V V G N D L より大きく V D D より小さければよい。すなわち、V F P は、リード/ライト状態における記憶ノード Q 1 の電圧と記憶ノード Q 2 の電圧の間 ( 図 2 1 ( b ) の範囲 4 0 ) であればよい。定電圧 V F P が V V G N D L に近すぎると、仮想接地電圧 V V G N D を V V G N D L としたときに、インバータ回路 1 4 および 1 6 は B I モードとなり難い。定電圧 V F P が V D D に近すぎると、仮想接地電圧 V V G N D を V V G N D H としたときに、インバータ回路 1 4 および 1 6 は S T モードとなり難い。よって、仮想接地電圧 V V G N D によって双安定回路 1 2 のモードを自動的に切り替えるためには、定電圧 V F P は、V D D と V V G N D L との midpoint の電圧以上 ( すなわち  $( V D D - V V G N D L ) / 2$  以上 ) が好ましく、V V G N D H に V D D と V V G N D H の差の電圧の  $1 / 2$  を減じた電圧以上 ( すなわち  $V V G N D H - ( V D D - V V G N D H ) / 2$  以上 ) がより好ましく、さらには、 $( V D D - V V G N D L ) / 2$  と、V D D と V V G N D H との midpoint の電圧程度 ( すなわち  $V V G N D H + ( V D D - V V G N D H ) / 2$  程度 ) と、の間 ( 図 2 1 ( b ) の範囲 4 1 ) が好ましく、 $V V G N D H - ( V D D - V V G N D H ) / 2$  と、 $V V G N D H + ( V D D - V V G N D H ) / 2$  程度と、の間 ( 図 2 1 ( b ) の範囲 4 2 ) が好ましい。さらに V V G N D H 程度が好ましい。

## 【 0 1 9 4 】

実施例 1 およびその変形例では、ドライバ 2 6 を設けないタイプ 1 を例に説明したが、ドライバ 2 6 を設けるタイプ 2 でもよい。P D F B と P U F B、異導電型チャネルと同導電型チャネル、およびヘッダ P S とフッタ P S とデュアル P S の組み合わせは任意に設定できる。

## 【 0 1 9 5 】

また、S R A M セルを例に説明したが、マスタスレーブ型フリップフロップ回路等のフリップフロップ回路に実施例 1 およびその変形例の双安定回路を用いてもよい。マスタスレーブ型フリップフロップ回路では、双安定回路 1 2 のループ内にクロック信号に同期してオンオフするパスゲート等のスイッチを設けてもよい。

## 【 実施例 2 】

## 【 0 1 9 6 】

実施例 2 は、メモリセルが不揮発性記憶素子を有する例である。

## [ 仮想電源方式のメモリセルの説明 ]

図 2 2 は、実施例 2 における仮想電源電圧 V V D D を用いる仮想電源方式のメモリセルの回路図である。図 2 2 に示すように、仮想電源方式では、パワースイッチ 3 0 が電源線 1 5 a ( 仮想電源線 ) と電源 1 5 c との間に設けられている。メモリセル 1 0 は、インバータ回路 1 4 および 1 6、F E T M 5、M 6、不揮発性記憶素子としてスピントランスマートルク磁気トンネル接合素子 ( S T T M T J : 以下では単に強磁性トンネル接合素子と呼ぶ ) M T J 1 および M T J 2 を主に備えている。

## 【 0 1 9 7 】

インバータ回路 1 4 および 1 6 はループ状に接続され双安定回路 1 2 を構成している。インバータ回路 1 4 は、F E T M 2 および M 4 を備えている。インバータ回路 1 6 は F E T M 1 および M 3 を備えている。F E T M 1、M 2、M 5 および M 6 は N チャネル M O S F E T であり、F E T M 3 および M 4 は P チャネル M O S F E T である。

## 【 0 1 9 8 】

10

20

30

40

50

F E T M 1 (第 1 F E T) および M 2 (第 2 F E T) において、ソースはグランド電圧 V G N D が印加されたグランド線 1 5 b に接続され、ドレインはそれぞれ記憶ノード Q 1 (第 1 記憶ノード) および Q 2 (第 2 記憶ノード) に接続され、ゲートはそれぞれ記憶ノード Q 2 および Q 1 に接続されている。記憶ノード Q 1 と Q 2 は相補的なノードである。F E T M 1 および M 2 はドライバである。

【 0 1 9 9 】

F E T M 3 (第 3 F E T) および M 4 (第 4 F E T) において、ソースおよびドレインの一方はそれぞれ記憶ノード Q 1 および Q 2 に接続され、ソースおよびドレインの他方はそれぞれ制御線 C T R L 1 (第 1 制御線) および C T R L 2 (第 2 制御線) に接続され、ゲートはワード線 W L に接続されている。F E T M 3 および M 4 は、リード動作およびライト動作のときはパストランジスタとして機能し、ホールド状態、ストア動作およびリストア動作のときはロードとして機能する。

【 0 2 0 0 】

記憶ノード Q 1 と制御線 C T R L 0 との間に F E T M 5 と強磁性トンネル接合素子 M T J 1 とが接続され、記憶ノード Q 2 と制御線 C T R L 0 との間に F E T M 6 と強磁性トンネル接合素子 M T J 2 とが接続されている。F E T M 5 (第 1 スイッチ) および M 6 (第 2 スイッチ) において、ソースおよびドレインの一方は、それぞれ記憶ノード Q 1 および Q 2 に接続され、ソースおよびドレインの他方は強磁性トンネル接合素子 M T J 1 および M T J 2 にそれぞれ接続されている。ゲートはスイッチ線 S R に接続されている。

【 0 2 0 1 】

強磁性トンネル接合素子 M T J 1 (第 1 不揮発性記憶素子) および M T J 2 (第 2 不揮発性記憶素子) は、それぞれフリー層 1 7、トンネル絶縁膜 1 8 およびピン層 1 9 を有している。フリー層 1 7 は制御線 C T R L 0 に接続され、ピン層 1 9 は F E T M 5 および M 6 に接続されている。フリー層 1 7 およびピン層 1 9 は強磁性体からなる。フリー層 1 7 とピン層 1 9 との磁化方向が平行な状態 (平行状態) では、M T J 1 および M T J 2 の抵抗値が低くなる。フリー層 1 7 とピン層 1 9 との磁化方向が反平行な状態 (反平行状態) では、M T J 1 および M T J 2 の抵抗値が平行状態より高くなる。M T J 1 および M T J 2 は、M T J 1 および M T J 2 の磁化状態 (すなわち抵抗値) によりデータをストアする。不揮発性記憶素子として M T J を例に説明するが、不揮発性記憶素子は、巨大磁気抵抗 (G M R) 素子、R e R A M (Resistance Random Access Memory) に用いられるような可変抵抗素子、または、P R A M (Phase change RAM) に用いられる相変化素子でもよい。

【 0 2 0 2 】

選択回路 3 2 は、制御線 C T R L 1 をビット線 B L および電源線 1 5 a のいずれか一方に接続する。選択回路 3 2 a は、制御線 C T R L 2 をビット線 B L B および電源線 1 5 a のいずれか一方に接続する。パワースイッチ (P S) 3 0 は、電源 1 5 c の電圧 V D D を仮想電源電圧 V V D D に変換し電源線 1 5 a に供給する。

【 0 2 0 3 】

図 2 3 は、実施例 2 の仮想電源電圧を用いる仮想電源方式におけるパワースイッチおよび選択回路を示す図である。図 2 3 に示すように、メモリセル 1 0 は N V - S R A M セルである。その他の回路構成は図 7 B と同じである。実施例 2 では、仮想電源電圧 V V D D が V D D H となるのは、ストア動作およびリストア動作のときであり、電圧 V V D D - V G N D は例えば 1 . 2 V である。仮想電源電圧 V V D D が V D D L となるのは、ホールド状態のときであり、電圧 V V D D - V G N D は例えば 1 . 0 V である。F E T M 1 0 ~ M 1 2 がオフするのは、リード動作およびライト動作のときである。

【 0 2 0 4 】

[ 仮想接地方式のメモリセルの説明 ]

図 2 4 は、実施例 2 における仮想接地方式のメモリセル 1 0 の回路図である。図 2 4 に示すように、仮想接地方式では、パワースイッチ 3 0 がグランド線 1 5 b (仮想グランド線) とグランド 1 5 d との間に設けられている。F E T M 1 ~ M 6 の代わりに F E T M 1

a ~ M 6 a が設けられている。F E T M 1 a、M 2 a、M 5 a および M 6 a は、P チャネル F E T であり、F E T M 3 a および M 4 a は N チャネル F E T である。

【 0 2 0 5 】

F E T M 1 a および M 2 a のソースは電源線 1 5 a に接続されている。M T J 1 および M T J 2 のピン層 1 9 は制御線 C T R L 0 に接続され、フリー層 1 7 は F E T M 5 および M 6 に接続されている。選択回路 3 2 は、制御線 C T R L 1 をビット線 B L およびグランド線 1 5 b のいずれか一方に接続する。選択回路 3 2 a は、制御線 C T R L 2 をビット線 B L B およびグランド線 1 5 b のいずれか一方に接続する。パワースイッチ ( P S ) 3 0 は、グランド 1 5 d の電圧 V G N D を仮想接地電圧 V V G N D に変換しグランド線 1 5 b に供給する。その他の構成は、仮想電源方式の図 2 2 と同じであり説明を省略する。

10

【 0 2 0 6 】

図 2 5 は、実施例 2 の仮想接地方式におけるパワースイッチおよび選択回路を示す図である。図 2 5 に示すように、選択回路 3 2 b は、読出書込回路 3 4 に接続されるビット線 B L および B L B とグランド線 1 5 b とのいずれかを制御線 C T R L 1 および C T R L 2 に接続する。パワースイッチ 3 0 は、F E T P S 1 a および P S 2 a を備えている。F E T P S 1 a および P S 2 a は N チャネル F E T である。F E T P S 1 a はグランド 1 5 d L とグランド線 1 5 b との間に接続され、F E T P S 2 a はグランド 1 5 d H とグランド線 1 5 b との間に接続されている。グランド 1 5 d L および 1 5 d H にはそれぞれグランド電圧 V G N D L および電圧 V G N D H が供給されている。

【 0 2 0 7 】

F E T P S 1 a および P S 2 a のゲートにはそれぞれ信号 V P S 1 および V P S 2 が入力する。信号 V P S 1 および V P S 2 がそれぞれハイレベルおよびローレベルのとき、F E T P S 1 a および P S 2 a はそれぞれオンおよびオフし、仮想接地電圧 V V G N D は V G N D L となる。仮想接地電圧 V V G N D が V G N D L となるのは、ストア動作およびリストア動作のときであり、V D D - V V G N D は例えば 1 . 2 V である。信号 V P S 1 および V P S 2 がそれぞれローレベルおよびハイレベルのとき、F E T P S 1 a および P S 2 a はそれぞれオフおよびオンし、仮想接地電圧 V V G N D は V G N D H となる。仮想接地電圧 V V G N D が V G N D H となるのは、ホールド状態のときであり、V D D - V V G N D は例えば 1 . 0 V である。信号 V P S 1 a および V P S 2 a がともにローレベルのとき、F E T P S 1 a および P S 2 a はともにオフし、仮想接地電圧 V V G N D が遮断される。仮想接地電圧 V V G N D が遮断されるのは、シャットダウン状態のときである。

20

30

【 0 2 0 8 】

プリチャージ / 選択回路 3 3 a は、F E T M 1 0 ~ M 1 2 を備えている。電源 1 5 c と制御線 C T R L 1 との間に F E T M 1 0 が接続されている。電源 1 5 c と制御線 C T R L 2 との間に F E T M 1 1 が接続されている。制御線 C T R L 1 と C T R L 2 との間に F E T M 1 2 が接続されている。F E T M 1 0 ~ M 1 2 のゲートには選択信号 S e 1 が入力する。選択信号 S e 1 がローレベルのとき、F E T M 1 0 ~ M 1 2 はオンし、制御線 C T R L 1 および C T R L 2 に電源電圧 V D D が印加される。F E T M 1 0 ~ M 1 2 がオンするのは、リード動作のプリチャージのときである。選択信号 S e 1 がハイレベルのとき、F E T M 1 0 ~ M 1 2 はオフし、選択回路 3 2 b は制御線 C T R L 1 および C T R L 2 をビット線 B L および B L B またはグランド線 1 5 b に接続する。

40

【 0 2 0 9 】

以下仮想電源方式を例に、実施例 2 のメモリアレイおよび動作について説明する。

【 0 2 1 0 】

[メモリアレイの説明]

図 2 6 は、実施例 2 におけるメモリアレイのブロック図である。図 2 6 に示すように、メモリアレイ 2 2 は、メモリセル 1 0 を有する複数のブロック 2 4 に分割されている。ブロック 2 4 の個数は適宜設計可能である。メモリアレイ 2 2 内には複数のメモリセル 1 0 がマトリックス状に配置されている。メモリアレイ 2 2 内には、行方向にワード線 W L およびスイッチ線 S R が延伸し、列方向に制御線 C T R L 0 ~ C T R L 2 が延伸している。

50

各メモリセル10には、ワード線WL、スイッチ線SR、制御線CTRL0~CTRL2が接続されている。図26では、1列からn列の制御線CTRL1およびCTRL2をそれぞれ制御線CTRL11およびCTRL21からCTRL1nおよびCTRL2nと示している。

#### 【0211】

メモリアレイ22に対応し、制御回路28、パワースイッチ30および周辺回路38が設けられている。制御回路28は、パワースイッチ30および周辺回路38を制御する。周辺回路38は、WLデコーダ31、選択回路32b、プリチャージ/選択回路33a、読出書込回路34、SRデコーダ35および列デコーダ36を備えている。

#### 【0212】

リード動作およびライト動作において、選択回路32bは制御線CTRL11およびCTRL21からCTRL1nおよびCTRL2nにそれぞれビット線BL1およびBLB1からBLnおよびBLBnを接続する。WLデコーダ31は行アドレスに基づきワード線WLを選択する。読出書込回路34は列アドレスに基づきビット線BL1およびBLB1からBLnおよびBLBnから選択する列に対応するビット線BLおよびBLBを選択する。プリチャージ/選択回路33aはビット線BLおよびBLBをプリチャージする。読出書込回路34は、選択されたメモリセル10の双安定回路12にデータを書き込みまたは双安定回路12からデータを読み出しバス25に出力する。

#### 【0213】

ストア動作およびリストア動作において、選択回路32bは制御線CTRL11およびCTRL21からCTRL1nおよびCTRL2nに電源線15aを接続する。ストア動作において、SRデコーダ35は行アドレスに基づきスイッチ線SRを選択する。列デコーダ36は列アドレスに基づき制御線CTRL0を選択する。WLデコーダ31および列デコーダ36に選択されたメモリセル10において双安定回路12のデータが強磁性トンネル接合素子MTJ1およびMTJ2に不揮発的にストアされる。

#### 【0214】

##### [動作の説明]

図27(a)から図29は、実施例2におけるメモリセルの動作を示す図である。Hはハイレベル、Lはローレベルを示し、括弧内は電圧の例を示す。

#### 【0215】

図27(a)に示すように、双安定回路12において、記憶ノードQ1およびQ2の電圧がそれぞれH(例えば1.2V)およびL(例えば0V)に設定されている場合について説明する。双安定回路12のデータを読み出すリード動作のとき、制御回路28は選択回路32bに制御線CTRL1およびCTRL2をビット線BLおよびBLBとして機能させる。例えば制御回路28は図23のFETM10~M12をオフさせ、トランスファークロークM13およびM14をオンさせる。制御回路28は、ワード線WLをL(例えば0V)とし、FETM5およびM6をオフさせ(例えばスイッチ線SRをL(例えば0V)とする)、制御線CTRL0をL(例えば0V)に設定する。読出書込回路34は制御線CTRL1およびCTRL2をH(例えば1.2V)とし、双安定回路のデータを読み出す。

#### 【0216】

図27(b)に示すように、双安定回路12にデータを書き込むライト動作について、記憶ノードQ1の電圧をHからLに書き換え、記憶ノードQ2の電圧をLからHに書き換える場合を例に説明する。制御回路28は選択回路32bに制御線CTRL1およびCTRL2をビット線BLおよびBLBとして機能させる。制御回路28は、ワード線WLをLとし、FETM5およびM6をオフさせ、制御線CTRL0をLとする。読出書込回路34はビット線BLおよびBLBをそれぞれL(例えば0V)およびH(例えば1.2V)に設定する。これにより、記憶ノードQ1およびQ2にそれぞれLおよびHが書き込まれる。

#### 【0217】

10

20

30

40

50

図 27 (c) に示すように、双安定回路 12 が揮発的にデータを保持するホールド状態のとき、制御回路 28 はパワースイッチ 30 および選択回路 32 b に制御線 CTRL 1 および CTRL 2 に H として電圧 VDDH (例えば 1.2 V) を印加させる。例えば制御回路 28 は図 23 の FET M10 ~ M12 をオンさせ、トランスファーマゲート M13 および M14 をオフさせ、FET PS1 をオン、PS2 をオフさせる。制御回路 28 は、ワード線 WL を H (例えば 1.2 V) とし、FET M5 および M6 をオフさせ、制御線 CTRL 0 を L とする。これにより、記憶ノード Q1 および Q2 はそれぞれ H および L に維持される。以上のように、リード動作、ライト動作およびホールド状態では、FET M5 および M6 がオフするため、MTJ1 および MTJ2 の影響は双安定回路 12 に及ばない。

#### 【0218】

双安定回路 12 のデータを MTJ1 および MTJ2 に不揮発的にストアする動作について説明する。ストア動作では、MTJ1 および MTJ2 の一方を高抵抗に設定する H - ストア動作 (第 1 ストア動作) と MTJ1 および MTJ2 の他方を低抵抗に設定する L - ストア動作 (第 2 ストア動作) とを行う。H - ストア動作と L - ストア動作のいずれを先に実行してもよい。H - ストア動作と L - ストア動作との間をホールド状態としてもよい。

#### 【0219】

図 28 (a) に示すように、記憶ノード Q1 および Q2 がそれぞれ H および L の場合に例に説明する。H - ストア動作のとき、制御回路 28 はパワースイッチ 30 および選択回路 32 b に制御線 CTRL 1 および CTRL 2 に H として電圧 VDDH を印加させる。制御回路 28 は、ワード線 WL を L とし、FET M5 および M6 をオン (例えば電圧 VSR を 0.7 V とする) させ、制御線 CTRL 0 を L とする。これにより、記憶ノード Q1 から MTJ1 を介し制御線 CTRL 0 に電流 Im1 が流れる。よって、MTJ1 は反平行状態となり高抵抗となる。

#### 【0220】

図 28 (b) に示すように、L - ストア動作のとき、制御回路 28 はパワースイッチ 30 および選択回路 32 b に制御線 CTRL 1 および CTRL 2 に H として電圧 VDDH を印加させる。制御回路 28 は、ワード線 WL を H (例えば 0.8 V) とし、FET M5 および M6 をオン (例えば電圧 VSR を 0.7 V とする) させ、制御線 CTRL 0 を Vc (例えば 0.5 V) とする。これにより、制御線 CTRL 0 から記憶ノード Q2 へ MTJ2 を介し電流 Im2 が流れる。よって、MTJ2 は平行状態となり低抵抗となる。

#### 【0221】

図 28 (a) および図 28 (b) のように、FET M1 および M2 が N 型チャネルとき、H - ストア動作 (第 1 ストア動作) のワード線 WL の電圧 VWL (第 1 電圧) は、L - ストア動作 (第 2 ストア動作) の電圧 VWL (第 4 電圧) より低く、H - ストア動作の制御線 CTRL 0 の電圧 Vc (第 3 電圧) は、L - ストア動作の電圧 Vc (第 6 電圧) より低い。H - ストア動作および L - ストア動作における制御線 CTRL 1 および CTRL 2 の電圧 (第 2 電圧および第 5 電圧) はグラウンド線 15 b の電圧 VGND より高い。これにより、双安定回路 12 のデータを MTJ1 および MTJ2 にストアできる。なお、図 24 のように、FET M1a および M2a が P 型チャネルのとき、第 1 電圧は、第 4 電圧より高く、第 3 電圧は、第 6 電圧より高い。第 2 電圧および第 5 電圧は電源線 15 a の電圧 VDD より低い。

#### 【0222】

図 28 (c) に示すように、ストア動作の後に電源をシャットダウンする (電圧 VDD - VGND を 0 V とする) シャットダウン状態とする。シャットダウン状態のとき、制御回路 28 はパワースイッチ 30 および選択回路 32 b に制御線 CTRL 1 および CTRL 2 に L として電圧 VGND (例えば 0 V) を印加させる。制御回路 28 は、ワード線 WL を L とし、FET M5 および M6 をオフさせ、制御線 CTRL 0 を L とする。このように、制御回路 28 はメモリセル 10 の電源をシャットダウンとする。シャットダウン状態では、MTJ1 および MTJ2 はそれぞれ高抵抗および低抵抗に維持される。なお、制御回路 28 および周辺回路 38 の電源はシャットダウンしてもよいしなくてもよい。

10

20

30

40

50

## 【0223】

図29に示すように、MTJ1およびMTJ2がそれぞれ高抵抗および低抵抗の場合を例に説明する。MTJ1およびMTJ2のデータを双安定回路12にリストアするリストア動作のとき、制御回路28はパワースイッチ30および選択回路32bに制御線CTRL1およびCTRL2をLからH'（例えば1.0V）に立ち上げる。制御回路28は、ワード線WLをL'（例えば0.1V）とし、FETM5およびM6をオンさせ（例えば電圧VSRを0.7Vとする）、制御線CTRL0をLとする。制御線CTRL1からFETM3およびM5を介しMTJ1に電流Im3が流れる。同様に、制御線CTRL2からFETM4およびM6を介しMTJ2に電流Im4が流れる。MTJ1およびMTJ2はそれぞれ高抵抗および低抵抗なため、電流Im4はIm3より大きい。これにより、記憶ノードQ2の電圧は記憶ノードQ1の電圧より速く低くなる。よって、記憶ノードQ1およびQ2はそれぞれHおよびLに安定する。以上によりリストア動作が完了する。リストア動作の後はホールド状態とすることで、双安定回路12は揮発的にデータを保持する。また、リード動作およびライト動作を行う。

10

## 【0224】

図27(a)および図27(b)のように、制御回路28は、双安定回路12にデータを揮発的にライトするライト動作並びに双安定回路12からリードするリード動作のときFETM5およびM6をオフする。図28(a)、図28(b)および図29のように、双安定回路12からMTJ1およびMTJ2にデータを不揮発的にストアするストア動作のとき並びにMTJ1およびMTJ2から双安定回路12にデータをリストアするリストア動作のときFETM5およびM6をオンする。これにより、ライト動作およびリード動作のとき、MTJ1およびMTJ2が双安定回路12に影響することを抑制できる。

20

## 【0225】

## [シミュレーション3]

実施例2における適切なチャネル幅および電圧をシミュレーションした。シミュレーション3では、以下のステップS1~S5を行い、各チャネル幅および電圧を決定した。まず、比較例3(6T-SRAM)の類推により、以下のように各FETのチャネル幅を設定した。各FETのチャネル長は60nmである。

FETM1、M2: WDRV = 150 nm

FETM3, M4: WLP = 100 nm

FETM5、M6: WSR = 100 nm

30

## 【0226】

## [ステップS1]

ステップS1では、実施例2の双安定回路12の4Tセル(FETM1~M4)のホールド状態におけるSNMからFETM3およびM4のチャネル幅WLPを決定した。図30は、シミュレーション3におけるホールド状態のWLPに対するSNMおよびスタンバイパワーを示す図である。FETM1およびM2のチャネル幅WDRVは150nm、ワード線WLの電圧VWLは1.2V、制御線CTRL1およびCTRL2の電圧VDDHは1.2Vである。SNMは、TT、SS、SF、FSおよびFFについて図示した。スタンバイパワーは、実施例2(4Tセル)のシミュレーション結果を実線、比較例3(6Tセル)のシミュレーション結果を破線とした。

40

## 【0227】

図30に示すように、WLPが大きくなるとSNMは大きくなるがスタンバイパワーも大きくなる。WLPが105nm以上で全てのSNMが80mV以上となる。WLPが110nm以上となるとスタンバイパワーが比較例3を上回る。これらのことからWLPを105nmに決定した。

## 【0228】

## [ステップS2]

ステップS2では、4Tセルのリード動作およびホールド状態のSNMからリード動作、ライト動作およびホールド状態のワード線WLの電圧VWLを決定した。図31は、シ

50

シミュレーション3におけるリード動作およびホールド状態のVWLに対するSNMを示す図である。FETM1およびM2のチャネル幅WDRVは150nm、FETM3およびM4のチャネル幅WLPは105nm、制御線CTRL1およびCTRL2の電圧VDDHは1.2Vである。SNMは、TT、SS、SF、FSおよびFFについて図示した。VWLが0V付近は、FETM3およびM4をオンするリード動作およびライト動作に対応し、VWLが1.2V付近はFETM3およびM4をオフするホールド状態に対応する。

#### 【0229】

図31に示すように、SNMはVWLに依存する。VWLが0Vから高くなるとSNMは大きくなり、VWLが1.2Vから低くなるとSNMは大きくなる。VWLが0.7V~0.8VにおいてSNMは最も大きくなる。VWL=0Vおよび1.2VにおいてSNMは80mV以上であるため、リード動作およびライト動作のVWLを0Vに決定し、ホールド状態のVWLを1.2Vに決定した。

10

#### 【0230】

##### [ステップS3]

ステップS3では、H-ストア動作における電流Im1(図28(a)参照)を設計した。電流Im1はMTJ1およびMTJ2が平行状態から反平行状態に切り替わる閾値電流Icの1.2倍を目標とした。ストア動作では、双安定回路12のデータを保持するため制御線CTRL1およびCTRL2はH(1.2V)である。Hの記憶ノードQ1からMTJ1に電流Im1を流すため、制御線CTRL0の電圧Vcを0Vとする。FETM5およびM6をオンする。記憶ノードQ1がLにならないように、FETM3をオンさせる。このため、ワード線WLの電圧VWLを0Vとする。

20

#### 【0231】

図32(a)および図32(b)は、シミュレーション3におけるH-ストア動作の電圧VSRに対するそれぞれ電流Im1およびSNMを示す図である。図32(a)に示すように、電圧VSRが高くなると電流Im1が大きくなる。電圧VSRが0.7V以上で電流Im1は1.2Ic以上となる。図32(b)に示すように、電圧VSRが高くなると、SNMは小さくなる。電圧VSRが0.95V以上となるとSNMが80mVを下回る。SNMが80mV以上かつ電流Im1が1.2Ic付近となるように、電圧VSRを0.7Vに決定した。

30

#### 【0232】

##### [ステップS4]

ステップS4では、L-ストア動作における電流Im2(図28(b)参照)を設計した。電流Im2はMTJ1およびMTJ2が反平行状態から平行状態に切り替わる閾値電流Icの1.2倍以上を目標とした。双安定回路12のデータを保持するため制御線CTRL1およびCTRL2はH(1.2V)である。制御線CTRL0からLの記憶ノードQ2にMTJ2を介し電流Im2を流すため、制御線CTRL0の電圧VcをLより高くする。FETM5およびM6をオンするため電圧VSRはH-ストア動作と同じ0.7Vとする。ワード線WLの電圧VWLと制御線CTRL0の電圧Vcを変化させた。

#### 【0233】

図33(a)および図33(b)は、シミュレーション3におけるL-ストア動作の電圧Vcに対するそれぞれ電流Im2およびSNMを示す図である。SFが最も小さいため、SFをSNMとして示している。図33(a)に示すように、制御線CTRL0の電圧Vcが大きくなると電流Im2が大きくなり、ワード線WLの電圧VWLが大きくなると電流Im2が大きくなる。電圧VWLが低くなると電流Im2が小さくなるのは、電圧VWLが0V付近ではFETM4が完全にオンし、記憶ノードQ2の電圧が高くなってしまいうためである。

40

#### 【0234】

図33(b)に示すように、電圧VWLを0Vから高くするとSNMは大きくなるがVWLが0.4V以上となるとSNMは小さくなる。VWLが0.9Vでは、SNMは80

50

mVより小さくなる。電圧VWLが高くなるとFETM4がオフし、データを維持できないためである。電圧VWLを0.5V~0.8Vとすると、電圧Vcを適切に選択することで電流 $I_{m2} = 1.2 I_c$ とSNMが100mV以上を達成できる。電圧VWLを0.8Vに、電圧Vcを0.5Vに決定した。このように、L-ストア動作の電圧VWLをH-ストア動作の電圧VWLより高くすることで、L-ストア動作におけるSNMの低下を抑制できる。

#### 【0235】

また、L-ストア動作のときの電圧VWLはFETM3およびM4が少しオンする程度が好ましい。よって、FETM1およびM2がN型チャネルのとき、L-ストア動作における電圧VWLは制御線CTRL1およびCTRL2の電圧より低いことが好ましい。また、FETM1aおよびM2aがP型チャネルのとき、第2ストア動作における電圧VWLは制御線CTRL1およびCTRL2の電圧より高いことが好ましい。これにより、SNMを大きくできる。第2ストア動作のときの電圧VWLは、 $V_{GND} + 1/4 (V_{DD} - V_{GND})$ 以上かつ $V_{DD} - 1/4 (V_{DD} - V_{GND})$ 以下が好ましい。

10

#### 【0236】

##### [ステップS5]

ステップS5では、リストア動作におけるスイッチ線SRの電圧VSRおよびワード線WLの電圧VWLを決定した。リストア動作では、制御線CTRL0の電圧Vcを0Vとし、制御線CTRL1およびCTRL2の電圧を上昇させる。制御線CTRL1およびCTRL2の電圧を電圧VDDH(1.2V)まで上昇させなくても双安定回路12にデータは復帰される。そこで、リストア動作では、制御線CTRL1およびCTRL2の電圧を1.0Vまで引き上げたところで終了する。リストア動作後に、例えばホールド状態とするときに制御線CTRL1およびCTRL2の電圧をVDDH(1.2V)まで上昇させる。これにより、制御線CTRL1およびCTRL2の電圧が1.0V以上において電圧VSRを0Vに、電圧VWLを1.0V以上にできるため消費電力を削減できる。

20

#### 【0237】

図34(a)および図34(b)は、シミュレーション3におけるリストア動作のそれぞれFFおよびFSの電圧VSRに対するSNMを示す図である。制御線CTRL1およびCTRL2の電圧が1.0VのときのSNMである。図34(a)および図34(b)に示すように、FETM3およびM4がオフした状態(例えばVWL=0.8V)で、スイッチ線SRの電圧VSRを高くするとHの記憶ノードQ1の電圧が低下し、SNMが小さくなる。ワード線WLの電圧VWLを低くしFETM3およびM4をオンさせることで、Hの記憶ノードQ1に制御線CTRL1から電流が流れ、記憶ノードQ1のHを維持でき、SNMが大きくなる。電圧VWLを低くしすぎるとLの記憶ノードQ2の電圧が高くなりSNMが低下する。これらを考慮し、電圧VSRをストア動作と同じ0.7Vに決定し、電圧VWLを0.1Vに決定した。

30

#### 【0238】

リストア動作を実行するとき、ワード線WLの電圧VWLは、ライト動作のときの記憶ノードQ1およびQ2のうち低い方の電圧VDD(例えば0V)より高く、記憶ノードQ1およびQ2のうち高い方の電圧VGND(例えば1.2V)より低い。これにより、図34(a)および図34(b)のように、SNMを大きくできる。リストア動作のときの電圧VWLは、FETM1およびM2がN型チャネルとき、 $V_{GND} + 1/4 (V_{DD} - V_{GND})$ より低いことが好ましく、FETM1aおよびM2aがP型チャネルとき、 $V_{DD} - 1/4 (V_{DD} - V_{GND})$ より高いことが好ましい。

40

#### 【0239】

表5は、以上のステップS1~S5に基づき決定した、各FETのチャネル幅、各電圧を示す。

【表 5】

| チャンネル幅  |         |        |        |         |         |        |       |        |         |        |     |
|---------|---------|--------|--------|---------|---------|--------|-------|--------|---------|--------|-----|
| WDRV    |         |        | WLP    |         |         | WSR    |       |        |         |        |     |
| 150 nm  |         |        | 105 nm |         |         | 100 nm |       |        |         |        |     |
| ホールド状態  |         |        |        | リード動作   |         |        |       | ライト動作  |         |        |     |
| VWL     | CTRL1,2 | VSR    | Vc     | VWL     | CTRL1,2 | VSR    | Vc    | VWL    | CTRL1,2 | VSR    | Vc  |
| 1.2 V   | 1.2 V   | -0.2 V | 0 V    | 0 V     | 1.2 V   | -0.2 V | 0 V   | 0 V    | 1.2/0 V | -0.2 V | 0 V |
| H-ストア動作 |         |        |        | L-ストア動作 |         |        |       | リストア動作 |         |        |     |
| VWL     | CTRL1,2 | VSR    | Vc     | VWL     | CTRL1,2 | VSR    | Vc    | VWL    | CTRL1,2 | VSR    | Vc  |
| 0 V     | 1.2 V   | 0.7 V  | 0 V    | 0.8 V   | 1.2 V   | 0.7 V  | 0.5 V | 0.1 V  | 0→1 V   | 0.7 V  | 0 V |

## 【0240】

表5において、リード動作、ライト動作、H-ストア動作およびL-ストア動作におけるワード線WLの電圧VWLは、アクセスするメモリセル10における電圧VWLである。アクセスしないメモリセル10の電圧VWLはFETM3およびM4がオフする1.2V（ハイレベル）である。

## 【0241】

表5では、ホールド状態、リード動作およびライト動作のときに、スイッチ線SRの電圧VSRとしてLより低い-0.2Vを印加している。これは、FETM5およびM6のリーク電流を抑制するためである。電圧VSRはFETM5およびM6がオフする電圧であればよい。ホールド状態、リード動作およびライト動作のときのFETM5およびM6のリーク電流を抑制するためには、制御線CTRL0の電圧VcをLより高くしてもよい。例えば電圧Vcを0.05Vとしてもよい。電圧VSRをLより低くし、かつ電圧VcをLより高くしてもよい。

## 【0242】

H-ストア動作、L-ストア動作およびリストア動作における電圧VSRは、FETM5およびM6がオンする程度であればよい。ホールド状態におけるワード線WLの電圧VWLはFETM3およびM4がオフする程度の電圧であればよく、リード動作、ライト動作、H-ストア動作およびリストア動作の電圧VWLはFETM3およびM4がオンする程度であればよい。チャンネル幅および各電圧は表5の例に限らず適宜設定できる。

## 【0243】

表5の数値を用い、各状態および動作におけるSNMをシミュレーションした。図35(a)は、実施例2におけるSNMを示す図である。図35(a)に示すように、ホールド状態のFSのSNMが最も小さい。全ての状態および動作の全てのコーナにおいてSNMは80mV以上である。TTでは、全ての状態および動作においてSNMは100mV以上である。

## 【0244】

実施例2におけるスタンバイパワーをシミュレーションし、図15において説明した比較例3(6Tセル)と比較した。図35(b)は、実施例2および比較例3のスタンバイパワーを示す図である。

## 【0245】

図35(b)に示すように、比較例3では、VVDD=1.2Vとする通常動作に対するVVDD=0.8Vとするスリープ状態の削減率は44%である。比較例3のVVDD=1.2Vに対する実施例2のVVDD=1.2Vのときのスタンバイパワーの削減率は11%である。さらに、実施例2におけるVVDD=1.2Vに対するシャットダウン状態のスタンバイパワーの削減率は99.99%である。

## 【0246】

20

30

40

50

以上のように、実施例 2 では、F E T M 1 および M 2 を第 1 導電型のチャンネルの F E T とし、F E T M 3 および M 4 を第 1 導電型と反対の第 2 導電型のチャンネルの F E T とし、F E T M 3 および M 4 をパストラジスタおよびロードとして用いる。これにより、スタンバイパワーを低くできかつトランジスタの個数を 6 個にできるため小型化ができる。

【 0 2 4 7 】

[ 実施例 2 の変形例 1 ]

図 3 6 は、実施例 2 の変形例 1 に係るメモリセルの回路図である。図 3 6 に示すように、実施例 2 の変形例 1 では、実施例 1 の図 6 の記憶ノード Q 1 と制御線 C T R L 0 との間に F E T M 5 および M T J 1 が接続され、記憶ノード Q 2 と制御線 C T R L 0 との間に F E T M 6 および M T J 2 が接続されている。このように、双安定回路 1 2 を実施例 1 およびその変形例の双安定回路としてもよい。図 7 B および図 2 3 と同様に、制御線 C T R L 1 および C T R L 2 の端にプリチャージ/選択回路 3 3 a が接続し、制御線 C T R L 1 および C T R L 2 の他の端に選択回路 3 2 b が接続されていてもよい。

10

【 0 2 4 8 】

メモリセル 1 0 へのアクセス間隔が短い場合には、データを双安定回路 1 2 に U L V リテンションし、アクセス間隔が長い場合にはデータを M T J 1 および M T J 2 にストアし、シャットダウンする。これにより、消費電力をより削減できる。

【 実施例 3 】

【 0 2 4 9 】

実施例 3 は、BinaryNET または XNOR NET などの 2 値化ニューラルネットワーク ( B N N : Binary Neural Network ) への応用例である。B N N は、推論精度をあまり劣化させずに、省電力および少ないメモリで実現可能でありエッジコンピューティングへの応用が期待されている。エッジコンピューティングでは、常に学習や推論をしていることはないが、B N N 装置に記憶された重みなどのデータをメモリに保持しておく必要がある。したがって、メモリの待機時電力の削減が課題になる。U L V R S R A M または N V S R A M を B N N 装置 ( B N N アクセラレータ ) のメモリ部分に用いることで、メモリの待機時電力の削減が可能になる。

20

【 0 2 5 0 】

図 3 7 は、実施例 3 における B N N モデルを示す図である。以下では、Batch Normalization Free Technique ( Y. Yonekawa and H. Nakahara, " On chip Memory Based Binarized Convolutional Deep Neural Network Applying Batch Normalization Free Technique on an FPGA ", 2017 IEEE International Parallel and Distributed Processing Symposium Workshops, pp. 98 105, 2017 ) を用いた B N N モデルについて示す。

30

【 0 2 5 1 】

図 3 7 に示すように、X 層、Y 層および Z 層の 3 層を例に説明する。層の数は 4 層以上でもよい。X 層はノード  $x_1 \sim x_n$  を有し、Y 層はノード  $y_1 \sim y_n$  を有し、Z 層はノード  $z_1 \sim z_n$  を有する。ノード  $x_1 \sim x_n$ 、 $y_1 \sim y_n$  および  $z_1 \sim z_n$  は各々 1 ビットである。X 層の各ノード  $x_1 \sim x_n$  の出力はそれぞれ 1 ビットの重み  $w_{1i} \sim w_{ni}$  (  $i$  は  $1 \sim n$  の整数 ) が積算されノード  $y_i$  に入力する。さらに、ノード  $y_i$  にはノード  $l$  から整数バイアス  $w_{0i}$  が入力する。これらの総和に対して評価関数を通すことでノード  $y_i$  の出力を得る。すべての  $i$  (  $1$  から  $n$  までの整数 ) について上記演算を行うことで、すべてのノード  $y_i$  のデータが求まる。Y 層のノード  $y_j$  の出力には 1 ビットの重み  $w'_{j1} \sim w'_{jn}$  (  $j$  は  $1 \sim n$  の整数 ) が積算され各ノード  $z_k$  (  $k$  は  $1$  から  $n$  の整数 ) に入力する。ノード  $z_j$  にはノード  $l$  から整数バイアス  $w'_{j0}$  が入力する。すべての  $j$  (  $1$  から  $n$  のまでの整数 ) について上記演算を行い、各ノード  $z_j$  ではそれぞれの入力を加算していく。この演算終了後、これらの総和に対して評価関数を通すことで各ノード  $z_k$  (  $k = 1 \sim n$  ) の出力を得る。重み行列  $w_{11} \sim w_{nn}$  および  $w'_{11} \sim w'_{nn}$  の各データは 1 ビットであり、整数バイアス列  $w_{01} \sim w_{0n}$  および  $w'_{10} \sim w'_{n0}$  の各データは整数 ( 多ビット ) である。Z 層以降に層が存在する場合も同様である。

40

【 0 2 5 2 】

50

実施例 3 では、X 層から Y 層を算出する演算は、ノード  $x_1 \sim x_n$  からノード  $y_1$  への実線に相当する演算を行い、次にノード  $x_1 \sim x_n$  からノード  $y_2$  への破線に相当する演算を行い、次にノード  $x_1 \sim x_n$  からノード  $y_3$  への点線に相当する演算を行う。その後順次ノード  $y_4 \sim y_n$  への演算を行う。これを  $n - to - 1$  コネクションという。Y 層から Z 層を算出する演算は、ノード  $y_1$  からノード  $z_1 \sim z_n$  への実線の演算を行い、次にノード  $y_2$  からノード  $z_1 \sim z_n$  への破線の演算を行い、次にノード  $y_3$  からノード  $z_1 \sim z_n$  への点線の演算を行う。これを  $1 - to - n$  コネクションという。 $1 - to - n$  コネクションの実線および破線の演算はそれぞれ  $n - to - 1$  コネクションの破線および点線の演算と並列に行うことができる。

#### 【0253】

図 38 は、実施例 3 における  $n - to - 1$  コネクションの演算を行う演算回路のブロック図である。図 38 に示すように、演算回路 50 は、メモリ 51 および処理部 52 を備えている。処理部 52 は、XNOR 回路 53、カウンタ 54、加算器 55、評価部 56 および出力部 57 を備えている。入力部 48 は  $n$  ビットのラッチ回路であり、ノード  $x_1 \sim x_n$  のデータを保持する。XNOR 回路 53 は、入力部 48 からノード  $x_1 \sim x_n$  のデータを取得し、メモリ 51 から重み列  $w_{1i} \sim w_{ni}$  を取得し、ノード  $x_1 \sim x_n$  のデータと重み列  $w_{1i} \sim w_{ni}$  とを XNOR 演算する。カウンタ 54 は、XNOR 回路 53 の出力をビットカウントし総和を演算する。すなわち、 $n$  個の XNOR 回路 53 の出力のビットが 1 の個数を演算する。加算器 55 は、メモリ 51 から整数バイアス  $W_{0i}$  を取得し、カウンタ 54 の出力に加算する。評価部 56 は、加算器 55 の出力を評価関数  $f$  と比較することで 1 ビットの結果を出力部 57 にノード  $y_i$  のデータとして出力する。出力部 57 は 1 ビットのラッチ回路であり、ノード  $y_i$  のデータを保持する。

#### 【0254】

図 39 (a) は、実施例 3 における  $1 - to - n$  コネクションの演算を行う演算回路のブロック図である。図 39 (a) に示すように、演算回路 60 は、メモリ 61 および処理部 62 を備えている。処理部 62 は、XNOR 回路 63、蓄積器 64、加算器 65、評価部 66 および出力部 67 を備えている。XNOR 回路 63 は、出力部 57 からノード  $y_i$  のデータを取得し、メモリ 61 から重み列  $w'_{i1} \sim w'_{in}$  を取得し、ノード  $y_i$  のデータと重み列  $w'_{i1} \sim w'_{in}$  とを XNOR 演算する。

#### 【0255】

図 39 (b) は、蓄積器のブロック図である。図 39 (b) に示すように、蓄積器 64 は加算器 64c およびラッチ回路 64d を備えている。加算器 64c はラッチ回路 64d の出力と XNOR 回路 63 の出力を加算する。ラッチ回路 64d は加算器 64c の出力を保持する。ラッチ回路 64d は、あらかじめリセットしておき、 $i$  が 1 から  $n$  まで変化したときに各  $i$  における XNOR 回路 63 の出力を順次加え合わせる。そして、 $i = n$  のとき演算結果の数値を加算器 65 に出力する。このように、蓄積器 64 は  $n$  個の XNOR 回路 63 の出力それぞれについて、 $i = 1 \sim n$  の出力を蓄積する。

#### 【0256】

図 39 (a) に戻り、加算器 65 は、メモリ 61 から整数バイアス列  $W'_{10} \sim W'_{n0}$  を取得し、蓄積器 64 の出力列に加算する。評価部 66 は、加算器 65 の出力列を評価関数  $f$  と比較することで各々 1 ビットの結果を出力部 67 にノード  $z_1 \sim z_n$  のデータとして出力する。出力部 67 は  $n$  ビットのラッチ回路であり、ノード  $z_1 \sim z_n$  のデータを保持する。

#### 【0257】

図 40 は、実施例 3 における BNN 装置のブロック図である。図 40 に示すように、メモリ 51 (第 1 メモリ) および 61 (第 2 メモリ) は行列状である。メモリ 51 は、整数バイアス列  $W_{01} \sim W_{0n}$  と重み行列  $w_{11} \sim w_{nn}$  を格納する。重み  $w_{11} \sim w_{nn}$  は各々メモリセル 10 (第 1 メモリセル) に格納される。メモリ 51 では、1 つのノード  $y_i$  に対応する複数の重み  $w_{1i} \sim w_{ni}$  は同じ行に格納され、異なるノード  $y_i$  に対応する複数の重み (例えば  $w_{11} \sim w_{n1}$  と  $w_{12} \sim w_{n2}$ ) は異なる行に格納される。同じ

10

20

30

40

50

行の複数のメモリセル10は列方向に延伸する複数のビット線BL(第1ビット線)にそれぞれ接続されている。各整数バイアス(W01~W0n)は、多ビットであり、メモリセル10に格納される。

【0258】

メモリ61は、整数バイアス列W'10~W'n0と重み行列w'11~w'nnを格納する。重みw'11~w'nnは各々メモリセル10'(第2メモリセル)に格納される。メモリ61では、1つの第2ノードyiに対応する複数の重みw'i1~w'inは同じ行に、異なる第2ノードyiに対応する複数の重み(例えばw'11~w'1nとw'21~w'2n)は異なる行に格納される。同じ行の複数のメモリセル10'は列方向に延伸する複数の第2ビット線BL'にそれぞれ接続されている。各整数バイアス(W'10~W'n0)は、多ビットであり、メモリセル10'に格納される。

10

【0259】

メモリ51および61に上記のように重み行列を格納することで、処理部52は、ノードyiの処理を行うとき、メモリ51から複数のビット線BLを介し複数の第1重みw1i~wniを取得できる。また、処理部62は、ノードyiの処理を行うとき、メモリ61から第2ビット線BL'を介し複数の重みw'i1~w'inを取得することができる。これにより、処理部52および62において効率的に処理を行うことができる。メモリセル10および10'は6T-SRAMセルでもよいが、実施例1、2およびその変形例のメモリセル10でもよい。処理部52および62の少なくとも一部は専用回路として実現されていてもよい。処理部52および62の少なくとも一部はプロセッサがソフトウェアと協働し実現されてもよい。この場合、処理部52および62の少なくとも一部がプロセッサとなる。

20

【0260】

演算回路50では、XNOR回路53は重み行列w11~wnnの列に対応し設けられ、入力部48のノードx1~xnの出力データと重み列w1i~wniをXNOR演算する。カウンタ54がXNOR回路53の出力ビットをカウントする。加算器55、評価部56および出力部57は図38の説明と同じである。

【0261】

演算回路60では、XNOR回路63から出力部67までは重み行列w'11~w'nnの列に対応し設けられている。XNOR回路63は、出力部57のノードyiの出力データと重み列w'i1~w'inをXNOR演算する。蓄積器64から出力部67までは列ごとに行う。その他の動作は図39(a)の説明と同じである。層が4層以上の場合、出力部67のノードz1~znは次の層のn-to-1コネクション処理の入力データ列となる。

30

【0262】

図41は、実施例3において処理部52が行うn-to-1コネクションの処理を示すフローチャートである。図41に示すように、処理部52は、iを1に設定する(ステップS10)。処理部52は、メモリ51から重み列w1i~wniを取得する(ステップS12)。処理部52は、ノードx1~xnのデータと重み列w1i~wniとのXNORを算出する(ステップS14)。処理部52は、各XNORの算出結果をビットカウントし総和を演算する(ステップS16)。処理部52は、メモリ51から重みW0iを取得し、ステップS16の総和に加算する(ステップS18)。処理部52は、ステップS18の結果と評価関数fとの比較を行うことで1ビットのノードyiのデータを算出し保持する(ステップS20)。処理部52はi=nか判定する(ステップS22)。Noの場合、処理部52はi=i+1としステップS12に進む(ステップS24)。Yesの場合、n-to-1コネクション処理を終了する。処理部52は、各回路の動作を制御する制御回路を備え、制御回路がステップS10~S24を実行してもよい。

40

【0263】

図42は、実施例3において処理部62が行う1-to-nコネクションの処理を示すフローチャートである。図42に示すように、処理部62は、iを1に設定する(ステッ

50

プS30)。処理部62は、メモリ61から重み列 $w'_{i1} \sim w'_{in}$ を取得する(ステップS32)。処理部62は、図41のステップS20からノード $y_i$ のデータを取得し、ノード $y_i$ のデータと重み列 $w'_{i1} \sim w'_{in}$ とのXNORを算出する(ステップS34)。処理部62は、 $n$ 個のXNORの算出結果を各々蓄積する(ステップS36)。処理部62は $i = n$ か判定する(ステップS38)。Noの場合、処理部62は $i = i + 1$ とし、ステップS32に戻る(ステップS40)。ステップS38においてYesのとき、処理部62は、メモリ61から重み $W'_{10} \sim W'_{n0}$ を取得し、ステップS36の $n$ 個の結果に各々加算する(ステップS42)。処理部62は、ステップS42の $n$ 個の結果と評価関数 $f$ との比較を各々行うことで各々1ビットのノード $z_1 \sim z_n$ のデータを算出し保持する(ステップS44)。その後、1-to- $n$ コネクション処理を終了する。ノード $z_1 \sim z_n$ のデータは次の層の $n - to - 1$ コネクションをするときの入力データ列となる。処理部62は、各回路の動作を制御する制御回路を備え、制御回路がステップS30~S44を実行してもよい。

10

#### 【0264】

図43は、実施例3の処理動作を時間軸に沿って示す説明図である。図43において実施例3の処理動作を、後述するケース1、ケース2の処理動作と比較できるように図示している。処理71~74は、層間の演算を示している。例えば処理71は図37のX層の各ノード $x_1 \sim x_n$ からY層の各ノード $y_1 \sim y_n$ を演算する処理であり、処理72はY層の各ノード $y_1 \sim y_n$ からZ層の各ノード $z_1 \sim z_n$ を演算する処理である。処理73はZ層の各ノード $z_1 \sim z_n$ から後段の層の各ノードを演算する処理である。処理74は、さらに後段の処理である。処理70は、1個のノードに対応する処理を示す。 $n - to - 1$ コネクション処理では、 $n$ 個のノード $x_1 \sim x_n$ から1個のノード $y_i$ を算出する処理が処理70に対応する。1-to- $n$ コネクション処理では、1個のノード $y_i$ から $n$ 個のノード $z_1 \sim z_n$ を算出する処理が処理70に対応する。処理71~74は、各々 $n$ 個の処理70をシーケンシャルに実行する。

20

#### 【0265】

ケース1では、処理71~74は全て $n - to - 1$ コネクション処理、または全て1-to- $n$ コネクション処理である。この場合、処理71~74を並列処理することができない。ケース2では、処理71および73は1-to- $n$ コネクション処理であり、処理72および74は $n - to - 1$ コネクション処理である。この場合、処理71と72を並列処理することができない。処理72と処理73とは並列処理できる。

30

#### 【0266】

実施例3では、処理71および73は $n - to - 1$ コネクション処理であり、処理72および74は1-to- $n$ コネクション処理である。この場合、処理71の $i + 1$ 個目の処理70と処理72の $i$ 個目の処理を並列に処理できる。よって、処理70と処理71とは $n + 1$ 個の処理70の時間で処理できる。処理72の終了後、処理73を開始する。処理73の $i + 1$ 個目の処理70と処理74の $i$ 個目の処理を並列に処理できる。

#### 【0267】

以上のように、ケース2では、ケース1より処理時間を短縮できるが、実施例3はケース2よりさらに処理時間を短縮できる。

40

#### 【0268】

実施例3のメモリ51および61に実施例1の図7Aのメモリアレイ22または実施例2の図26のメモリアレイ22を用いることができる。これにより、消費電力を抑制できる。

#### 【0269】

図44は、実施例3におけるメモリの例を示すブロック図である。図44に示すように、メモリ51および61の行毎にパワースイッチ $PS_1 \sim PS_n$ を設ける。さらにパワースイッチ $PS_1 \sim PS_n$ をそれぞれ別の状態に独立して制御するパワースイッチ制御回路58を設ける。これにより、行毎に仮想電源電圧 $V_{VDD1} \sim V_{VDDn}$ を設定できる。 $n - to - 1$ コネクション処理および1-to- $n$ コネクション処理のときに、パワース

50

イッチ制御回路58は、処理を行うデータが格納された行は、データを読み出し可能な状態となるように第1電源電圧を供給する。パワースイッチ制御回路58は、それ以外の行を、実施例1のメモリアレイをメモリ51および61に用いる場合にはULVリテンション状態とし、実施例2のメモリアレイを用いる場合にはシャットダウン状態とする。

#### 【0270】

例えば、図41において処理部52が*i*番目の処理を行うとき、または、図42において処理部62が*i*番目の処理を行うとき、パワースイッチ制御回路58は、メモリ51または61の*i*番目の行に供給する仮想電源電圧 $V_{VDDi}$ をメモリセル10または10'からデータを読み出し可能な第1電源電圧にし、*i*番目の行以外の行に供給する仮想電源電圧 $V_{VDD}$ を第1電源電圧より低く、メモリセル10または10'がデータを保持可能な第2電源電圧とするまたは電源電圧をシャットダウンする。実施例1のメモリアレイをメモリ51または61に用いる場合第2電源電圧は、ULVリテンション状態となる電圧である。実施例2のメモリアレイをメモリ51または61に用いる場合電源電圧はシャットダウンされる。パワースイッチ制御回路58は、*i*番目の行以外の行の内少なくとも一部の行に第2電源電圧を供給するまたは電源電圧をシャットダウンすればよい。

#### 【0271】

このパワースイッチ制御回路58の制御によって、メモリ51、61の消費電力を抑制できる。これにより、ニューラルネットワーク全体の消費電力を減らすことができる。パワースイッチ $PS1 \sim PSn$ の制御は前述した制御に限らず、メモリ51、61のULVリテンション状態からデータを読み出せるようになるまでの復帰時間や、実施例2のメモリアレイではシャットダウン状態からデータを読み出せるようになるまでの復帰時間を考慮し、 $n - to - 1$ コネクション処理および1 - to -  $n$ コネクション処理を行う行の近傍の行もデータを読み出し可能な状態となるように電力を供給してもよい。各仮想電源電圧 $V_{VDD1} \sim V_{VDDn}$ は複数段階あってもよい。この場合、仮想電源電圧の数に相当するパワースイッチを設ける。図44では、各行ごとにパワースイッチを設けているが、複数の行毎にパワースイッチを設けてもよい。仮想電源方式を例に説明したが仮想接地方式でもよい。

#### 【0272】

図44では、ニューラルネットワーク処理の $n - to - 1$ コネクション処理および1 - to -  $n$ コネクション処理の両方において、前述のパワースイッチ $PS1 \sim PSn$ の制御によって、電力消費を減らす例を説明した。本出願の第四の発明においては、 $n - to - 1$ コネクション処理および1 - to -  $n$ コネクション処理の少なくとも一方の処理において、前述のパワースイッチ $PS1 \sim PSn$ の制御によって、電力消費を減らすようにしてもよい。また、 $n - to - 1$ コネクション処理および1 - to -  $n$ コネクション処理が多層に繰り返される、ディプラーニングによって学習された推論器を有する処理装置において、 $n - to - 1$ コネクション処理および1 - to -  $n$ コネクション処理の何れか一方の少なくとも一層分に、前述のパワースイッチ $PS1 \sim PSn$ の制御を行うことによって、電力消費を減らすことができる。これらは全て本出願の第四の発明の実施の形態に含まれる。

#### 【0273】

メモリ51および61におけるメモリセル10および10'に比較例3の6Tセルおよび実施例1のULVR-SRAMセルを用いた場合について、BNN装置の消費電力をシミュレーションした。メモリセル10および10'を6Tセルとした場合、電源電圧を通常状態の7割とするスリープ状態にすると、メモリの消費電力は50%~60%削減できた。メモリセル10および10'を実施例1のULVR-SRAMセルとすると、6Tセルの通常状態に比べメモリの消費電力を90%~95%削減できた。このように、メモリセル10および10'に、実施例1のULVR-SRAMセルまたは実施例2のNV-SRAMセルを用いることによりBNN装置の消費電力を削減できる。また、メモリセル10および10'に、特許文献1に記載のULVR-SRAMセルまたは特許文献2に記載のNV-SRAMセルを用いてもよい。これにより、待機時電力を削減できる。

## 【 0 2 7 4 】

実施例 3 によれば、図 4 1 のステップ S 1 4 のように、処理部 5 2 (第 1 処理部) は、X 層 (第 1 層) の複数の第 1 ノード  $x_1 \sim x_n$  に対応する複数の第 1 データに複数の第 1 重み  $w_{1i} \sim w_{ni}$  による重み付けをそれぞれ行った後にステップ S 1 8 のように加算することにより、ステップ S 1 6、S 1 8 および S 2 0 のように、Y 層 (第 2 層) の複数の第 2 ノード  $y_1 \sim y_n$  に対応する複数の第 2 データのうち 1 つの第 2 ノード  $y_i$  のデータを算出する。処理部 5 2 は、この処理を複数の第 2 ノード  $y_1 \sim y_n$  について行うことで複数の第 2 データを算出する。図 4 2 のステップ S 3 2 のように、処理部 6 2 (第 2 処理部) は、複数の第 2 ノード  $y_1 \sim y_n$  のうち 1 つの第 2 ノード  $y_i$  のデータに複数の第 2 重み  $w'_{i1} \sim w'_{in}$  による重み付けをすることで Z 層 (第 3 層) の第 3 ノード  $z_1 \sim z_n$  に対応する複数の第 3 データの各々一部を算出する処理を複数の第 2 ノード  $y_1 \sim y_n$  について行う。ステップ S 3 6 および S 4 4 のように、処理部 6 2 は、複数の第 3 ノード  $z_1 \sim z_n$  の各々について、複数の第 3 ノード  $z_1 \sim z_n$  のデータの一部を複数の第 2 ノード  $y_1 \sim y_n$  分加算することで複数の第 3 ノード  $z_1 \sim z_n$  のデータを算出する。そして、処理部 5 2 は、処理部 6 2 が行う複数の第 2 データのうち 1 つの第 2 ノード  $y_i$  の処理と並列に、複数の第 2 データのうち別の第 2 ノード  $y_{i+1}$  の処理を行う。これにより、図 4 3 のように、処理装置の処理時間を短縮できる。

10

## 【 0 2 7 5 】

ノード  $x_1 \sim x_n$ 、 $y_1 \sim y_n$  および  $z_1 \sim z_n$  のデータ、重み  $w_{11} \sim w_{nn}$  および重み  $w'_{11} \sim w'_{nn}$  は各々 1 ビットである。これにより、BNN を処理することができる。BNN では、処理部 5 2 は、複数の第 1 ノード  $x_1 \sim x_n$  のデータと複数の第 1 重み  $w_{1i} \sim w_{ni}$  とを XNOR 演算することにより重み付けを行い、処理部 6 2 は、第 2 ノード  $y_i$  のデータと複数の第 2 重み  $w'_{i1} \sim w'_{in}$  とを XNOR 演算することにより重み付けを行う。これにより、BNN において重みづけをすることができる。

20

## 【 0 2 7 6 】

[ 実施例 3 の変形例 1 ]

図 4 5 は、実施例 3 の変形例 1 における BNN 装置のブロック図である。図 4 5 に示すように、実施例 3 の変形例 1 では、処理部 5 2 において XNOR 回路 5 3 a および 5 3 b、カウンタ 5 4 a および 5 4 b、加算器 5 5 a および 5 5 b、評価部 5 6 a および 5 6 b 並びに出力部 5 7 a および 5 7 b が各々メモリ 5 1 の複数行分設けられている。処理部 5 2 は、メモリ 5 1 の複数の行に対応する処理を並列に処理する。処理部 6 2 において XNOR 回路 6 3 a および 6 3 b が各々メモリ 6 1 の複数行分設けられている。処理部 6 2 は、メモリ 6 1 の複数の行に対応する処理を並列に処理する。

30

## 【 0 2 7 7 】

図 4 6 は、実施例 3 の変形例 1 におけるメモリの例を示す図である。図 4 6 ではセンスアンプ 4 4 a および 4 4 b 以外の周辺回路の図示を省略している。図 4 6 に示すように、メモリ 5 1 および 6 1 にはメモリセル 1 0 a および 1 0 b が行列状に配列されている。ビット線 BL 1 および BL B 1 とビット線 BL 2 および BL B 2 とが列方向に延伸している。同じ列のメモリセル 1 0 a および 1 0 b のうちメモリセル 1 0 a の記憶ノード Q 1 および Q 2 (図 1 および図 2 2 等参照) はそれぞれビット線 BL 1 および BL B 1 に接続され、ビット線 BL 2 および BL B 2 には接続されていない。メモリセル 1 0 b の記憶ノード Q 1 および Q 2 はそれぞれビット線 BL 2 および BL B 2 に接続され、ビット線 BL 1 および BL B 1 には接続されていない。

40

## 【 0 2 7 8 】

1 つの列に複数のセンスアンプ 4 4 a および 4 4 b が設けられている。ビット線 BL 1 および BL B 1 はセンスアンプ 4 4 a に接続され、ビット線 BL 2 および BL B 2 はセンスアンプ 4 4 b に接続されている。センスアンプ 4 4 a および 4 4 b はそれぞれワード線 WL により選択されたメモリセル 1 0 a および 1 0 b のデータを読み出す。センスアンプ 4 4 a および 4 4 b はそれぞれ XNOR 回路 5 3 a (または 6 3 a) および XNOR 回路 5 3 b (または 6 3 b) に読み出したデータを出力する。すなわち、処理部 5 2 および 6

50

2は、並列処理する1つの処理を行うとき、メモリ51および61からBL1およびBLB1を介し重みを取得し、並列処理する別の1つの処理を行うとき、メモリ51および61からビット線BL2およびBLB2を介し重みを取得する。これにより、実施例3の変形例2において後述するマルチポートセルを用いることなく、メモリ51または61から複数の行の重み列を並列にXNOR回路53aおよび53b（または63aおよび63b）に出力できる。メモリセル10は、比較例3のような6Tセルでもよいし、実施例1、2およびその変形例のメモリセル10でもよい。

【0279】

[実施例3の変形例2]

実施例3の変形例2は、メモリ51および61にマルチポートセルを用いる例である。マルチポートセルとして、ライト用ポートが1個、リード用ポートが2個の2R1W型と、ライト用ポートおよびリード用ポートがともに2個の2RW型について説明する。

【0280】

図47は、実施例3の変形例2における2R1W型NV-SRAMメモリセルの例を示す回路図である。図47に示すように、ワード線としてWWL、RWL1およびRWL2が設けられている。WWLはライト用ワード線であり、RWL1およびRWL2は、リード用ワード線である。制御線CTRL1~CTRL3が設けられている。

【0281】

FETM3のゲートはWWLに接続され、ソースおよびドレインの一方は記憶ノードQ1に接続され、ソースおよびドレインの他方は制御線CTRL1に接続されている。FETM41のゲートはRWL1に接続され、ソースおよびドレインの一方は記憶ノードQ2に接続され、ソースおよびドレインの他方は制御線CTRL2に接続されている。FETM42のゲートはRWL2に接続され、ソースおよびドレインの一方は記憶ノードQ2に接続され、ソースおよびドレインの他方は制御線CTRL3に接続されている。その他の構成は実施例2と同じであり説明を省略する。

【0282】

表6は、各状態および動作における各線の電圧を示す表である。

【表6】

|        | WWL   | RWL1  | RWL2  | CTRL1   | CTRL2    | CTRL3    |
|--------|-------|-------|-------|---------|----------|----------|
| ホールド状態 | 1.2 V | 1.2 V | 1.2 V | 1.2 V   | 1.2 V    | 1.2 V    |
| ライト動作  | 0 V   | 1.2 V | 1.2 V | 1.2/0 V | 1.2 V    | 1.2 V    |
| リード動作1 | 0.7 V | 0 V   | 1.2 V | 1.2 V   | 1.2 V→FL | 1.2 V    |
| リード動作2 | 0.7 V | 1.2 V | 0 V   | 1.2 V   | 1.2 V    | 1.2 V→FL |

【0283】

表6において、ライト動作、リード動作1およびリード動作2におけるワード線WWL、RWL1およびRWL2の電圧は、アクセスするメモリセル10における電圧である。アクセスしないメモリセル10のワード線WWL、RWL1およびRWL2の電圧は1.2Vである。

【0284】

表6に示すように、ホールド状態では、WWL、RWL1、RWL2およびCTRL1~CTRL3の電圧は1.2V（ハイレベル）であり、FETM3、M41およびM42はオフである。ライト動作のとき、ライトするセル10のWWLの電圧を0V（ローレベル）とする。これにより、ライトするセルのFETM3がオンする。ワード線RWL1およびRWL2の電圧は1.2VでありFETM41およびM42はオフである。制御線CTRL1の電圧を1.2Vまたは0Vとすることで、記憶ノードQ1がHまたはLとなる。これにより、セル10にデータがライトされる。

【0285】

リード動作1のとき、リードするセル10のRWL1の電圧を0Vとする。これにより

10

20

40

50

、リードするセル10のFETM41がオンする。RWL2の電圧は1.2Vであり、FETM42はオフである。WWLの電圧は0.7Vであり、FETM3を若干オンさせる。制御線CTRL2の電圧を1.2Vからフローティング(FL)とすることで、制御線CTRL2から記憶ノードQ2のデータをリードする。リード動作2のときの各電圧はリード動作1と同様である。その他の動作は実施例2と同じである。

【0286】

図48は、実施例3の変形例2における2R1W型ULVR-SRAMメモリセルの例を示す回路図である。図48に示すように、ワード線としてWWL、RWL1およびRWL2が設けられている。制御線CTRL1~CTRL3が設けられている。

【0287】

FETm4のゲートはWWLに接続され、ソースおよびドレインの一方は記憶ノードQ1に接続され、ソースおよびドレインの他方は制御線CTRL1に接続されている。FETm41のゲートはRWL1に接続され、ソースおよびドレインの一方は記憶ノードQ2に接続され、ソースおよびドレインの他方は制御線CTRL2に接続されている。FETm42のゲートはRWL2に接続され、ソースおよびドレインの一方は記憶ノードQ2に接続され、ソースおよびドレインの他方は制御線CTRL3に接続されている。その他の構成は実施例1と同じであり説明を省略する

【0288】

表7は、各状態および動作における各線の電圧を示す表である。

【表7】

|        | WWL   | RWL1  | RWL2  | CTRL1   | CTRL2    | CTRL3    |
|--------|-------|-------|-------|---------|----------|----------|
| ホールド状態 | 1.1 V | 1.1 V | 1.1 V | 1.2 V   | 1.2 V    | 1.2 V    |
| ライト動作  | 0.3 V | 1.1 V | 1.1 V | 1.2/0 V | 1.2 V    | 1.2 V    |
| リード動作1 | 0.6 V | 0.3 V | 1.1 V | 1.2 V   | 1.2 V→FL | 1.2 V    |
| リード動作2 | 0.6 V | 1.1 V | 0.3 V | 1.2 V   | 1.2 V    | 1.2 V→FL |

【0289】

表7に示すように、ホールド状態では、ワード線WWL、RWL1およびRWL2の電圧は1.1Vであり、CTRL1~CTRL3の電圧は、1.2Vであり、FETm4、m41およびm42はオフである。ライト動作のとき、ライトするメモリセル10のWWLの電圧を0.3Vとする。これにより、ライトするメモリセル10のFETm3がオンする。ワード線RWL1およびRWL2の電圧は1.1VでありFETm41およびm42はオフである。制御線CTRL1の電圧を1.2Vまたは0Vとすることで、記憶ノードQ1がHまたはLとなる。これにより、メモリセル10にデータがライトされる。

【0290】

リード動作1のとき、リードするメモリセル10のRWL1の電圧を0.3Vとする。これにより、リードするメモリセル10のFETm41がオンする。RWL2の電圧は1.1Vであり、FETm42はオフである。WWLの電圧は0.6Vであり、FETm4を若干オンさせる。制御線CTRL2の電圧を1.2Vからフローティング(FL)とすることで、制御線CTRL2から記憶ノードQ2のデータをリードする。リード動作2はリード動作1と同様である。アクセスしないメモリセル10のワード線WWL、RWL1およびRWL2の電圧は1.1Vである。その他の動作は実施例1と同じである。

【0291】

2R1W型NV-SRAMセルおよび2R1W型ULVR-SRAMセルについて、リード動作1および2のときのワード線WWLの電圧V<sub>WWL</sub>に対するSNMをシミュレーションした。2R1W型NV-SRAMメモリセルでは、WLP=105nm、WDRV=150nm、ワード線RWL1およびRWL2の電圧V<sub>RWL</sub>=0Vとした。2R1W型ULVR-SRAMメモリセルでは、V<sub>VDD</sub>=1.2V、BIモード、WLP=110nm、WFB=230nmとした。

10

20

30

40

50

【0292】

図49(a)は、実施例3の変形例2のリード動作における2R1W型NV-SRAMメモリセルのVWWLに対するSNMを示す図、図49(b)は、リード動作における2R1W型ULVR-SRAMメモリセルのVWWLに対するSNMを示す図である。図49(a)および図49(b)に示すように、ワード線WWLの電圧VWWLが高くなるとSNMが小さくなる。リード動作では、ライト用のワード線WWLを選択せず、FETM3およびFETM4はオフとする。しかし、FETM3およびFETM4を完全にオフすると、SNMが小さくなる。そこで、リード動作1および2におけるライト用のワード線WWLの電圧VWWL(例えば0.6V)をライト動作における電圧VWWL(例えば0.3V)より高くする。さらに、リード動作1の電圧VWWL(例えば0.6V)をリード動作2用のワード線RWL1の電圧(例えば1.2V)より低くする。リード動作2のときも同様である。これにより、SNMを大きくできる。

10

【0293】

図50は、実施例3の変形例2における2RW型NV-SRAMメモリセルの例を示す回路図である。図50に示すように、ワード線としてWL1およびWL2が設けられている。制御線としてCTRL1、CTRL1'、CTRL2およびCTRL2'が設けられている。

【0294】

FETM31(第3FET)のゲートはWL1(第1ワード線)に接続され、ソースおよびドレインの一方は記憶ノードQ1(第1記憶ノード)に接続され、ソースおよびドレインの他方は制御線CTRL1(第1制御線)に接続されている。FETM32(第5FET)のゲートはWL2(第2ワード線)に接続され、ソースおよびドレインの一方は記憶ノードQ1に接続され、ソースおよびドレインの他方は制御線CTRL1'(第4制御線)に接続されている。FETM41(第4FET)のゲートはWL1に接続され、ソースおよびドレインの一方は記憶ノードQ2に接続され、ソースおよびドレインの他方は制御線CTRL2(第2制御線)に接続されている。FETM42(第6FET)のゲートはWL2に接続され、ソースおよびドレインの一方は記憶ノードQ2に接続され、ソースおよびドレインの他方は制御線CTRL2'(第5制御線)に接続されている。その他の構成は実施例2と同じであり説明を省略する。

20

【0295】

表8は、各状態および動作における各線の電圧を示す表である。

【表8】

|        | WL1  | WL2  | CTRL1,2 | CTRL1',2' |
|--------|------|------|---------|-----------|
| ホールド状態 | 1.2V | 1.2V | 1.2V    | 1.2V      |
| ライト動作1 | 0V   | 1.2V | 1.2/0V  | 1.2V      |
| ライト動作2 | 1.2V | 0V   | 1.2V    | 1.2/0V    |
| リード動作1 | 0V   | 1.2V | 1.2V→FL | 1.2V      |
| リード動作2 | 1.2V | 0V   | 1.2V    | 1.2V→FL   |

30

【0296】

表8に示すように、ホールド状態では、ワード線WL1、WL2、制御線CTRL1、CTRL1'、CTRL2およびCTRL2'の電圧は1.2V(ハイレベル)であり、FETM31、M32、M41およびM42はオフである。ライト動作1およびリード動作1のとき、WL1、CTRL1およびCTRL2を用い、FETM31およびM41を介しデータのライトおよびリードを行う。WL2、CTRL1'およびCTRL2'を1.2Vとし、FETM32およびM42をオフさせる。ライト動作2およびリード動作2はライト動作1およびリード動作1と同様である。アクセスしないメモリセル10のワード線WL1およびWL2の電圧は1.2Vである。その他の動作は実施例2と同じである。

50

## 【 0 2 9 7 】

図 5 1 は、実施例 3 の変形例 2 における 2 R W 型 U L V R - S R A M メモリセルの例を示す回路図である。図 5 1 に示すように、ワード線として W L 1 および W L 2 が設けられている。制御線として C T R L 1、C T R L 1'、C T R L 2 および C T R L 2' が設けられている。

## 【 0 2 9 8 】

F E T m 4 1 ( 第 3 F E T、第 4 F E T ) のゲートは W L 1 ( 第 1 ワード線 ) に接続され、ソースおよびドレインの一方は記憶ノード Q 1 および Q 2 に接続され、ソースおよびドレインの他方は制御線 C T R L 1 ( 第 1 制御線 ) および C T R L 2 ( 第 2 制御線 ) に接続されている。F E T m 4 2 ( 第 5 F E T、第 6 F E T ) のゲートは W L 2 ( 第 2 ワード線 ) に接続され、ソースおよびドレインの一方は記憶ノード Q 1 および Q 2 に接続され、ソースおよびドレインの他方は制御線 C T R L 1' ( 第 3 制御線 ) および C T R L 2' ( 第 4 制御線 ) に接続されている。その他の構成は実施例 1 と同じであり説明を省略する。

10

## 【 0 2 9 9 】

表 9 は、各状態および動作における各線の電圧を示す表である。

【表 9】

|        | WL1    | WL2    | CTRL1,2  | CTRL1',2' |
|--------|--------|--------|----------|-----------|
| ホールド状態 | 1.1 V  | 1.1 V  | 1.2 V    | 1.2 V     |
| ライト動作1 | 0.25 V | 1.1 V  | 1.2/0 V  | 1.2 V     |
| ライト動作2 | 1.1 V  | 0.25 V | 1.2 V    | 1.2/0 V   |
| リード動作1 | 0.25 V | 1.1 V  | 1.2 V→FL | 1.2 V     |
| リード動作2 | 1.1 V  | 0.25 V | 1.2 V    | 1.2 V→FL  |

## 【 0 3 0 0 】

表 9 に示すように、ホールド状態では、W L 1 および W L 2 の電圧は 1 . 1 V であり、C T R L 1、2、1' および 2' の電圧は 1 . 2 V であり、F E T m 4 1 および m 4 2 はオフである。ライト動作 1 およびリード動作 1 のとき、W L 1、C T R L 1 および C T R L 2 を用い、F E T m 4 1 を介しデータのライトおよびリードを行う。W L 2 の電圧を 1 . 1 V、C T R L 1' および C T R L 2' の電圧を 1 . 2 V とし、F E T m 4 2 をオフさせる。ライト動作 2 およびリード動作 2 はライト動作 1 およびリード動作 1 と同様である。アクセスしないメモリセル 1 0 のワード線 W L 1 および W L 2 の電圧は 1 . 1 V である。その他の動作は実施例 2 と同じである。

30

## 【 0 3 0 1 】

図 5 2 は、実施例 3 の変形例 2 における 2 R 1 W 型メモリの例を示す図である。図 5 2 ではセンスアンプ 4 4 a および 4 4 b 以外の周辺回路の図示を省略している。図 5 2 に示すように、メモリ 5 1 および 6 1 にはメモリセル 1 0 が行列状に配列されている。メモリセル 1 0 は、2 R 1 W 型 N V - S R A M セルまたは 2 R 1 W 型 U L V R - S R A M セルである。制御線 C T R L 2 はセンスアンプ 4 4 a に接続され、制御線 C T R L 3 はセンスアンプ 4 4 b に接続されている。センスアンプ 4 4 a はワード線 R W L 1 により選択されたメモリセル 1 0 のデータを読み出し、センスアンプ 4 4 b はワード線 R W L 2 により選択されたメモリセル 1 0 のデータを読み出す。センスアンプ 4 4 a および 4 4 b はそれぞれ X N O R 回路 5 3 a ( または 6 3 a ) および X N O R 回路 5 3 b ( または 6 3 b ) に読み出したデータを出力する。これにより、メモリ 5 1 または 6 1 から複数の行の重み列を並列に X N O R 回路 5 3 a および 5 3 b ( または 6 3 a および 6 3 b ) に出力できる。メモリセル 1 0 は、6 T セルでもよい。

40

## 【 0 3 0 2 】

図 5 3 は、実施例 3 の変形例 2 における 2 R W 型メモリの例を示す図である。図 5 3 ではセンスアンプ 4 4 a および 4 4 b 以外の周辺回路の図示を省略している。図 5 3 に示すように、メモリセル 1 0 は、2 R W 型 N V - S R A M セルまたは 2 R W 型 U L V R - S R

50

A Mセルである。制御線 C T R L 1 および C T R L 2 はセンスアンプ 4 4 a に接続され、制御線 C T R L 1 ′ および C T R L 2 ′ はセンスアンプ 4 4 b に接続されている。センスアンプ 4 4 a はワード線 W L 1 により選択されたメモリセル 1 0 のデータを読み出し、センスアンプ 4 4 b はワード線 W L 2 により選択されたメモリセル 1 0 のデータを読み出す。その他の構成は図 5 2 と同じである。センスアンプ 4 4 a および 4 4 b はそれぞれ X N O R 回路 5 3 a (または 6 3 a) および X N O R 回路 5 3 b (または 6 3 b) に読み出したデータを出力する。これにより、メモリ 5 1 または 6 1 から複数の行の重み列を並列に X N O R 回路 5 3 a および 5 3 b (または 6 3 a および 6 3 b) に出力できる。メモリセル 1 0 は、6 T セルでもよい。

#### 【 0 3 0 3 】

図 5 4 は、実施例 3 の変形例における時間に対する処理を示す図である。ケース 1、ケース 2 および実施例 3 は図 4 3 と同じであり説明を省略する。実施例 3 の変形例 1 および 2 では、メモリ 5 1 および 6 1 の 2 行分の処理を並列に行うことができる。これにより、処理 7 1 を処理 7 1 a および 7 1 b に並列処理できる。同様に処理 7 2 a および 7 2 b が並列処理でき、処理 7 3 a および 7 3 b が並列処理でき、処理 7 4 a および 7 4 b が並列処理できる。よって、実施例 3 に比べ処理時間を短縮できる。

#### 【 0 3 0 4 】

実施例 3 の変形例 3 では、メモリ 5 1 および 6 1 の 4 行分の処理を並列に行う。これにより、処理 7 1 を処理 7 1 a ~ 7 1 d に並列処理できる。同様に処理 7 2 a ~ 7 2 d が並列処理でき、処理 7 3 a ~ 7 3 d が並列処理でき、処理 7 4 a ~ 7 4 d が並列処理できる。よって、実施例 3 の変形例 1 および 2 に比べさらに処理時間を短縮できる。

#### 【 0 3 0 5 】

実施例 3 およびその変形例について処理時間をシミュレーションした。入力の X 層および他の各層のノードの個数を各々  $n$  とし、X 層を除く層数を  $m$  ( $m$  は偶数) とした。図 5 5 ( a ) から図 5 5 ( c ) は、層数  $m$  に対する規格化した処理時間  $T / t_0$  を示す図である。 $t_0$  は規格化のための値である。図 5 5 ( a ) から図 5 5 ( c ) は、それぞれ  $n = 256$ 、 $n = 512$  および  $n = 1024$  である。図 5 5 ( a ) から図 5 5 ( c ) に示すように、 $n$  によらず、実施例 3 はケース 1 およびケース 2 より処理時間が短い。実施例 3 の変形例 1 および 2 では、処理時間が実施例 3 の約  $1 / 2$  である。実施例 3 の変形例 3 では、処理時間が実施例 3 の約  $1 / 4$  である。

#### 【 0 3 0 6 】

実施例 3 の変形例 1 ~ 3 によれば、処理部 5 2 は、複数の第 2 ノード  $y_1 \sim y_n$  のうち少なくとも 2 つの第 2 ノードの処理を並列に処理し、処理部 6 2 は、複数の第 2 ノード  $y_1 \sim y_n$  のうち少なくとも 2 つの第 2 ノードの処理を並列に処理する。これにより、図 5 4 のように、処理時間を短縮できる。

#### 【 0 3 0 7 】

図 4 7、図 4 8、図 5 0 および図 5 1 のように、複数のメモリセル 1 0 は、相補的な一対の記憶ノード Q 1 および Q 2 を各々有し、一対の記憶ノード Q 1 および Q 2 の少なくとも 1 つの記憶ノードは並列に列方向に延伸する制御線 C T R L 2 (第 1 ビット線) と C T R L 3 または C T R L 2 ′ (第 2 ビット線) とに接続されている。処理部 5 2 は、並列処理する第 2 データの処理のうち 1 つの処理を行うとき、メモリ 5 1 から第 1 ビット線を介し複数の第 1 重みを取得し、別の 1 つの処理を行うとき、メモリ 5 1 から第 2 ビット線を介し複数の第 1 重みを取得する。これにより、処理部 5 2 において、2 つの処理を並列に実行できる。

#### 【 0 3 0 8 】

図 4 7、図 4 8、図 5 0 および図 5 1 のように、処理部 6 2 は、並列処理する第 2 データの処理のうち 1 つの処理を行うとき、メモリ 6 1 から制御線 C T R L 2 (第 3 ビット線) を介し複数の第 1 重みを取得し、別の 1 つの処理を行うとき、メモリ 6 1 から制御線 C T R L 3 または C T R L 2 ′ (第 4 ビット線) を介し複数の第 1 重みを取得する。これにより、処理部 6 2 において、2 つの処理を並列に実行できる。

10

20

30

40

50

## 【 0 3 0 9 】

図 4 7 のように、メモリセル 1 0 および 1 0 ' が 2 R 1 W 型 N V S R A M メモリセルのとき、F E T M 3 のソースおよびドレインの他方は第 1 制御線 C T R L 1 に接続され、ゲートは第 1 ワード線 W W L に接続されている。F E T M 4 1 のソースおよびドレインの他方は第 2 制御線 C T R L 2 に接続され、ゲートは第 2 ワード線 R W L 1 に接続されている。F E T M 4 2 ( 第 5 F E T ) のソースおよびドレインの一方は記憶ノード Q 2 に接続され、ソースおよびドレインの他方は第 4 制御線 C T R L 3 に接続され、ゲートが第 3 ワード線 R W L 2 に接続されている。

## 【 0 3 1 0 】

メモリセル 1 0 および 1 0 ' が 2 R 1 W 型 U L V R - S R A M メモリセルのとき、図 4 8 のように、インバータ回路 1 6 ( 第 2 インバータ回路 ) において、F E T m 4 のソースおよびドレインの他方は第 1 制御線 C T R L 1 に接続され、ゲートは第 1 ワード線 W W L に接続されている。インバータ回路 1 4 において、F E T m 4 1 のソースおよびドレインの他方は第 2 制御線 C T R L 2 に接続され、ゲートは第 2 ワード線 R W L 1 に接続されている。F E T m 4 2 のソースおよびドレインの一方が第 2 記憶ノード Q 2 に接続され、ソースおよび前記ドレインの他方が第 3 制御線 C T R L 3 に接続され、ゲートが第 3 ワード線 R W L 2 に接続されている。

## 【 0 3 1 1 】

制御回路 2 8 は、ワード線 W W L を用い、図 4 7 における F E T M 3 または図 4 8 におけるインバータ回路 1 6 の F E T m 4 をオンし、制御線 C T R L 1 を用い双安定回路 1 2 にデータをライトする。制御回路 2 8 は、ワード線 R W L 1 を用い F E T M 4 1 または F E T m 4 1 をオンし、制御線 C T R L 2 を用い双安定回路 1 2 からデータをリードし、ワード線 R W L 2 を用い F E T M 4 2 または F E T m 4 2 をオンし、制御線 C T R L 3 を用い双安定回路 1 2 からデータをリードする。これにより、2 R 1 W 型 N V - S R A M セルおよび 2 R 1 W 型 U L V R S R A M セルにおいて、1 つの制御線 C T R L 1 を用いて、双安定回路 1 2 にデータをライトすることができる。また、ワード線 R W L 1 および R W L 2 を用い双安定回路 1 2 からデータをリードする制御線 C T R L 2 および C T R L 3 を選択することができる。

## 【 0 3 1 2 】

表 6 および表 7 のように、F E T M 1、M 2、F E T m 1 および m 2 が N 型チャネルのとき、制御回路 2 8 は、双安定回路 1 2 からデータをリードするときのワード線 W W L の電圧を、双安定回路 1 2 にデータをライトするときのワード線 W W L の電圧より高くし、かつ双安定回路 1 2 からデータをリードするときのワード線 R W L 1 および R W L 2 の電圧のうち高い方の電圧より低くする。これにより、リードするときの S N M を向上させることができる。リード動作のときのワード線 W W L の電圧は、ライト動作のときのワード線 W W L の電圧より ( V D D - V G N D ) / 1 0 以上高いことが好ましく、リード動作のときのワード線 R W L 1 および R W L 2 の電圧のうち高い方の電圧より ( V D D - V G N D ) / 1 0 以上低いことが好ましい。

## 【 0 3 1 3 】

F E T M 1 a、M 2 a、F E T m 1 a および m 2 a が P 型チャネルのとき、制御回路 2 8 は、双安定回路 1 2 からデータをリードするときのワード線 W W L の電圧を、双安定回路 1 2 にデータをライトするときのワード線 W W L の電圧より低くし、かつ双安定回路 1 2 からデータをリードするときのワード線 R W L 1 および R W L 2 のうち低い方の電圧より高くする。これにより、リードするときの S N M を向上できる。リード動作のときのワード線 W W L の電圧は、ライト動作のときのワード線 W W L の電圧より ( V D D - V G N D ) / 1 0 以上低いことが好ましく、リード動作のときのワード線 R W L 1 および R W L 2 の電圧のうち高い方の電圧より ( V D D - V G N D ) / 1 0 以上高いことが好ましい。

## 【 0 3 1 4 】

[ 実施例 3 の変形例 4 ]

図 5 6 は、実施例 3 の変形例 4 に係る N V - S R A M メモリセルの回路図である。図 5

10

20

30

40

50

6に示すように、セル78および78'は、実施例2のメモリセル10および10'とXNOR回路79を備えている。XNOR回路79は、FETM7~M9を備えている。FETM7において、ソースおよびドレインの一端は制御線CTRL1に接続され、ソースおよびドレインの他端はノードN5に接続され、ゲートは記憶ノードQ2に接続されている。FETM8において、ソースおよびドレインの一端は制御線CTRL2に接続され、ソースおよびドレインの他端はノードN5に接続され、ゲートは記憶ノードQ1に接続されている。FETM9において、ソースおよびドレインの一端はグランド線15bに接続され、ソースおよびドレインの他端は出力線SAINに接続され、ゲートはノードN5に接続されている。

#### 【0315】

メモリセル10のホールド状態において、XNOR回路79は、記憶ノードQ1と制御線CTRL1のXNOR(記憶ノードQ2と制御線CTRL2のXNORにも対応する)を出力線SAINに出力する。制御線CTRL1に1ビットの演算用データ(例えばHは1.2V、Lは0V)を入力し、制御線CTRL2に演算用データの相補データを入力する。出力線SAINには演算用データと記憶ノードQ1のXNORが出力される。

#### 【0316】

図57は、実施例3の変形例4に係るULVR-SRAMメモリセルの回路図である。図57に示すように、セル78および78'は、実施例1のメモリセル10および10'とXNOR回路79を備えている。XNOR回路79の回路構成および機能は、図56と同じである。

#### 【0317】

図58は、実施例3の変形例4におけるBNN装置のブロック図である。図58に示すように、メモリ51および61内のメモリセルは、図56または図57のセル78および78'である。処理部52および62はXNOR回路を備えていない。メモリ51からXNORを出力するとき、入力部48のノードx1~xnのデータおよびその相補データはメモリ51のそれぞれ制御線CTRL1および制御線CTRL2に入力する。メモリ51のセンスアンプは各列の出力線SAINからデータを読み出し、カウンタ54に出力する。メモリ61からXNORを出力するとき、出力部57のノードyiのデータおよびその相補データはメモリ61の制御線CTRL1および制御線CTRL2に入力する。メモリ61のセンスアンプは各列の出力線SAINからデータを読み出し、蓄積器64に出力する。

#### 【0318】

実施例3の変形例4のように、XNOR回路79は各セル78および78'に設けられていてもよい。実施例3の変形例1~3において、XNOR回路79を各セル78に設けてもよい。

#### 【0319】

実施例3の変形例4によれば、図56および図57のように、メモリ51および61は、メモリセル10および10'に対応するXNOR回路79(第1XNOR回路および第2XNOR回路)を備える。これにより、処理部52および62にXNOR回路53および63を設けなくてもよい。

#### 【0320】

#### [実施例3の変形例5]

図59(a)および図59(b)は、それぞれ比較例4および実施例3の変形例5のパワースイッチ付近のブロック図である。図59(a)に示すように、比較例4では、メモリアレイの1行に複数の6Tセル10が配列している。1行のセル10の個数は例えば512個である。1行のメモリセル10の電源線15a(仮想電源線)は共通に接続されている。パワースイッチ30では、スリープ状態用の電圧VDDLの電源15cLと電源線15aとの間に1個のFETPS2が設けられている。なお、電圧VDDHの電源15cHおよびパワースイッチ用FETPS1は図示を省略する。FETPS2がオンすると、電源線15aの仮想電源電圧VVDDはVDDLとなる。

10

20

30

40

50

## 【0321】

図59(b)に示すように、実施例3の変形例5では、パワースイッチ30は、メモリセル10毎にFETPS2が設けられ、各FETPS2は、スリープ状態用の電圧VDDLの電源15cLと電源線15aとの間に接続されている。なお、電圧VDDHの電源15cHおよびパワースイッチ用FETPS1は図示を省略する。FETPS2がオンすると、電源線15aの仮想電源電圧VVDDはVDDLとなる。

## 【0322】

図60は、実施例3の変形例5における6Tセルの回路図である。図60に示すように、メモリセル10および10'では、双安定回路12は、PFETM1'とNFETM1を有するインバータ回路14とPFETM2'とNFETM2を有するインバータ回路16を備えている。インバータ回路14と16とはループ状に接続されている。パストランジスタ用のNFETM3およびM4が設けられている。パワースイッチ30は、電圧VDDHを供給する電源15cHと電源線15aとを接続するFETPS1と、電圧VDDLを供給する電源15cLと電源線15aとを接続するFETPS2と、を備えている。電圧VDDHは、リードまたはライト動作のときの電源電圧(第2電源電圧)であり、例えば1.2Vである。電圧VDDLは、双安定回路12がデータを保持するがライトおよびリード動作は行わないスリープ状態のときの電源電圧(第1電源電圧)であり、例えばVDDHの1/3~1/4である。FETPS1(第2パワースイッチ)およびFETPS2(第1パワースイッチ)は、1個につき1個または数個(例えば10個以下)のメモリセル10の仮想電源線15aに接続されている。なお、FETPS1は、FETPS2より多くのセルにより接続されていてもよい。例えば1個のFETPS1は、64個、128個または256個のメモリセル10に接続されていてもよい。

## 【0323】

比較例4として、FETPS2を512個のメモリセル10に共通に設ける場合と、実施例3の変形例5として、FETPS2を1個のメモリセル10毎に設ける場合と、についてSNMおよびスタンバイパワーをシミュレーションした。図61(a)および図61(b)は、それぞれ比較例4および実施例3の変形例5におけるVDDLに対するSNMおよびスタンバイパワーを示す図である。

## 【0324】

図61(a)に示すように、比較例4では、VDDLが1.2VのときSNMは100mV~180mVである。VDDLを低くするとSNMは小さくなる。全てのSNMが80mV以上となる最小のVDDLは0.8Vである。このため、スリープ状態のVDDLを0.8Vと設定する。VDDLを0.8Vとしたときのスタンバイパワーは約1.6nWである。

## 【0325】

図61(b)に示すように、実施例3の変形例5では、VDDLが1.2VのときSNMは300mV以上である。VDDLを低くするとSNMは小さくなる。全てのSNMが80mV以上となる最小のVDDLは0.35Vである。このため、スリープ状態のVDDLを0.35Vと設定する。VDDLを0.35Vとしたときのスタンバイパワーは約0.5nWである。このように、図59(b)の実施例3の変形例5では、図59(a)の比較例4に比べ、待機時電力を削減できる。

## 【0326】

このように、実施例3の変形例5においてVDDLを低くしてもSNMを大きくできるのは、FETPS2に複数のメモリセル10を接続した場合は仮想電源電圧VVDDがVDDLより低くなってしまいSNMが劣化してしまうが、1個のメモリセル10のみ(または数個)接続した場合は仮想電源電圧VVDDをVDDLに保つことができるためである。

## 【0327】

実施例3の変形例5によれば、メモリセル10および10'として6Tメモリセルを用いても、リテンションのための電源電圧を低くできる。よって、メモリセルの面積を小さ

くしかつ消費電力を抑制できる。仮想電源方式を例に説明したが仮想接地方式でもよい。実施例3の変形例5を実施例3およびその変形例1~4のBNN装置に適用してもよい。実施例3およびその変形例は、BNN装置以外のニューラルネットワーク装置にも応用可能である。

【0328】

以上、本発明の好ましい実施例について詳述したが、本発明に係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【符号の説明】

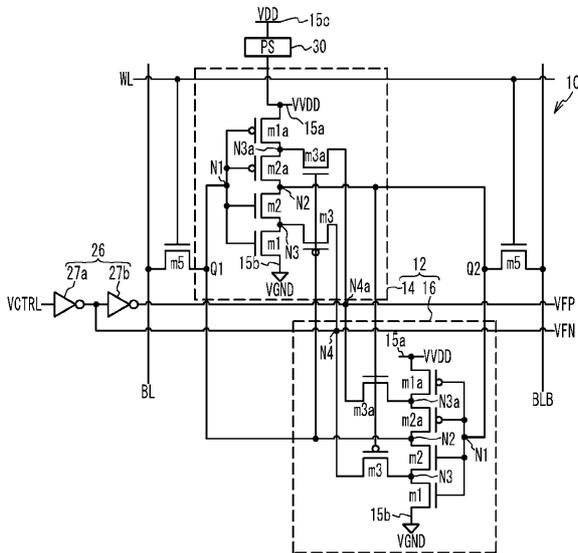
【0329】

- 10 メモリセル
- 12 双安定回路
- 14、16 インバータ回路
- 22 メモリアレイ
- 28 制御回路
- 30 パワースイッチ
- 32、32a、32b 選択回路
- 51、61 メモリ
- 52、62 処理部
- 79 XNOR回路

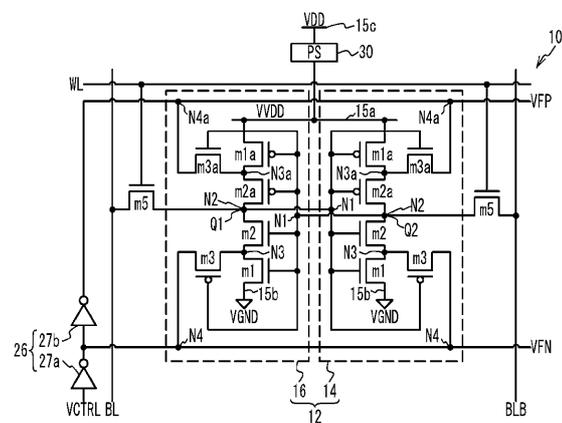
10

20

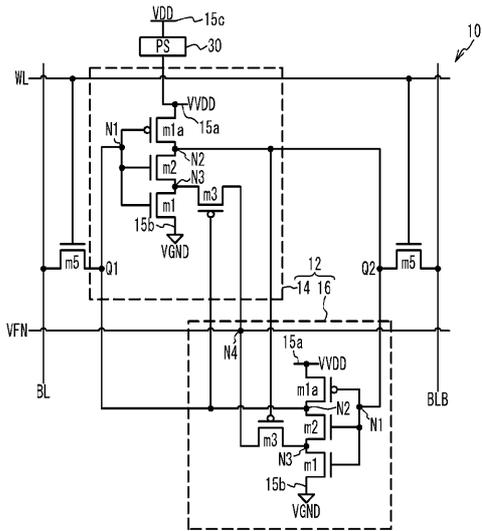
【図1】



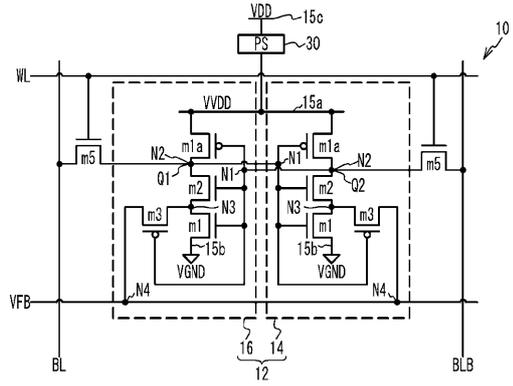
【図2】



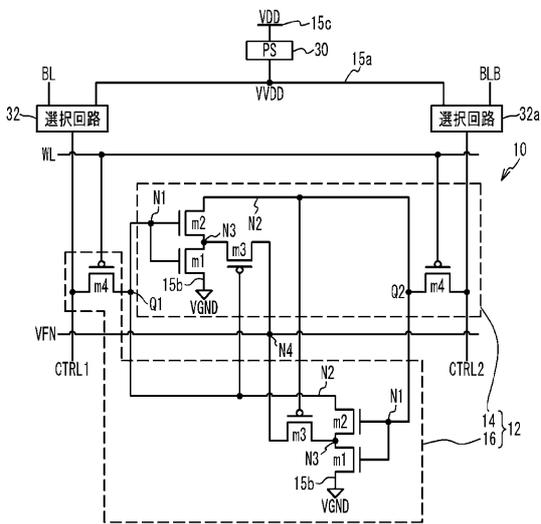
【 図 3 】



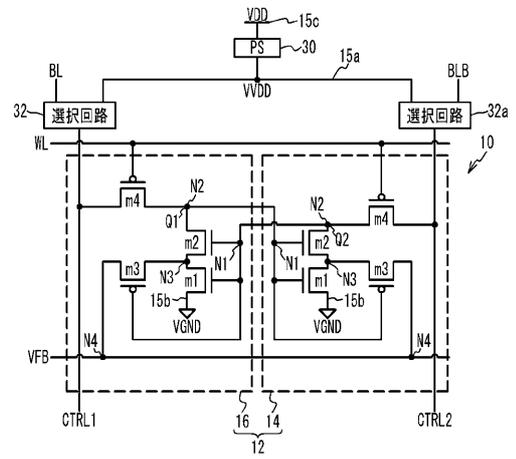
【 図 4 】



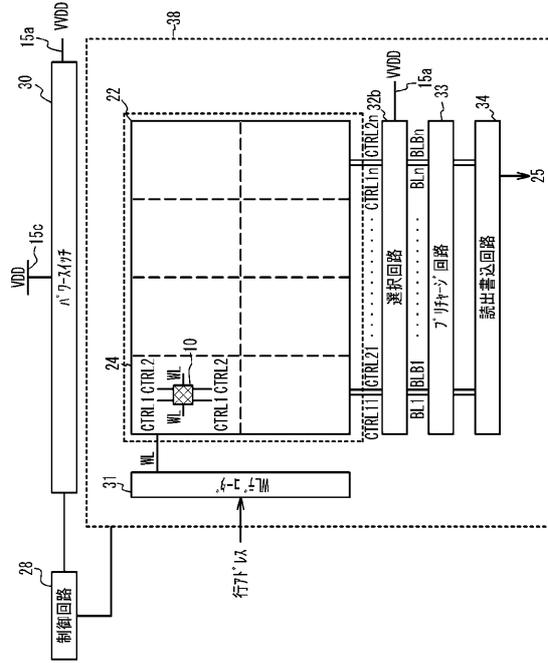
【 図 5 】



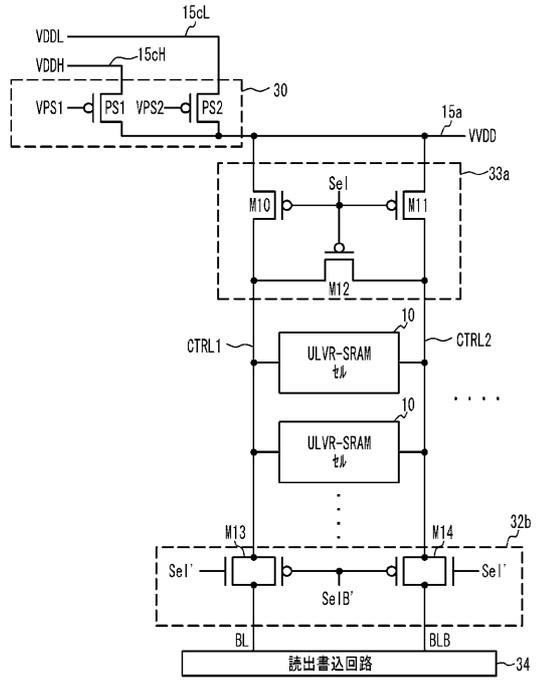
【 図 6 】



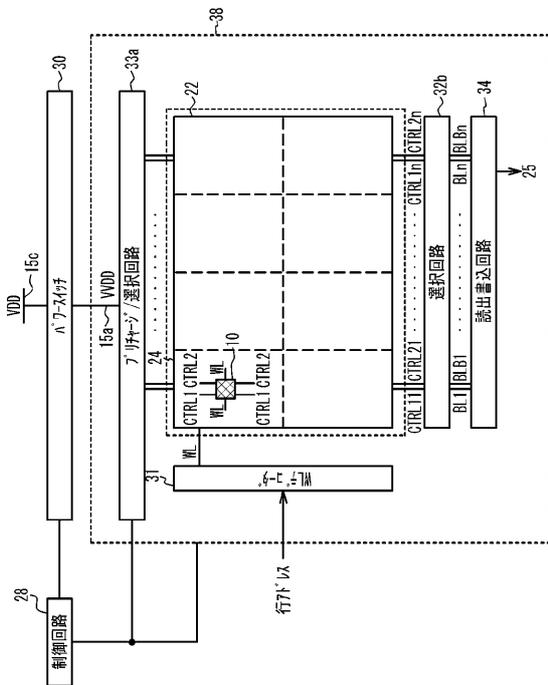
【図7A】



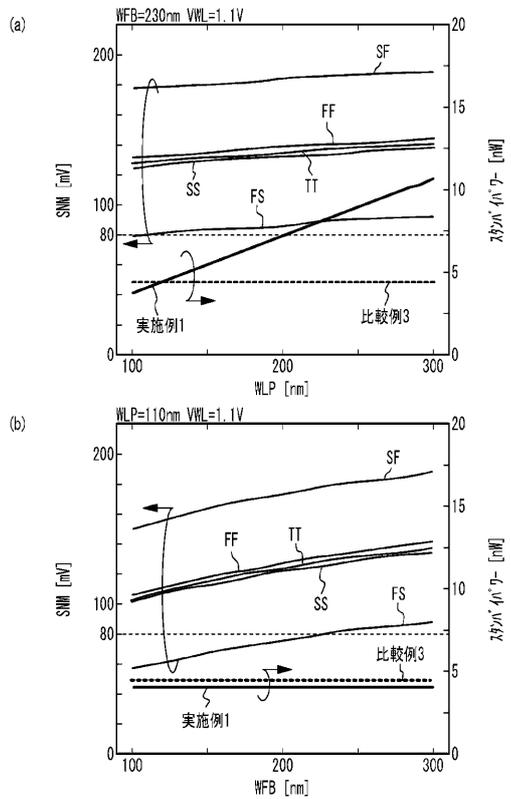
【図7B】



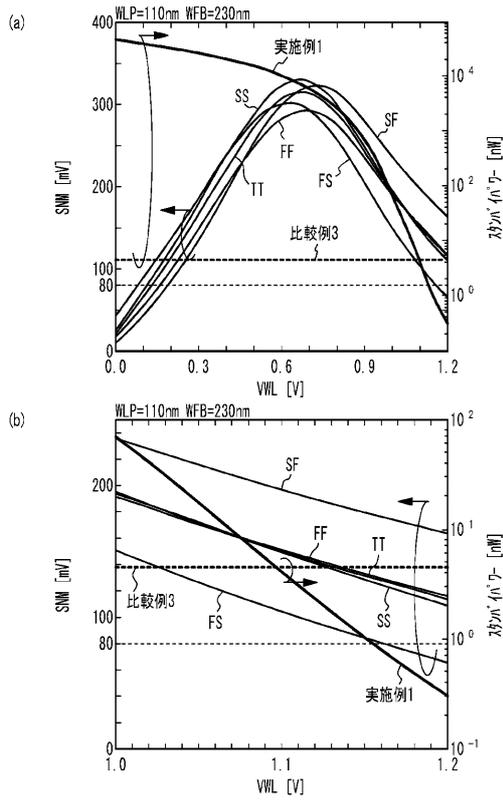
【図7C】



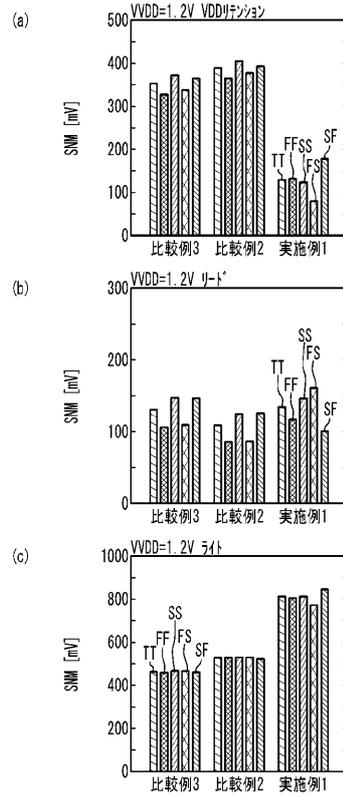
【図8】



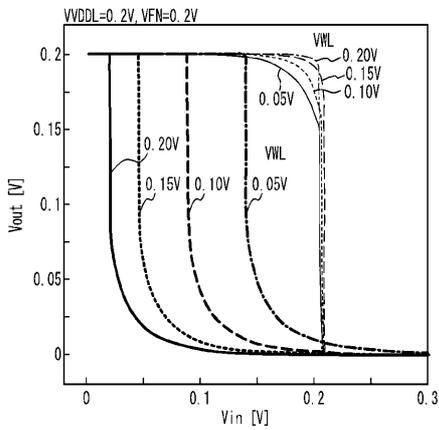
【図9】



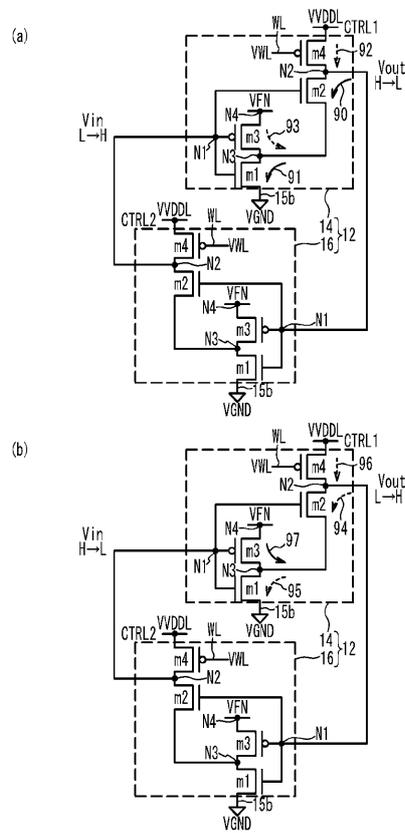
【図10】



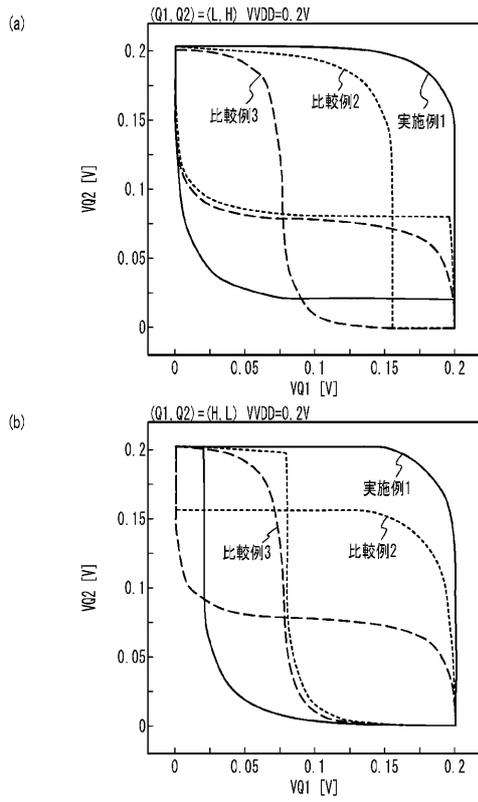
【図11】



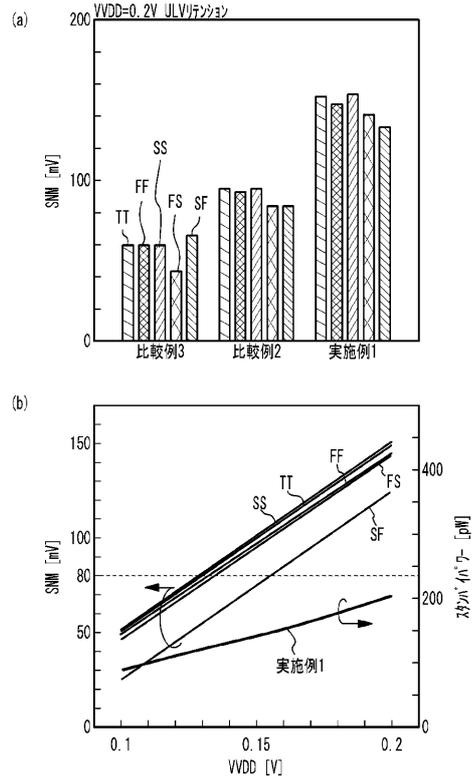
【図12】



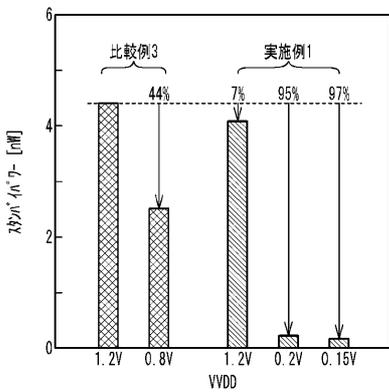
【図13】



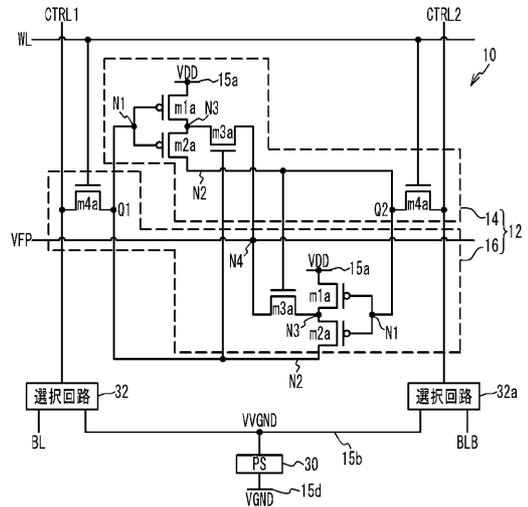
【図14】



【図15】

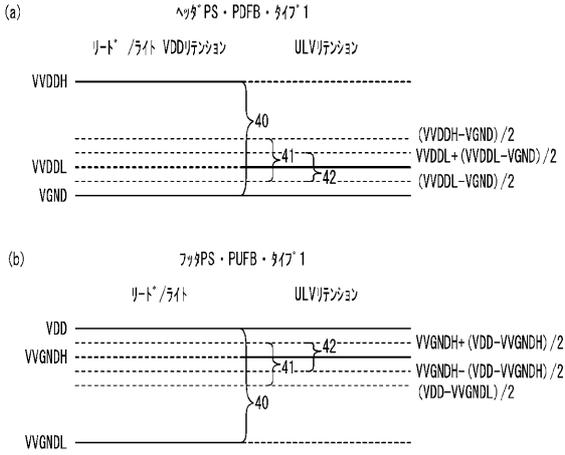


【図16】

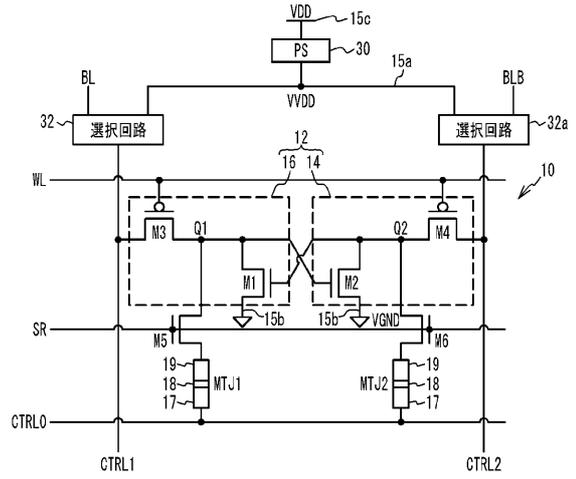




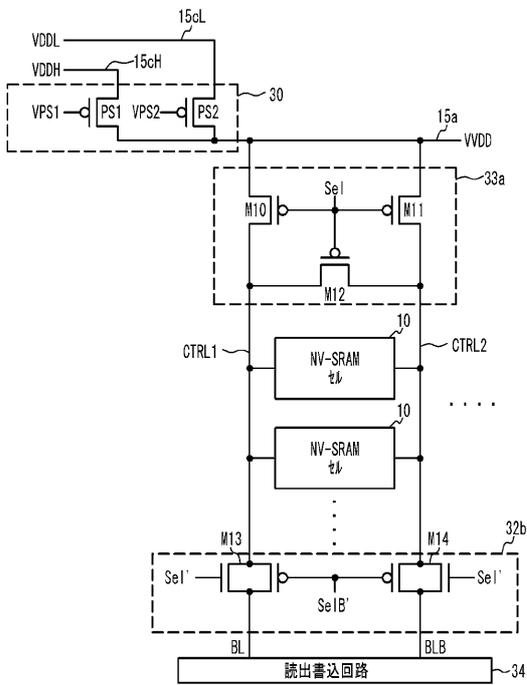
【図 2 1】



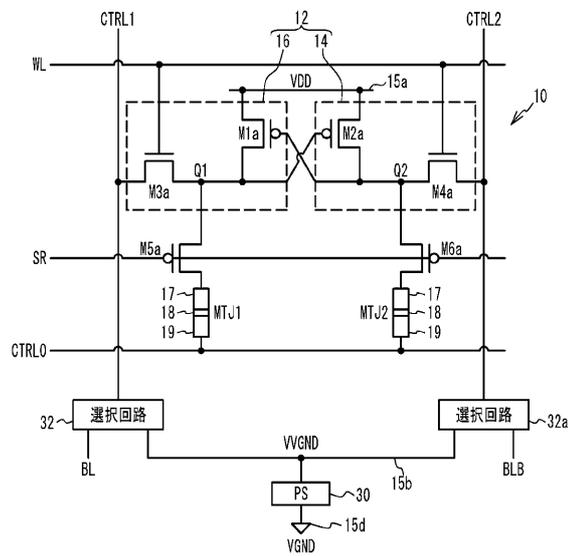
【図 2 2】



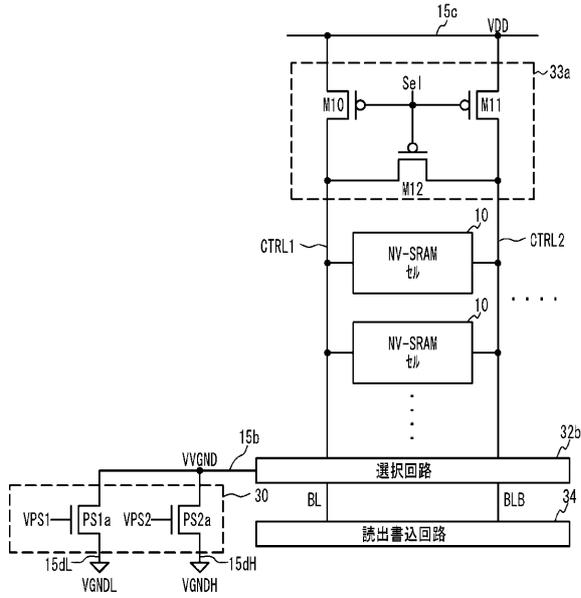
【図 2 3】



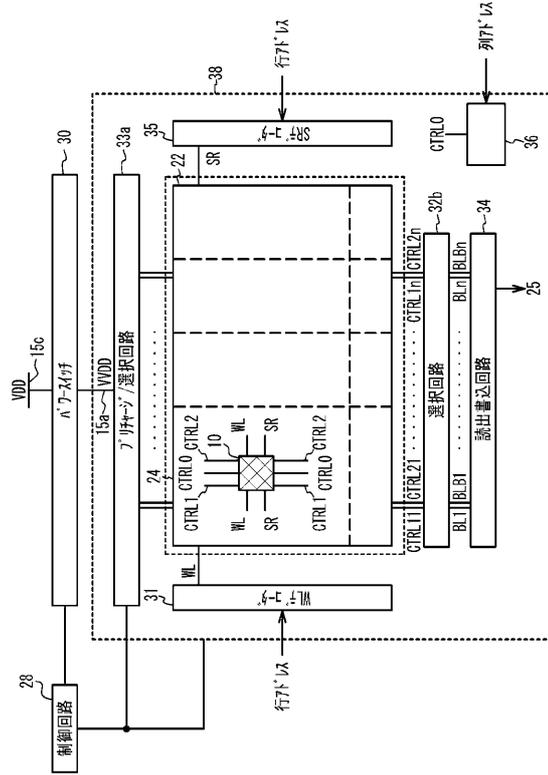
【図 2 4】



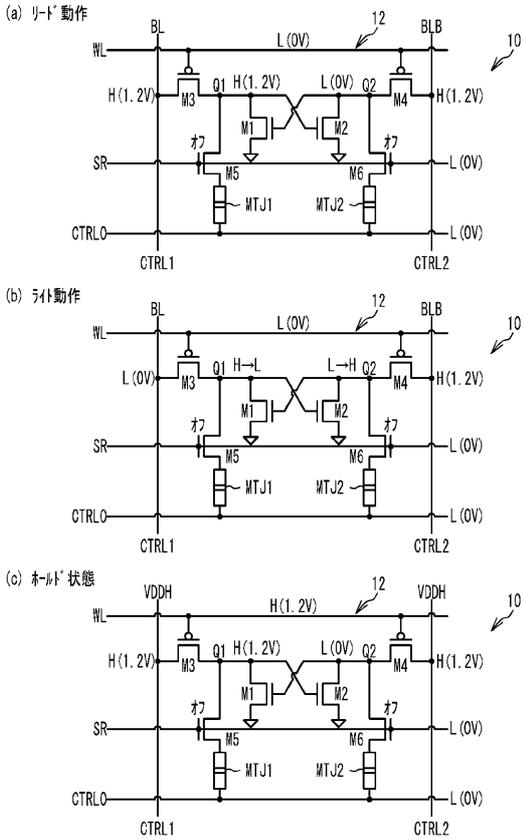
【図 25】



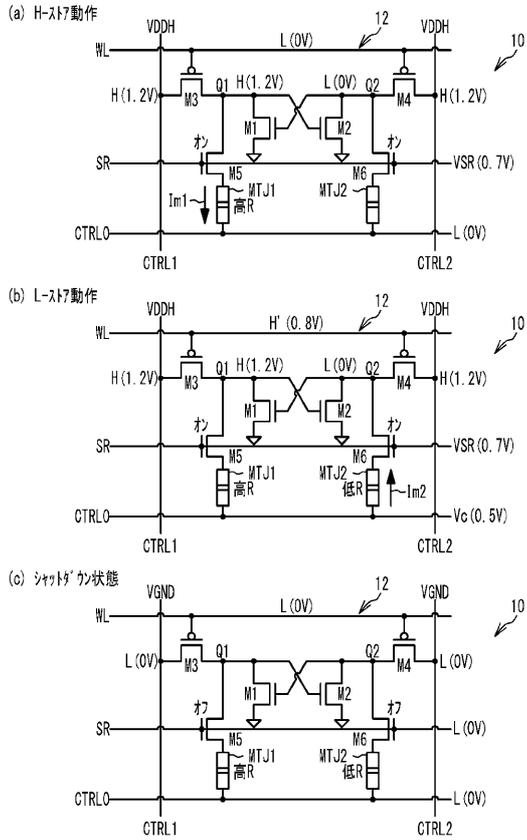
【図 26】



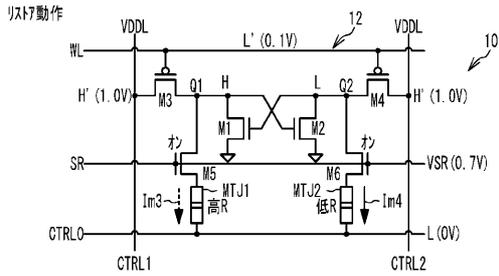
【図 27】



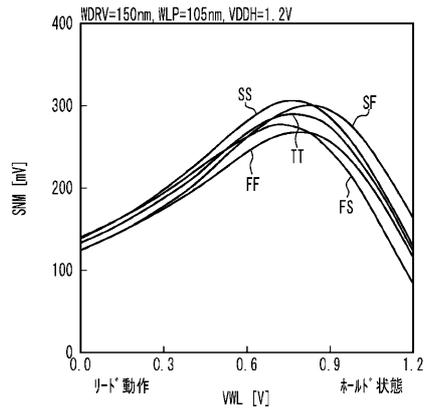
【図 28】



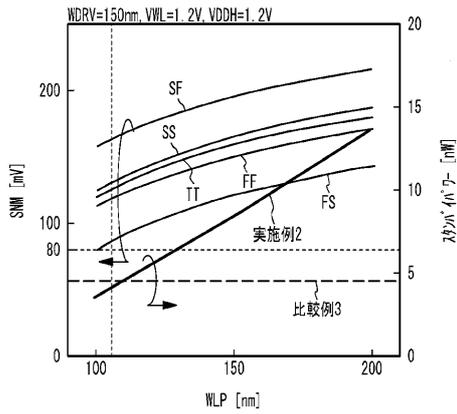
【図29】



【図31】

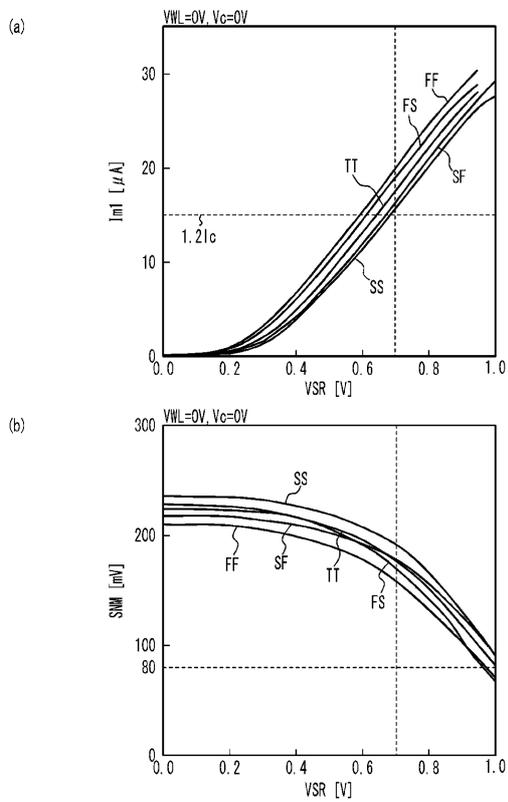


【図30】

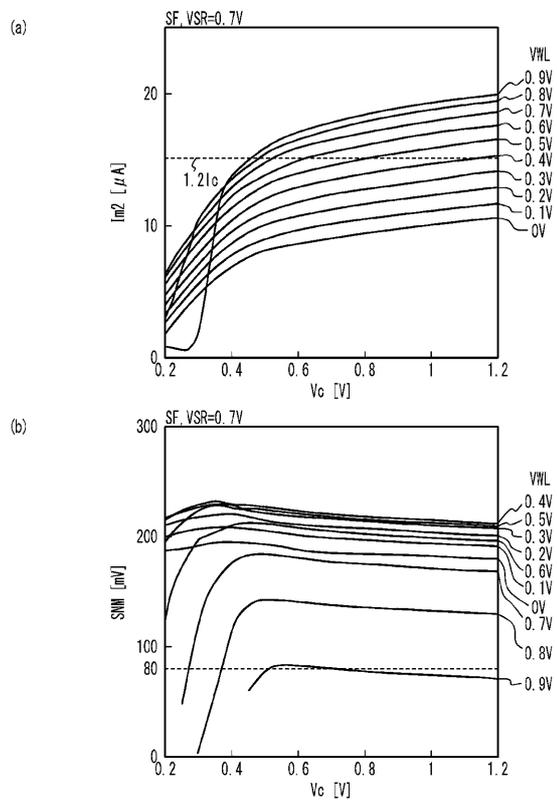


10

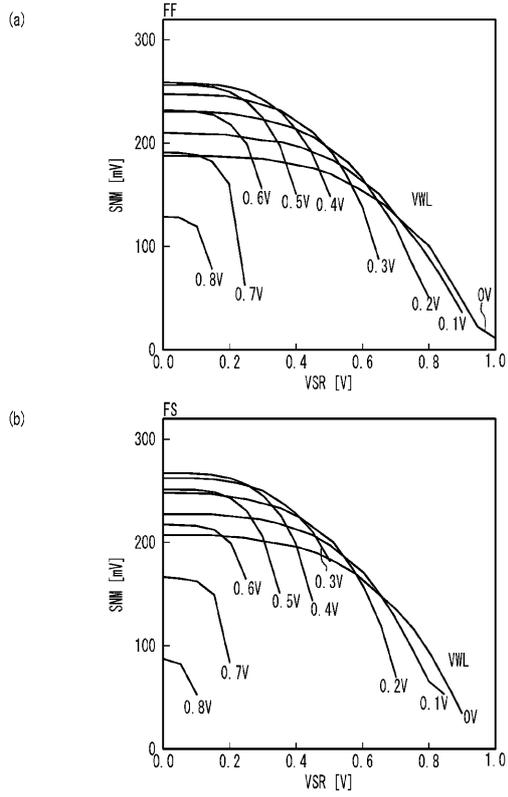
【図32】



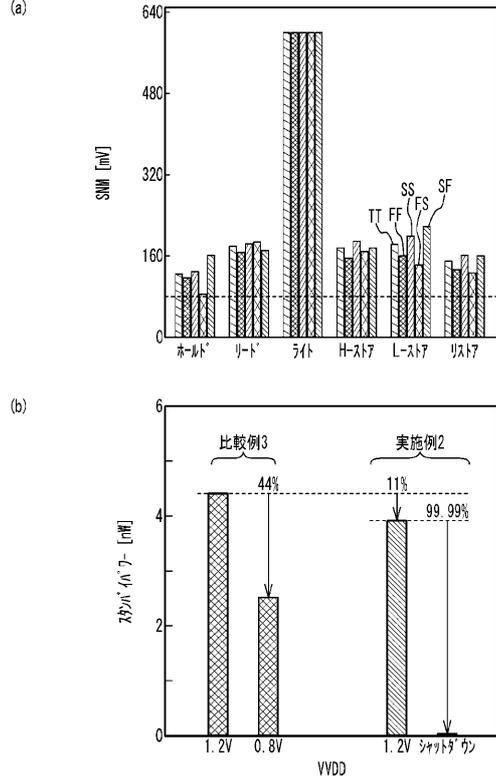
【図33】



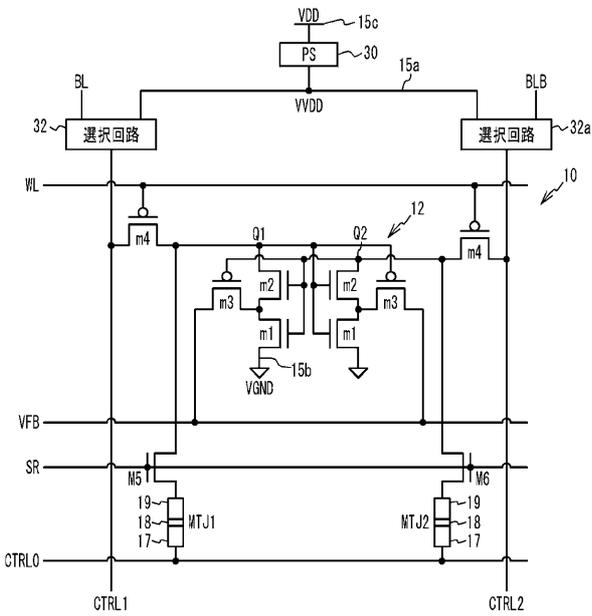
【図34】



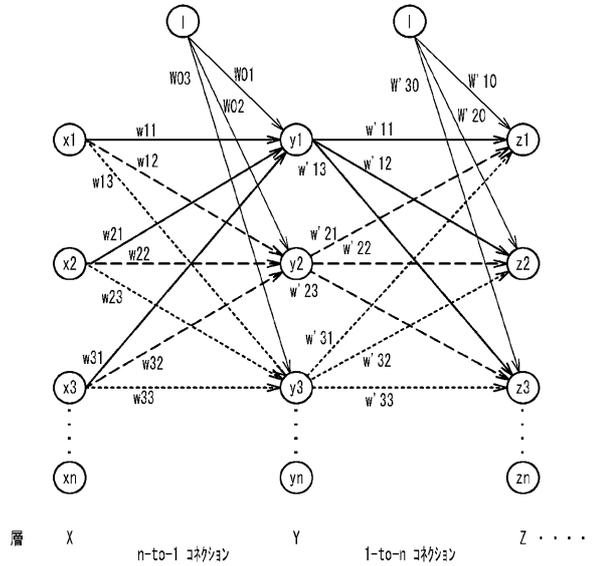
【図35】



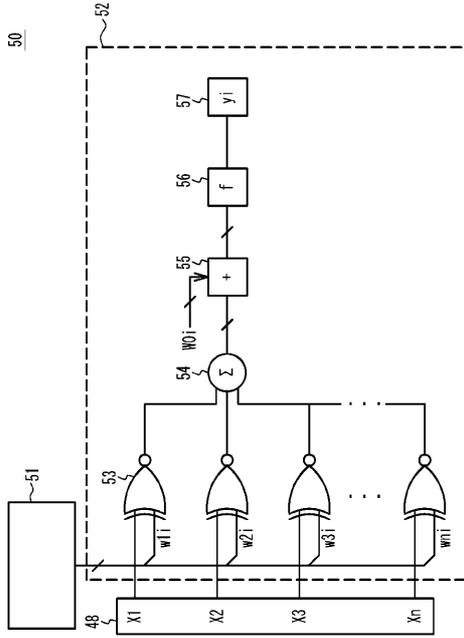
【図36】



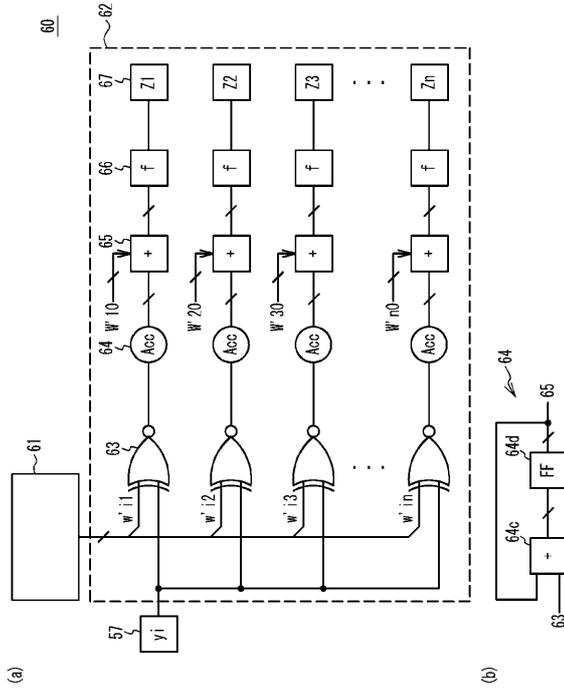
【図37】



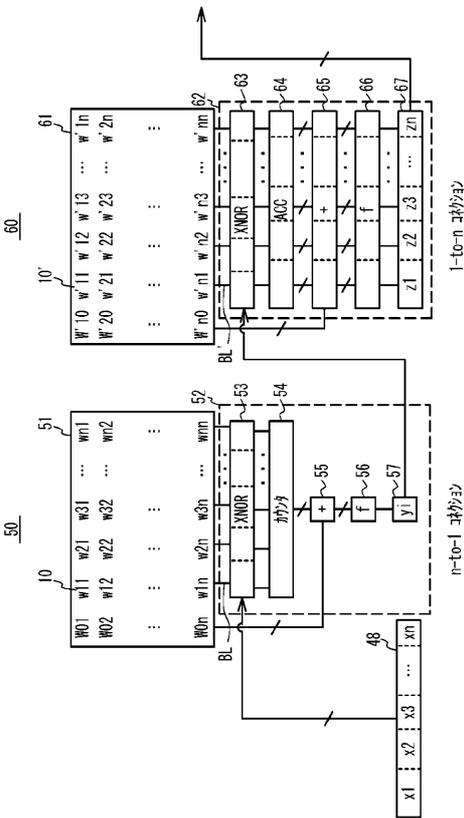
【図 38】



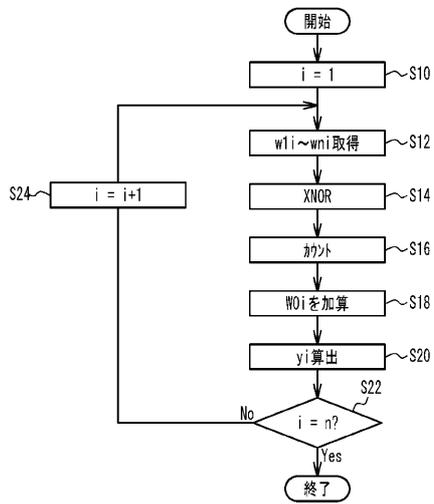
【図 39】



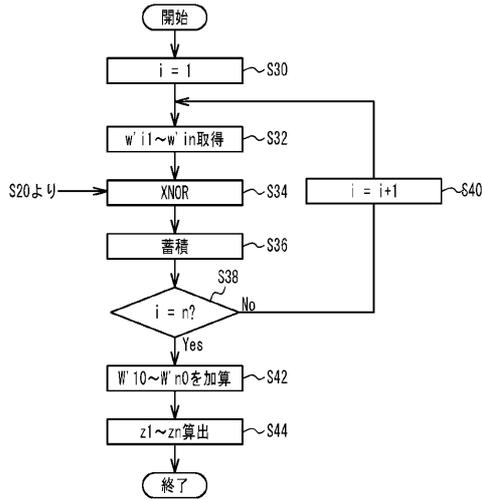
【図 40】



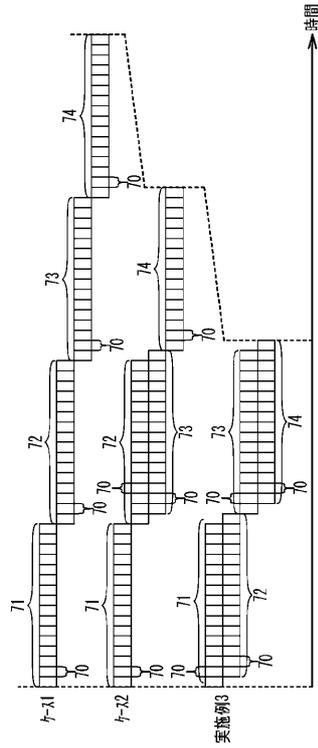
【図 41】



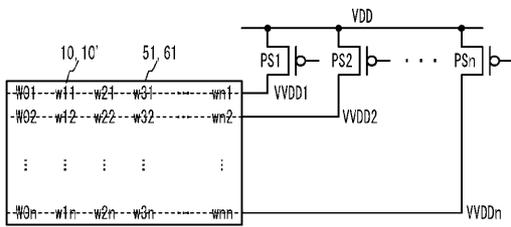
【図42】



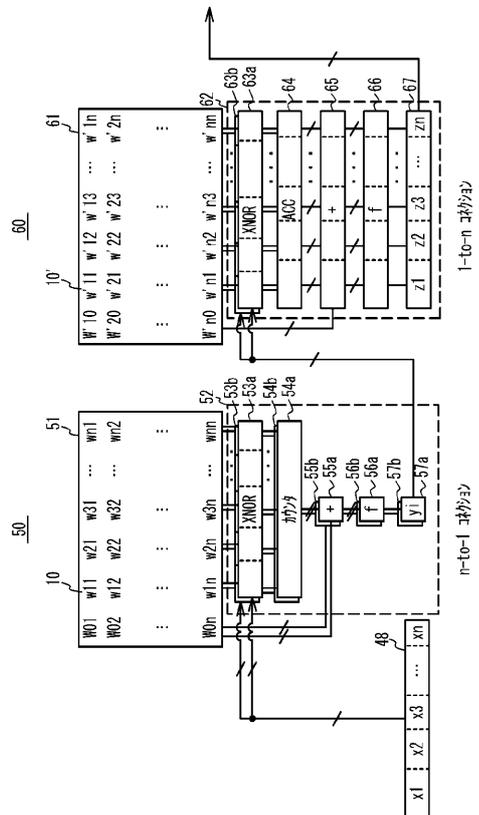
【図43】



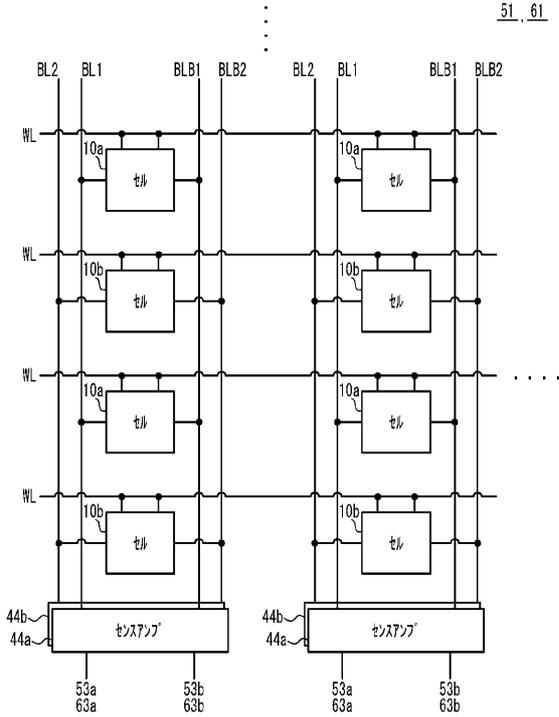
【図44】



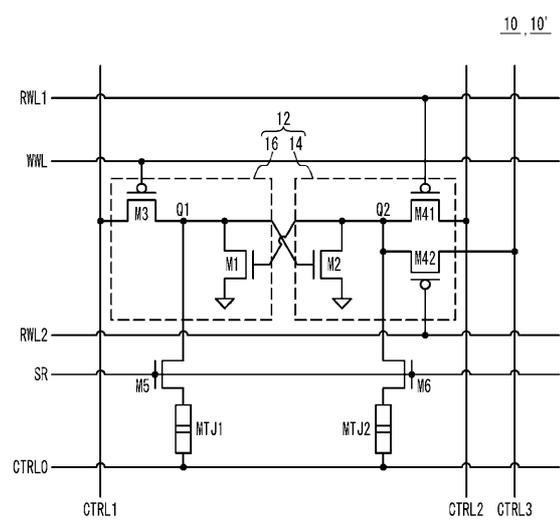
【図45】



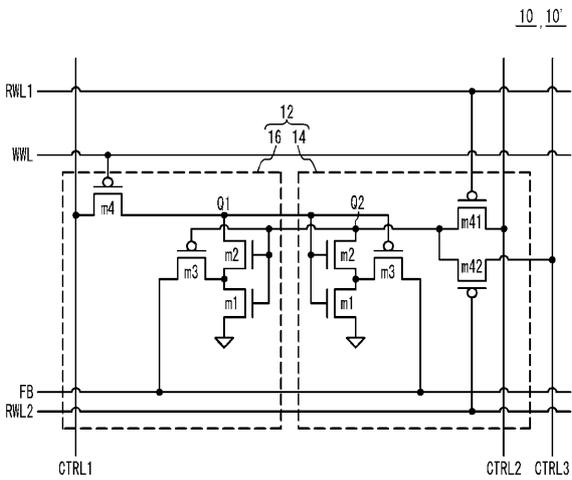
【 図 4 6 】



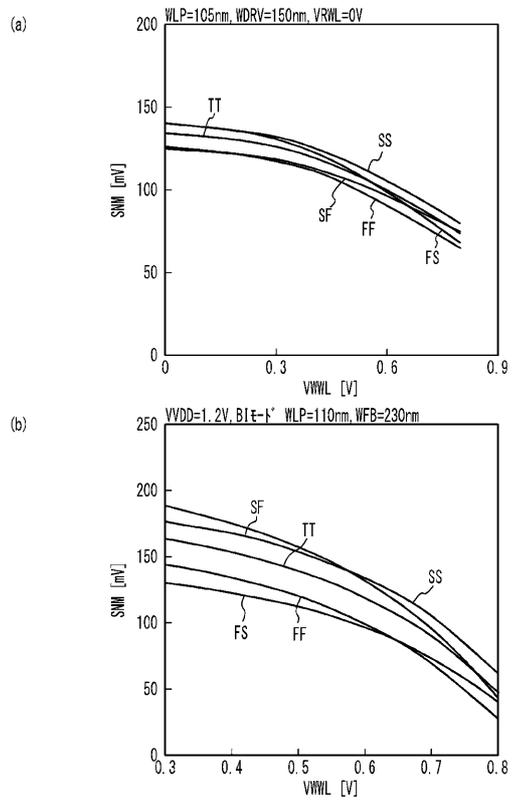
【 図 4 7 】



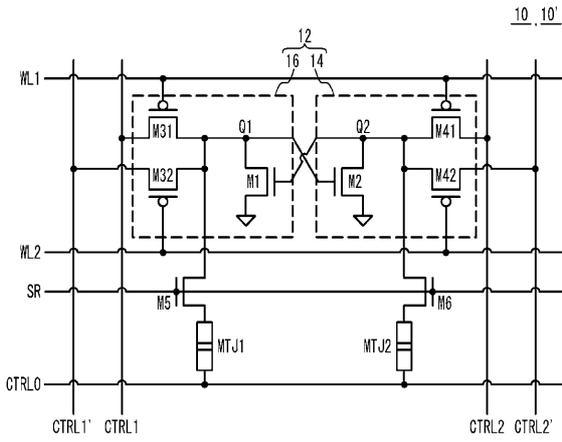
【 図 4 8 】



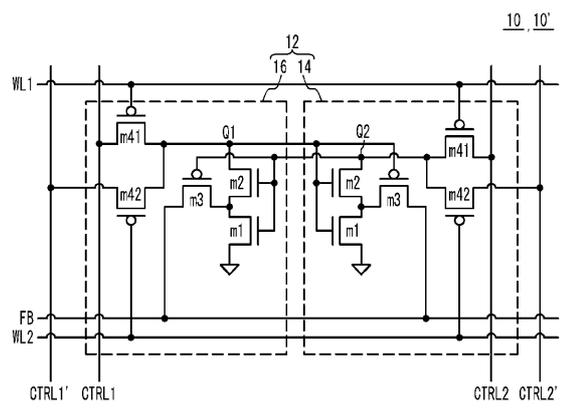
【 図 4 9 】



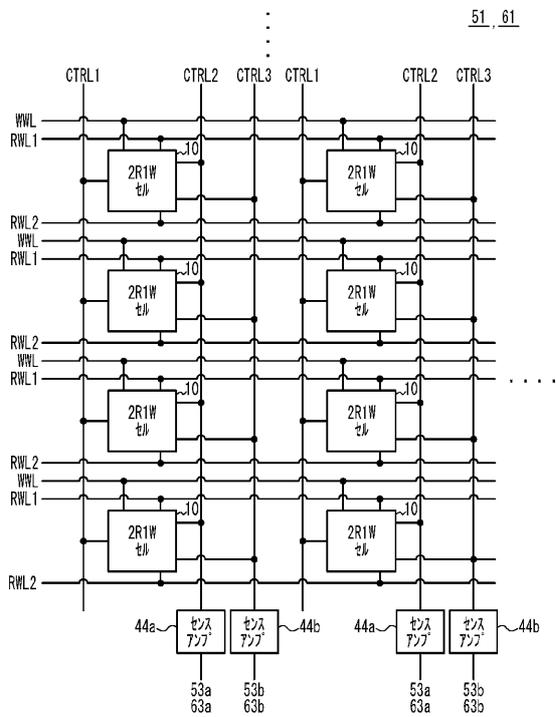
【図50】



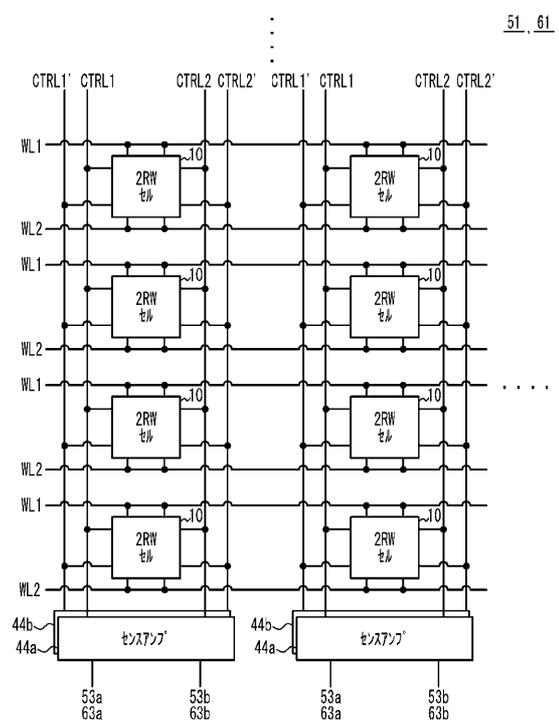
【図51】



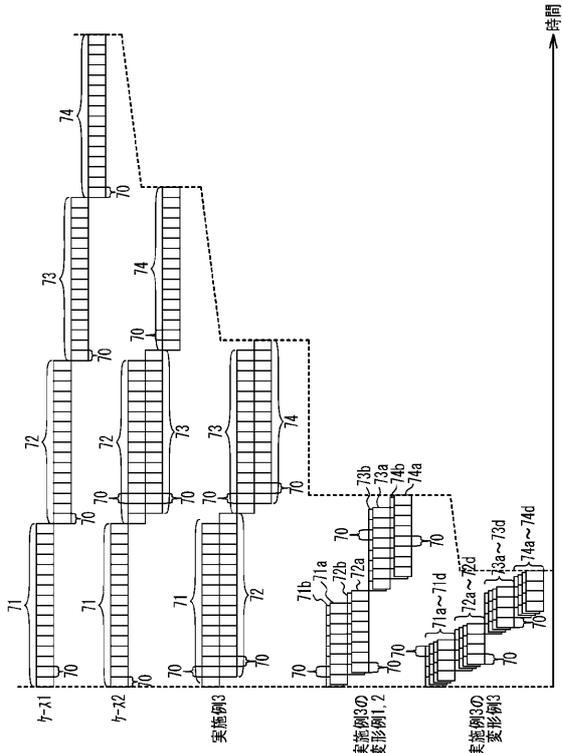
【図52】



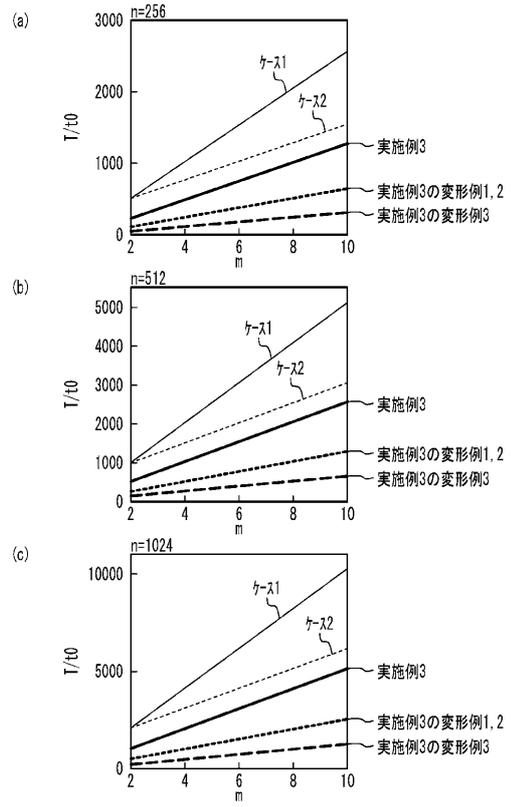
【図53】



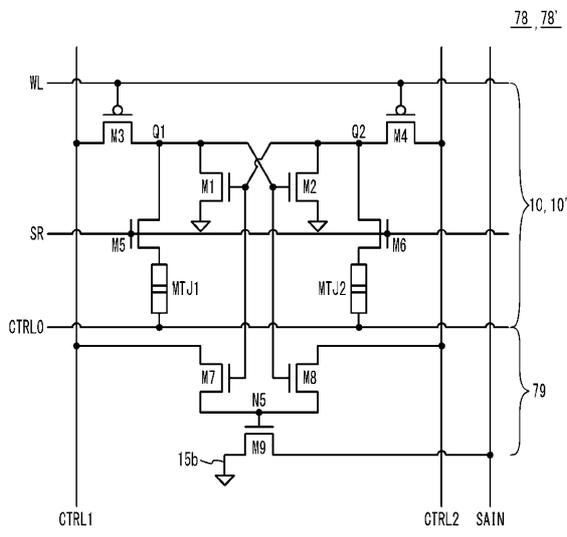
【図54】



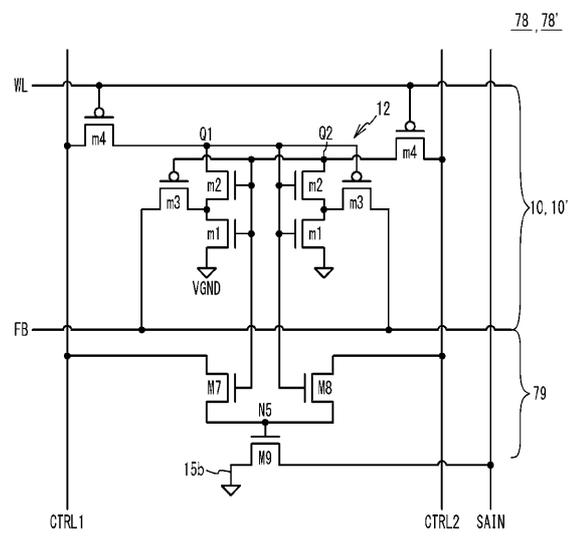
【図55】



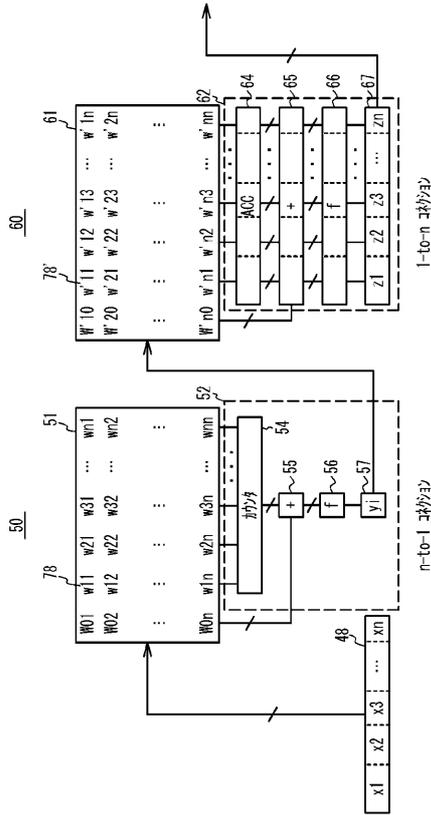
【図56】



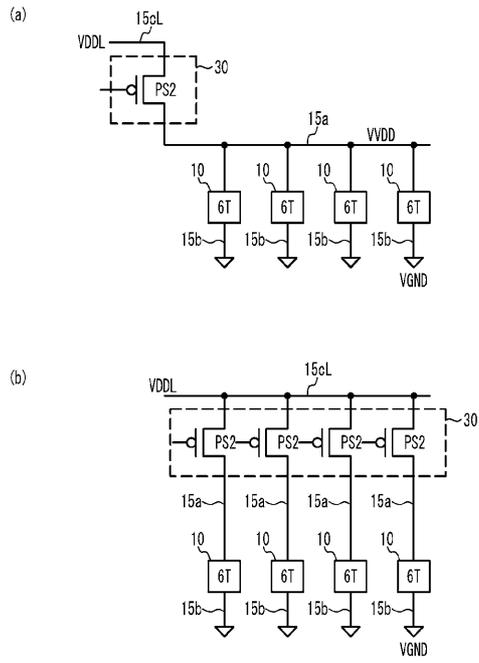
【図57】



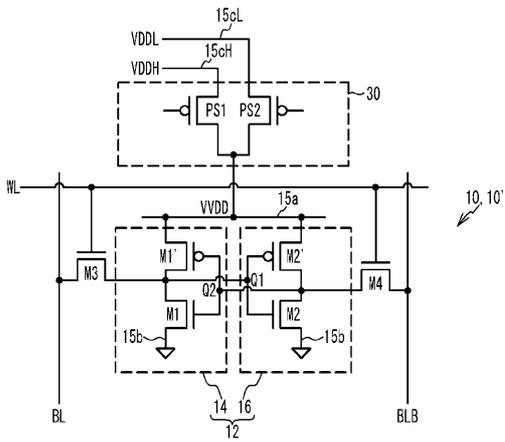
【 58 】



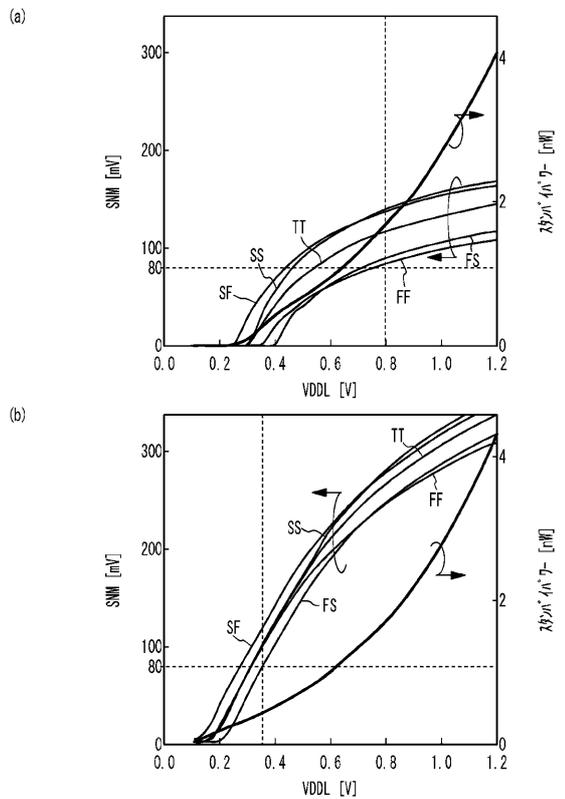
【 59 】



【 60 】



【 61 】



---

フロントページの続き

(56)参考文献 国際公開第2020/070830(WO, A1)  
特開2007-059043(JP, A)  
特表2013-525936(JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/412  
H03K 3/356  
H03K 3/3565