

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7430407号
(P7430407)

(45)発行日 令和6年2月13日(2024. 2. 13)

(24)登録日 令和6年2月2日(2024. 2. 2)

(51)Int. Cl.	F I
G 1 1 C 11/417 (2006. 01)	G 1 1 C 11/417 1 0 0
H 0 3 K 3/356 (2006. 01)	H 0 3 K 3/356 B
G 1 1 C 14/00 (2006. 01)	G 1 1 C 14/00 2 3 0

請求項の数 14 (全 70 頁)

(21)出願番号	特願2021-522653(P2021-522653)	(73)特許権者	503360115
(86)(22)出願日	令和2年3月18日(2020. 3. 18)		国立研究開発法人科学技術振興機構
(86)国際出願番号	PCT/JP2020/012099		埼玉県川口市本町四丁目1番8号
(87)国際公開番号	W02020/241000	(74)代理人	100087480
(87)国際公開日	令和2年12月3日(2020. 12. 3)		弁理士 片山 修平
審査請求日	令和4年12月12日(2022. 12. 12)	(72)発明者	菅原 聡
(31)優先権主張番号	特願2019-101720(P2019-101720)		東京都目黒区大岡山2-12-1 国立大 学法人東京工業大学内
(32)優先日	令和1年5月30日(2019. 5. 30)	(72)発明者	北形 大樹
(33)優先権主張国・地域又は機関	日本国(JP)		東京都目黒区大岡山2-12-1 国立大 学法人東京工業大学内
(31)優先権主張番号	特願2019-186042(P2019-186042)	(72)発明者	山本 修一郎
(32)優先日	令和1年10月9日(2019. 10. 9)		東京都目黒区大岡山2-12-1 国立大 学法人東京工業大学内
(33)優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54)【発明の名称】 電子回路

(57)【特許請求の範囲】

【請求項1】

各々のメモリセルが、伝達特性にヒステリシスを実質的に有さない第1モードと伝達特性にヒステリシスを有する第2モードとが切り替わる第1インバータ回路および第2インバータ回路を各々備え、前記第1インバータ回路の出力ノードおよび入力ノードは前記第2インバータ回路のそれぞれ入力ノードおよび出力ノードに接続された双安定回路を備える複数のメモリセルを有するセルアレイと、

前記複数のメモリセルのうち保持しなくてもよいデータを記憶する1または複数の第1メモリセルを電源遮断した後、前記複数のメモリセルのうち残りの1または複数の第2メモリセル内の双安定回路を前記第2モードとし、前記第2モードを維持した状態で前記1または複数の第2メモリセル内の双安定回路に、データをリードおよび/またはライトするとき双安定回路に供給される第1電源電圧より低く前記第2モードの双安定回路がデータを保持できる第2電源電圧を供給する制御回路と、
を備える電子回路。

【請求項2】

前記セルアレイは、各々のブロックが少なくとも2つのメモリセルを含む複数のブロックに分割され、

前記制御回路は、前記複数のブロックから保持しなくてもよいデータを記憶する1または複数の第1ブロックを抽出し、前記1または複数の第1ブロックを電源遮断した後、前記複数のブロックのうち残りの1または複数の第2ブロック内の双安定回路を前記第2モ

ードとし、前記第 2 モードを維持した状態で前記 1 または複数の第 2 ブロック内の双安定回路に前記第 2 電源電圧を供給する請求項 1 に記載の電子回路。

【請求項 3】

前記制御回路は、前記 1 または複数の第 2 ブロック内の双安定回路を前記第 2 モードとする前に、前記 1 または複数の第 2 ブロックに、前記第 1 電源電圧より低くかつ前記第 2 電源電圧より高く前記第 1 モードの双安定回路がデータを保持できる第 3 電源電圧を供給する請求項 2 に記載の電子回路。

【請求項 4】

前記制御回路は、前記 1 または複数の第 2 ブロック内の双安定回路に前記第 3 電源電圧を供給した状態で前記 1 または複数の第 2 ブロック内の双安定回路を前記第 2 モードとする請求項 3 に記載の電子回路。

10

【請求項 5】

前記 1 または複数の第 2 ブロックは複数の第 2 ブロックであり、

前記制御回路は、前記複数の第 2 ブロックのうち 1 または複数の第 3 ブロックの双安定回路に前記第 3 電源電圧を供給した状態で前記 1 または複数の第 3 ブロック内の双安定回路を前記第 2 モードとし、前記 1 または複数の第 3 ブロック内の双安定回路を前記第 2 モードとした状態で前記第 2 電源電圧を供給し、その後、前記複数の第 2 ブロックのうち前記 1 または複数の第 3 ブロックとは別の 1 または複数の第 4 ブロックの双安定回路に前記第 3 電源電圧を供給した状態で前記 1 または複数の第 4 ブロック内の双安定回路を前記第 2 モードとし、前記 1 または複数の第 4 ブロック内の双安定回路を前記第 2 モードとした状態で前記第 2 電源電圧を供給する請求項 3 に記載の電子回路。

20

【請求項 6】

前記 1 または複数の第 2 ブロックは複数の第 2 ブロックであり、

前記制御回路は、前記複数の第 2 ブロック内の双安定回路に前記第 3 電源電圧を供給した状態で前記複数の第 2 ブロック内の双安定回路を前記第 2 モードとした後、前記複数の第 2 ブロック内の双安定回路を前記第 2 モードとした状態で前記第 2 電源電圧を供給する請求項 3 に記載の電子回路。

【請求項 7】

前記セルアレイの外に設けられ、外部回路から受信した前記保持しなくてもよいデータを記憶するブロックを示す情報を記憶する記憶回路を備え、前記制御回路は、前記情報に基づき、前記保持しなくてもよいデータを記憶する前記 1 または複数の第 1 ブロックを抽出する請求項 2 から 6 のいずれか一項に記載の電子回路。

30

【請求項 8】

前記第 1 インバータ回路および前記第 2 インバータ回路は、

ソースが第 1 電源線に接続され、ドレインが出力ノードに接続され、ゲートが入力ノードに接続された第 1 導電型のチャンネルの第 1 F E T と、

ソースが前記第 1 電源線との間に電源電圧が供給される第 2 電源線に接続され、ドレインが中間ノードに接続され、ゲートが前記入力ノードに接続された前記第 1 導電型と反対の第 2 導電型のチャンネルの第 2 F E T と、

ソースが前記中間ノードに接続され、ドレインが前記出力ノードに接続され、ゲートが前記入力ノードに接続された前記第 2 導電型のチャンネルの第 3 F E T と、

40

ソースおよびドレインの一方が前記中間ノードに接続され、前記ソースおよび前記ドレインの他方が制御ノードに接続された第 4 F E T と、
を各々備え、

前記第 1 インバータ回路の第 4 F E T のゲートは、前記第 1 インバータ回路の入力ノード、出力ノード、前記第 2 インバータ回路の入力ノードおよび出力ノードのいずれか 1 つのノードに接続され、

前記第 2 インバータ回路の第 4 F E T のゲートは、前記第 2 インバータ回路の入力ノード、出力ノード、前記第 1 インバータ回路の入力ノードおよび出力ノードのいずれか 1 つのノードに接続され、

50

前記第 1 インバータ回路の第 4 F E T は、ゲートが前記第 1 インバータ回路の出力ノードまたは前記第 2 インバータ回路の入力ノードに接続されているとき前記第 2 導電型のチャンネルの F E T であり、ゲートが前記第 1 インバータ回路の入力ノードまたは前記第 2 インバータ回路の出力ノードに接続されているとき前記第 1 導電型のチャンネルの F E T であり、

前記第 2 インバータ回路の第 4 F E T は、ゲートが前記第 2 インバータ回路の出力ノードまたは前記第 1 インバータ回路の入力ノードに接続されているとき前記第 2 導電型のチャンネルの F E T であり、ゲートが前記第 2 インバータ回路の入力ノードまたは前記第 1 インバータ回路の出力ノードに接続されているとき前記第 1 導電型のチャンネルの F E T である請求項 1 から 7 のいずれか一項に記載の電子回路。

10

【請求項 9】

前記第 1 インバータ回路および前記第 2 インバータ回路の制御ノードには定バイアスが印加され、前記第 1 インバータ回路および前記第 2 インバータ回路は、前記第 1 電源電圧が供給される時前記第 1 モードとなり、前記第 2 電源電圧が供給される時前記第 2 モードとなる請求項 8 に記載の電子回路。

【請求項 10】

各々のメモリセルが、データを揮発的に記憶する双安定回路と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、を備える複数のメモリセルを有するセルアレイと、

前記セルアレイを電源遮断するときに、前記複数のメモリセルのうち揮発的に書き換えられているかいないかにかかわらず不揮発的にストアしなくてもよいデータを揮発的に記憶する 1 または複数の第 1 メモリセルを電源遮断し、前記 1 または複数の第 1 メモリセルを電源遮断した後前記複数のメモリセルのうち残りの 1 または複数の第 2 メモリセルにおいて双安定回路に揮発的に記憶されたデータを前記不揮発性素子にストアするストア動作を行い、その後前記 1 または複数の第 2 メモリセルを電源遮断する制御回路と、を備える電子回路。

20

【請求項 11】

前記セルアレイは、各々のブロックが少なくとも 2 つのメモリセルを含む複数のブロックに分割され、

前記制御回路は、前記セルアレイを電源遮断するときに、前記複数のブロックからブロック内のメモリセルが揮発的に書き換えられているかいないかにかかわらず不揮発的にストアしなくてもよいデータを揮発的に記憶する 1 または複数の第 1 ブロックを抽出し、前記 1 または複数の第 1 ブロックを電源遮断し、前記 1 または複数の第 1 ブロックを電源遮断した後前記複数のブロックのうち残りの 1 または複数の第 2 ブロック内のメモリセルにおいてストア動作を行い、ストア動作の終了した第 2 ブロックを電源遮断する請求項 10 に記載の電子回路。

30

【請求項 12】

前記制御回路は、前記 1 または複数の第 1 ブロックを全て電源遮断した後、前記 1 または複数の第 2 ブロック内のメモリセルにおいてストア動作を行う請求項 11 に記載の電子回路。

40

【請求項 13】

前記セルアレイの外に設けられ、外部回路から受信した前記 1 または複数の第 1 ブロックを示す情報を記憶する記憶回路を備え、

前記制御回路は、前記情報に基づき、前記 1 または複数の第 1 ブロックを抽出する請求項 11 または 12 に記載の電子回路。

【請求項 14】

前記制御回路は、前記複数のブロックから、ブロック内のメモリセルが揮発的に書き換えられているかいないかにかかわらず不揮発的にストアしなくてもよいデータを揮発的に記憶するブロックと、ブロック内のいずれのメモリセルも揮発的に書き換えられていないブロックと、を前記 1 または複数の第 1 ブロックとして抽出し、前記 1 または複数の第 1 ブ

50

ロックを電源遮断し、前記1または複数の第1ブロックを電源遮断した後前記複数のブロックのうち残りの1または複数の第2ブロック内のメモリセルにおいてストア動作を行い、ストア動作の終了した第2ブロックを電源遮断する請求項1.1から1.3のいずれか一項に記載の電子回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子回路に関し、例えば双安定回路を有する複数のメモリセルを備えた電子回路に関する。

【背景技術】

【0002】

不揮発性素子を用いず、CMOS (Complementary Metal Oxide Semiconductor)のみから構成されたインバータを用い、擬似不揮発性SRAM (VNR - SRAM)を構成できることが知られている(例えば特許文献1)。VNR - SRAMでは、超低電圧(ULV)リテンションが可能なシュミットトリガ(ST)モードと通常の電圧でSRAMと同等の回路性能を実現できるブーステッドインバータ(BI)モードとを切り替え可能なデュアルモードインバータを用いる。このULVリテンションをパワーゲーティング(PG)に用いることができる。

【0003】

双安定回路と不揮発性素子を有するメモリセル(NV - SRAM)を用いた記憶回路が知られている(例えば特許文献2)。NV - SRAMでは双安定回路のデータを不揮発性素子にストアし、不揮発性素子のデータを双安定回路にリストアする。

【0004】

NV - SRAMにおいて、通常のSRAMのように双安定回路にデータをライト(書き込み)およびリード(読み出し)するSRAM (Static Random Access Memory)動作、電源電圧を低くしてデータを保持するスリープ動作、双安定回路のデータを不揮発性素子にストアするストア動作、メモリセルの電源を遮断するシャットダウン動作および不揮発記憶素子にストアされたデータを双安定回路に書き戻すリストア動作を行なう記憶回路が知られている(例えば特許文献3)。ストア、シャットダウンおよびリストア動作を用いることでセルの記憶内容を失うことなく、電源遮断によるパワーゲーティング(PG)が可能になる。

【0005】

双安定回路に記憶されているデータと、不揮発性素子にストアされているデータが一致する場合、ストアをスキップする制御(ストアフリー動作)を行なう記憶回路が知られている(例えば特許文献4)。セルアレイを複数のブロックに分割し、ストア動作が終了したブロックの電源を遮断することが知られている(例えば特許文献5)。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】国際公開第2016/158691号

【特許文献2】国際公開第2009/028298号

【特許文献3】国際公開第2013/172066号

【特許文献4】国際公開第2013/172065号

【特許文献5】国際公開第2016/024527号

【発明の概要】

【発明が解決しようとする課題】

【0007】

特許文献1のVNR - SRAMでは、ULVリテンションすることで、セルの記憶内容を失うことなく、待機時電力を削減することができる。これにより、消費電力を抑制できる。しかし、VNR - SRAMでは、PG後に不要なデータについてもULVリテンシ

10

20

30

40

50

ンするため、PG時のリーク電流によるエネルギー消費の削減率が制約される。また、PG時にすべてのセルについてSTモードとBIモードの切り替えを行う。このため、モード切り替えのための時間(レイテンシ)やエネルギーオーバーヘッドが生じる。これらリーク電流、モード切り替えのためのエネルギー消費は損益分岐時間(BET: Break even time)の増大を招く。

【0008】

また、特許文献4および5のNV-SRAMでは、ストアフリー動作を行うことで、ストア不要なデータのストアを回避できる。しかし、セルアレイの記憶容量が大きくなると、ストア動作を待機するブロックに生じるリーク電流による消費電力によって、ストアフリーの効果は抑制される。また、ストアフリー動作では、PGに不要なデータであっても通常動作時に書き換えのあったデータに対してはストア動作を行ってしまう。このため、不要なエネルギーオーバーヘッドやストアに要するレイテンシのオーバーヘッドを生じてしまう。

10

【0009】

本発明は、上記課題に鑑みなされたものであり、消費電力および消費エネルギーを抑制することを目的とする。

【課題を解決するための手段】

【0010】

本発明は、各々のメモリセルが、伝達特性にヒステリシスを実質的に有さない第1モードと伝達特性にヒステリシスを有する第2モードとが切り替わる第1インバータ回路および第2インバータ回路を各々備え、前記第1インバータ回路の出力ノードおよび入力ノードは前記第2インバータ回路のそれぞれ入力ノードおよび出力ノードに接続された双安定回路を備える複数のメモリセルを有するセルアレイと、前記複数のメモリセルのうち保持しなくてもよいデータを記憶する1または複数の第1メモリセルを電源遮断した後、前記複数のメモリセルのうち残りの1または複数の第2メモリセル内の双安定回路を前記第2モードとし、前記第2モードを維持した状態で前記1または複数の第2メモリセル内の双安定回路に、データをリードおよび/またはライトするときに双安定回路に供給される第1電源電圧より低く前記第2モードの双安定回路がデータを保持できる第2電源電圧を供給する制御回路と、を備える電子回路である。

20

【0011】

上記構成において、前記セルアレイは、各々のブロックが少なくとも2つのメモリセルを含む複数のブロックに分割され、前記制御回路は、前記複数のブロックから保持しなくてもよいデータを記憶する1または複数の第1ブロックを抽出し、前記1または複数の第1ブロックを電源遮断した後、前記複数のブロックのうち残りの1または複数の第2ブロック内の双安定回路を前記第2モードとし、前記第2モードを維持した状態で前記1または複数の第2ブロック内の双安定回路に前記第2電源電圧を供給する構成とすることができる。

30

【0012】

上記構成において、前記制御回路は、前記1または複数の第2ブロック内の双安定回路を前記第2モードとする前に、前記1または複数の第2ブロックに、前記第1電源電圧より低くかつ前記第2電源電圧より高く前記第1モードの双安定回路がデータを保持できる第3電源電圧を供給する構成とすることができる。

40

【0013】

上記構成において、前記制御回路は、前記1または複数の第2ブロック内の双安定回路に前記第3電源電圧を供給した状態で前記1または複数の第2ブロック内の双安定回路を前記第2モードとする構成とすることができる。

【0014】

上記構成において、前記1または複数の第2ブロックは複数の第2ブロックであり、前記制御回路は、前記複数の第2ブロックのうち1または複数の第3ブロックの双安定回路に前記第3電源電圧を供給した状態で前記1または複数の第3ブロック内の双安定回路を

50

前記第 2 モードとし、前記 1 または複数の第 3 ブロック内の双安定回路を前記第 2 モードとした状態で前記第 2 電源電圧を供給し、その後、前記複数の第 2 ブロックのうち前記 1 または複数の第 3 ブロックとは別の 1 または複数の第 4 ブロックの双安定回路に前記第 3 電源電圧を供給した状態で前記 1 または複数の第 4 ブロック内の双安定回路を前記第 2 モードとし、前記 1 または複数の第 4 ブロック内の双安定回路を前記第 2 モードとした状態で前記第 2 電源電圧を供給する構成とすることができる。

【 0 0 1 5 】

上記構成において、前記 1 または複数の第 2 ブロックは複数の第 2 ブロックであり、前記制御回路は、前記複数の第 2 ブロック内の双安定回路に前記第 3 電源電圧を供給した状態で前記複数の第 2 ブロック内の双安定回路を前記第 2 モードとした後、前記複数の第 2 ブロック内の双安定回路を前記第 2 モードとした状態で前記第 2 電源電圧を供給する構成とすることができる。

10

【 0 0 1 6 】

上記構成において、前記セルアレイの外に設けられ、外部回路から受信した前記保持しなくてもよいデータを記憶するブロックを示す情報を記憶する記憶回路を備え、前記制御回路は、前記情報に基づき、前記保持しなくてもよいデータを記憶する前記 1 または複数の第 1 ブロックを抽出する構成とすることができる。

【 0 0 1 7 】

上記構成において、前記第 1 インバータ回路および前記第 2 インバータ回路は、ソースが第 1 電源線に接続され、ドレインが出力ノードに接続され、ゲートが入力ノードに接続された第 1 導電型のチャンネルの第 1 F E T と、ソースが前記第 1 電源線との間に電源電圧が供給される第 2 電源線に接続され、ドレインが中間ノードに接続され、ゲートが前記入力ノードに接続された前記第 1 導電型と反対の第 2 導電型のチャンネルの第 2 F E T と、ソースが前記中間ノードに接続され、ドレインが前記出力ノードに接続され、ゲートが前記入力ノードに接続された前記第 2 導電型のチャンネルの第 3 F E T と、ソースおよびドレインの一方が前記中間ノードに接続され、前記ソースおよび前記ドレインの他方が制御ノードに接続された第 4 F E T と、を各々備え、前記第 1 インバータ回路の第 4 F E T のゲートは、前記第 1 インバータ回路の入力ノード、出力ノード、前記第 2 インバータ回路の入力ノードおよび出力ノードのいずれか 1 つのノードに接続され、前記第 2 インバータ回路の第 4 F E T のゲートは、前記第 2 インバータ回路の入力ノード、出力ノード、前記第 1 インバータ回路の入力ノードおよび出力ノードのいずれか 1 つのノードに接続され、前記第 1 インバータ回路の第 4 F E T は、ゲートが前記第 1 インバータ回路の出力ノードまたは前記第 2 インバータ回路の入力ノードに接続されているとき前記第 2 導電型のチャンネルの F E T であり、ゲートが前記第 1 インバータ回路の入力ノードまたは前記第 2 インバータ回路の出力ノードに接続されているとき前記第 1 導電型のチャンネルの F E T であり、前記第 2 インバータ回路の第 4 F E T は、ゲートが前記第 2 インバータ回路の出力ノードまたは前記第 1 インバータ回路の入力ノードに接続されているとき前記第 2 導電型のチャンネルの F E T であり、ゲートが前記第 2 インバータ回路の入力ノードまたは前記第 1 インバータ回路の出力ノードに接続されているとき前記第 1 導電型のチャンネルの F E T である構成とすることができる。

20

30

40

【 0 0 1 8 】

上記構成において、前記第 1 インバータ回路および前記第 2 インバータ回路の制御ノードには定バイアスが印加され、前記第 1 インバータ回路および前記第 2 インバータ回路は、前記第 1 電源電圧が供給されるとき前記第 1 モードとなり、前記第 2 電源電圧が供給されるとき前記第 2 モードとなる構成とすることができる。

【 0 0 1 9 】

本発明は、ソースが第 1 電源線に接続され、ドレインが出力ノードに接続され、ゲートが入力ノードに接続された第 1 導電型のチャンネルの第 1 F E T と、ソースが前記第 1 電源線との間に電源電圧が供給される第 2 電源線に接続され、ドレインが中間ノードに接続され、ゲートが前記入力ノードに接続された前記第 1 導電型と反対の第 2 導電型のチャンネル

50

の第2 F E Tと、ソースが前記中間ノードに接続され、ドレインが前記出力ノードに接続され、ゲートが前記入力ノードに接続された前記第2導電型のチャンネルの第3 F E Tと、ソースおよびドレインの一方が前記中間ノードに接続され、前記ソースおよび前記ドレインの他方が制御ノードに接続された前記第1導電型のチャンネルの第4 F E Tと、を各々備える第1インバータ回路および第2インバータ回路と、前記第1インバータ回路の出力ノードおよび前記第2インバータ回路の入力ノードが接続された第1記憶ノードと、前記第1インバータ回路の入力ノードおよび前記第2インバータ回路の出力ノードが接続された第2記憶ノードと、を備え、前記第1インバータ回路の第4 F E Tのゲートは、前記第1インバータ回路の入力ノードまたは前記第2インバータ回路の出力ノードに接続され、前記第2インバータ回路の第4 F E Tのゲートは前記第2インバータ回路の入力ノードまたは前記第1インバータ回路の出力ノードに接続された双安定回路である。

10

【0020】

本発明は、上記双安定回路と、前記電源電圧を、前記双安定回路がデータをライトおよびリード可能な第1電圧と、前記第1電圧より低く前記双安定回路がデータを保持可能な第2電圧と、に切り替えて供給する電源回路と、を備える電子回路である。

【0021】

上記構成において、前記電源回路が前記双安定回路に前記第1電圧および前記第2電圧のいずれを供給するときにも、前記制御ノードには定バイアスが供給される構成とすることができる。

【0022】

上記構成において、前記定バイアスは、前記第1電圧が供給されるときの前記第1電源線の電圧と前記第2電源線の電圧との間のバイアスである構成とすることができる。

20

【0023】

上記構成において、前記定バイアスは、前記第1電圧が供給されるときの前記第1電源線の電圧と前記第2電源線の電圧との中間より前記第2電源線の電圧に近い構成とすることができる。

【0024】

上記構成において、前記第4 F E TがPチャンネルF E Tのとき、前記電源回路が前記第1電圧および前記第2電圧を供給するとき前記制御ノードにそれぞれローレベルおよび前記ローレベルより高いハイレベルを供給し、前記第4 F E TがNチャンネルF E Tのとき、前記電源回路が前記第1電圧および前記第2電圧を供給するとき前記制御ノードにそれぞれハイレベルおよび前記ハイレベルより低いローレベルを供給する制御回路を備える構成とすることができる。

30

【0025】

本発明は、ソースが第1電源線に接続され、ドレインが出力ノードに接続され、ゲートが入力ノードに接続された第1導電型のチャンネルの第1 F E Tと、ソースが前記第1電源線との間に電源電圧が供給される第2電源線に接続され、ドレインが中間ノードに接続され、ゲートが前記入力ノードに接続された前記第1導電型と反対の第2導電型のチャンネルの第2 F E Tと、ソースが前記中間ノードに接続され、ドレインが前記出力ノードに接続され、ゲートが前記入力ノードに接続された前記第2導電型のチャンネルの第3 F E Tと、ソースおよびドレインの一方が前記中間ノードに接続され、前記ソースおよび前記ドレインの他方が制御ノードに接続された第4 F E Tと、を各々備える第1インバータ回路および第2インバータ回路と、前記第1インバータ回路の出力ノードおよび前記第2インバータ回路の入力ノードが接続された第1記憶ノードと、前記第1インバータ回路の入力ノードおよび前記第2インバータ回路の出力ノードが接続された第2記憶ノードと、を備え、前記第1インバータ回路の第4 F E Tのゲートは、前記第1インバータ回路の入力ノード、出力ノード、前記第2インバータ回路の入力ノードおよび出力ノードのいずれか1つのノードに接続され、前記第2インバータ回路の第4 F E Tのゲートは、前記第2インバータ回路の入力ノード、出力ノード、前記第1インバータ回路の入力ノードおよび出力ノードのいずれか1つのノードに接続された双安定回路と、前記電源電圧を、前記双安定回路

40

50

がデータをライトおよびリード可能な第1電圧と、前記第1電圧より低く前記双安定回路がデータを保持可能な第2電圧と、に切り替えて供給する電源回路と、を備え、前記電源回路が前記双安定回路に前記第1電圧および前記第2電圧のいずれを供給するときにも、前記制御ノードには定バイアスが供給される電子回路である。

【0026】

上記構成において、前記電源回路は、前記電源電圧を前記第1電圧と前記第2電圧とに切り替えるときに、前記第2電源線には一定の第3電圧を供給し、前記第1電源線に供給する電圧をそれぞれ第4電圧と第5電圧とに切り替える構成とすることができる。

【0027】

上記構成において、前記定バイアスは、前記第3電圧と前記第4電圧との間のバイアスである構成とすることができる。

10

【0028】

上記構成において、前記第1インバータ回路の第4FETは、ゲートが前記第1インバータ回路の出力ノードまたは前記第2インバータ回路の入力ノードに接続されているとき前記第2導電型のチャンネルのFETであり、ゲートが前記第1インバータ回路の入力ノードまたは前記第2インバータ回路の出力ノードに接続されているとき前記第1導電型のチャンネルのFETであり、前記第2インバータ回路の第4FETは、ゲートが前記第2インバータ回路の出力ノードまたは前記第1インバータ回路の入力ノードに接続されているとき前記第2導電型のチャンネルのFETであり、ゲートが前記第2インバータ回路の入力ノードまたは前記第1インバータ回路の出力ノードに接続されているとき前記第1導電型のチャンネルのFETである構成とすることができる。

20

【0029】

本発明は、各々のメモリセルが、データを揮発的に記憶する双安定回路と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、を備える複数のメモリセルを有するセルアレイと、前記セルアレイを電源遮断するときに、前記複数のメモリセルのうち揮発的に書き換えられているかいないかにかかわらず不揮発的にストアしなくてもよいデータを揮発的に記憶する1または複数の第1メモリセルを電源遮断し、前記1または複数の第1メモリセルを電源遮断した後前記複数のメモリセルのうち残りの1または複数の第2メモリセルにおいて双安定回路に揮発的に記憶されたデータを前記不揮発性素子にストアするストア動作を行い、その後前記1または複数の第2メモリセルを電源遮断する制御回路と、を備える電子回路である。

30

【0030】

上記構成において、前記セルアレイは、各々のブロックが少なくとも2つのメモリセルを含む複数のブロックに分割され、前記制御回路は、前記セルアレイを電源遮断するときに、前記複数のブロックからブロック内のメモリセルが揮発的に書き換えられているかいないかにかかわらず不揮発的にストアしなくてもよいデータを揮発的に記憶する1または複数の第1ブロックを抽出し、前記1または複数の第1ブロックを電源遮断し、前記1または複数の第1ブロックを電源遮断した後前記複数のブロックのうち残りの1または複数の第2ブロック内のメモリセルにおいてストア動作を行い、ストア動作の終了した第2ブロックを電源遮断する構成とすることができる。

40

【0031】

上記構成において、前記制御回路は、前記1または複数の第1ブロックを全て電源遮断した後、前記1または複数の第2ブロック内のメモリセルにおいてストア動作を行う構成とすることができる。

【0032】

上記構成において、前記セルアレイの外に設けられ、外部回路から受信した前記1または複数の第1ブロックを示す情報を記憶する記憶回路を備え、前記制御回路は、前記情報に基づき、前記1または複数の第1ブロックを抽出する構成とすることができる。

【0033】

50

上記構成において、前記制御回路は、前記複数のブロックから、ブロック内のメモリセルが揮発的に書き換えられているかいないかにかかわらず不揮発的にストアしなくてもよいデータを揮発的に記憶するブロックと、ブロック内のいずれのメモリセルも揮発的に書き換えられていないブロックと、を前記 1 または複数の第 1 ブロックとして抽出し、前記 1 または複数の第 1 ブロックを電源遮断し、前記 1 または複数の第 1 ブロックを電源遮断した後前記複数のブロックのうち残りの 1 または複数の第 2 ブロック内のメモリセルにおいてストア動作を行い、ストア動作の終了した第 2 ブロックを電源遮断する構成とすることができる。

【発明の効果】

【0034】

本発明によれば、消費電力および消費エネルギーを抑制することができる。

【図面の簡単な説明】

【0035】

【図 1】図 1 は、実施例 1 におけるメモリセルの回路図である。

【図 2】図 2 (a) および図 2 (b) は、実施例 1 における各状態に印加される電圧を示す図である。

【図 3】図 3 は、実施例 1 における各期間の消費電力を示す図である。

【図 4】図 4 は、実施例 1 における電子回路を示すブロック図である。

【図 5】図 5 は、実施例 1 におけるサブレイのブロック図である。

【図 6】図 6 は、実施例 1 における動作を示すフローチャートである。

【図 7】図 7 (a) は、実施例 1 におけるリード/ライト動作を示すフローチャート、図 7 (b) は、実施例 1 における U D F の設定を示すフローチャートである。

【図 8】図 8 は、実施例 1 におけるストア動作を示すフローチャートである。

【図 9】図 9 (a) から図 9 (d) は、実施例 1 におけるセルアレイおよびブロックを示す模式図である。

【図 10】図 10 (a) から図 10 (c) は、実施例 1 におけるブロックを示す模式図である。

【図 11】図 11 (a) および図 11 (b) は、実施例 1 におけるそれぞれセルアレイのサイズおよびワードアドレスの例を示す図である。

【図 12】図 12 は、実施例 1 における制御回路の例を示すブロック図である。

【図 13】図 13 (a) から図 13 (e) は、実施例 1 における各信号のレベルとパワースイッチの動作を示す図である。

【図 14】図 14 は、実施例 1 における制御信号のタイミングチャートである。

【図 15】図 15 は、実施例 1 における制御回路 28 の別の例のブロック図である。

【図 16】図 16 (a) から図 16 (c) は、実施例 1、比較例 1 - 1 および 1 - 2 における S F B F ストアフリー割合に対する B E T を示す図、図 16 (d) から図 16 (f) は、S F B F ストアフリー割合に対するストアレイテンシを示す図である。

【図 17】図 17 は、実施例 2 におけるメモリセルの回路図である。

【図 18】図 18 (a) および図 18 (b) は、実施例 2 における各状態に印加される電圧を示す図である。

【図 19】図 19 (a) および図 19 (b) は、実施例 2 におけるリテンションおよびシャットダウンに印加される電圧を示す図である。

【図 20】図 20 は、実施例 2 における各期間の消費電力を示す図である。

【図 21】図 21 (a) および図 21 (b) は、実施例 2 におけるメモリセルの別の例である。

【図 22】図 22 は、実施例 2 における電子回路を示すブロック図である。

【図 23】図 23 は、実施例 2 におけるサブレイのブロック図である。

【図 24】図 24 は、実施例 2 における動作を示すフローチャートである。

【図 25】図 25 は、実施例 2 におけるリテンション動作のタイプ A を示すフローチャートである。

10

20

30

40

50

【図26】図26(a)から図26(e)は、実施例2におけるリテンション動作のタイプAにおけるセルアレイを示す模式図である。

【図27】図27(a)から図27(e)は、実施例2におけるリテンション動作のタイプAにおけるセルアレイおよびブロックを示す模式図である。

【図28】図28は、実施例2におけるリテンション動作のタイプBを示すフローチャートである。

【図29】図29(a)から図29(e)は、実施例2におけるリテンション動作のタイプBにおけるセルアレイを示す模式図である。

【図30】図30(a)から図30(e)は、実施例2におけるリテンション動作のタイプBにおけるセルアレイおよびブロックを示す模式図である。

【図31】図31は、実施例2におけるリテンション動作のタイプCを示すフローチャートである。

【図32】図32(a)から図32(e)は、リテンション動作のタイプCにおけるセルアレイを示す模式図である。

【図33】図33(a)から図33(e)は、リテンション動作のタイプCにおけるセルアレイおよびブロックを示す模式図である。

【図34】図34は、リテンション動作のタイプBにおける制御回路の例を示すブロック図である。

【図35】図35(a)から図35(e)は、リテンション動作のタイプBにおける各信号のレベルとパワースイッチの動作を示す図である。

【図36】図36は、リテンション動作のタイプBにおける制御信号のタイミングチャートである。

【図37】図37は、リテンション動作のタイプCにおける制御回路の例を示すブロック図である。

【図38】図38は、リテンション動作のタイプCにおける制御信号のタイミングチャートである。

【図39】図39(a)から図39(c)は、タイプAからCおよび比較例2におけるUD割合に対するBETを示す図、図39(d)から図39(f)は、UD割合に対するレイテンシを示す図である。

【図40】図40(a)から図40(c)は、タイプC、比較例2-1および2-2におけるUD割合に対するスタンバイパワーを示す図である。

【図41】図41は、実施例3におけるヘッダPS・PDFB・タイプ1のメモリセルの回路図である。

【図42】図42は、実施例3におけるヘッダPS・PDFB・タイプ2のメモリセルの回路図である。

【図43】図43(a)は、リテンション状態におけるインバータ回路の伝達特性を示す図、図43(b)は、BIモードにおけるSNMを示す図である。

【図44】図44(a)は、リテンション状態のSNMを示す図、図44(b)は、BIモードのリーク電力を示す図、図44(c)および図44(d)は、STモードのリーク電力を示す図である。

【図45】図45は、実施例3におけるフッタPS・PDFB・タイプ2のメモリセルの回路図である。

【図46】図46は、実施例3におけるフッタPS・PUFB・タイプ1のメモリセルの回路図である。

【図47】図47は、実施例3におけるヘッダPS・PUFB・タイプ2のメモリセルの回路図である。

【図48】図48は、実施例3におけるヘッダPS・PUPDFBのメモリセルの回路図である。

【図49】図49は、実施例3におけるフッタPS・PUPDFBのメモリセルの回路図である。

10

20

30

40

50

【図50】図50(a)から図50(f)は、セルに接続されるパワースイッチの配置を示す図である。

【図51】図51(a)から図51(d)は、セルに接続されるドライバの配置を示す図である。

【図52】図52(a)から図52(c)は、セルに接続されるドライバの配置を示す図である。

【図53】図53(a)および図53(b)は、それぞれヘッダPS・PDFB・タイプ1型およびフッタPS・PUFB・タイプ1型の各電圧を示す図である。

【図54】図54は、実施例4におけるヘッダPS・PDFB・タイプ1型のメモリセルの回路図である。

【図55】図55は、実施例4におけるフッタPS・PUFB・タイプ1型のメモリセルの回路図である。

【図56】図56は、実施例4におけるヘッダPS・PUPDFB・PD側タイプ1型のメモリセルの回路図である。

【図57】図57は、実施例4におけるフッタPS・PUPDFB・PU側タイプ1型のメモリセルの回路図である。

【図58】図58は、実施例4の変形例1に係る電子回路の回路図である。

【図59】図59(a)および図59(b)は、フリップフロップ回路のバタフライカーブを示す図である。

【図60】図60(a)は、SNMを示す図、図60(b)は、スタンバイパワーを示す図である。

【図61】図61(a)は、シミュレーションしたロジックシステムの概念図、図61(b)は、システムAおよびCの規格化スタンバイパワーを示す図である。

【発明を実施するための形態】

【0036】

以下、図面を参照し実施例について説明する。

【実施例1】

【0037】

特許文献3のように、通常のSRAM動作(すなわちリード/ライト動作)のときに書き換えられたメモリセルのみにストア動作を行う。この方法では、セルアレイのサイズが大きくなると、ストア動作を待機するメモリセルにおけるリーク電流に起因する消費電力が大きくなる。そこで、書き換えられていないメモリセルをはじめにシャットダウンし、その後、書き換えられたメモリセルにストア動作を行うことが考えられる。しかし、書き換えられたメモリセルのデータがリストア後に不要なデータであってもストア動作を行ってしまう。これにより、消費電力およびレイテンシが増大する。

【0038】

実施例1は、消費電力および消費エネルギーを抑制することを目的とする。具体的には、PG(パワーゲーティング)時(電源遮断時)、PGへの移行およびPGからの復帰における消費電力および消費エネルギーを削減すること、およびPGに関するBETを削減することを目的とする。

【0039】

実施例1では、書き換えられているかいないかにかかわらずストアしなくてもよいデータのメモリセルをはじめにシャットダウンし、その後、残りのメモリセルにストア動作を行う。これにより、消費電力およびレイテンシを抑制できる。

【0040】

より具体的に、セルアレイを複数のブロックに分割する。記憶階層より上位の階層においてブロック毎のストアフリーを判断する。このとき、通常のSRAM動作において書き換えがあっても不要なデータであれば、ストアフリーブロックとする。上位の階層はリストア後に不要なデータの存在するブロックを指定するUDF(Useless Data Flag)を生成する。記憶階層ではUDFに基づき、ブロック毎にシャットダウンおよびストア動作を

10

20

30

40

50

行う。これにより、効率的に消費電力を抑制できる。

【0041】

以下、実施例1の詳細な例について説明する。

[メモリセルの説明]

図1は、実施例1におけるメモリセルの回路図である。図1に示すように、メモリセル10は、インバータ回路14および16、スピントランスマグネット化磁気トンネル接合素子(STT-MTJ:以下では単に強磁性トンネル接合素子と呼ぶ)MTJ1およびMTJ2を主に備えている。

【0042】

インバータ回路14および16はループ状に接続され双安定回路12を構成している。インバータ回路14は、FET(Field Effect Transistor)m1およびm2を備えている。インバータ回路16はFETm3およびm4を備えている。FETm1およびm3はPチャネルMOSFETであり、FETm2およびm4はNチャネルMOSFETである。FETm1およびm3のソースは仮想電源電圧VDDが印加された電源線15aに接続され、FETm2およびm4のソースはグランド電圧VNDが印加されたグランド線15bに接続されている。これにより、双安定回路12には電源電圧(VDD-VND)が供給される。

10

【0043】

インバータ回路14と16が接続されたノードがそれぞれノードQ、QBである。ノードQとノードQBとは互いに相補ノードである。双安定回路12は、ノードQおよびノードQBがそれぞれハイレベルおよびローレベル、または、ノードQおよびノードQBがそれぞれローレベルおよびハイレベルとなることにより安定状態となる。双安定回路12は、安定状態となることにより、データを記憶することができる。

20

【0044】

ノードQおよびQBは、それぞれNチャネルFETm5およびm6を介しビット線BLおよびBLBに接続されている。FETm5およびm6のゲートはワード線WLに接続されている。FETm1からm6により6トランジスタ(FET)型のSRAMが形成される。

【0045】

ノードQと制御線CTRLとの間にFETm7と強磁性トンネル接合素子MTJ1とが接続され、ノードQBと制御線CTRLとの間にFETm8と強磁性トンネル接合素子MTJ2とが接続されている。FETm7およびm8のソースおよびドレインの一方は、ノードQおよびQBに、ソースおよびドレインの他方は強磁性トンネル接合素子MTJ1およびMTJ2にそれぞれ接続されている。FETm7およびm8のゲートはスイッチ線SRに接続されている。なお、FETm7およびm8は、それぞれ、強磁性トンネル接合素子MTJ1およびMTJ2と制御線CTRLとの間に接続されていてもよい。また、FETm7およびm8は、設けられていなくてもよい。

30

【0046】

強磁性トンネル接合素子MTJ1およびMTJ2は、それぞれフリー層17、トンネル絶縁膜18およびピン層19を有している。フリー層17およびピン層19は強磁性体からなる。フリー層17とピン層19との磁化方向が平行な状態(平行状態)では、MTJ1およびMTJ2の抵抗値が低くなる。フリー層17とピン層19との磁化方向が反平行な状態(反平行状態)では、MTJ1およびMTJ2の抵抗値が平行状態より高くなる。MTJ1およびMTJ2は、MTJ1およびMTJ2の抵抗値によりデータをストアする。後述する仮想電源方式では、フリー層17が制御線CTRLに接続され、仮想接地方式では、ピン層19が制御線CTRLに接続される。仮想電源方式では、FETm7およびm8はNチャネルFETであり、仮想接地方式では、FETm7およびm8はPチャネルFETである。

40

【0047】

電源線15aと電源15cとの間にパワースイッチ30が接続されている。パワースイ

50

ッチ 30 は電源線 15 a と電源 15 c との間に並列に接続されたパワースイッチ P S 1 および P S 2 を含む。パワースイッチ P S 1 および P S 2 は例えばそれぞれ P チャネル F E T および N チャネル F E T である。パワースイッチ P S 1 および P S 2 のゲートにそれぞれ P S 制御信号 V P G 1 および V P G 2 が印加される。パワースイッチ 30 は、グラウンド線 15 b とグラウンド 15 d との間に設けられていてもよい。この場合、電源線 15 a には電源の電圧 V D D が印加され、グラウンド線 15 b にはグラウンド電圧 V G N D 以上の仮想グラウンド電圧 V V G N D が印加される。これを仮想接地方式という。パワースイッチ 30 は、電源線 15 a と電源 15 c との間と、グラウンド線 15 b とグラウンド 15 d との間と、の両方に設けられていてもよい。

【 0 0 4 8 】

10

[各状態の説明]

図 2 (a) および図 2 (b) は、実施例 1 における各状態に印加される電圧を示す図である。図 2 (a) のように、リード / ライト状態では V P G 1 および V P G 2 はローレベル L である。パワースイッチ P S 1 および P S 2 はそれぞれオンおよびオフとなる。これにより、電源線 15 a とグラウンド線 15 b との間に供給される電源電圧 V V D D - V G N D は電圧 V 2 となる。電圧 V 2 は例えば 1 . 2 V である。

【 0 0 4 9 】

スリープ状態では V P G 1 および V P G 2 はハイレベル H である。パワースイッチ P S 1 および P S 2 はそれぞれオフおよびオンとなる。これにより、電源電圧 V V D D - V G N D は電圧 V 2 より低い電圧 V 1 となる。電圧 V 1 は例えば 0 . 8 V である。

20

【 0 0 5 0 】

シャットダウン状態では V P G 1 および V P G 2 はそれぞれハイレベル H およびローレベル L である。パワースイッチ P S 1 および P S 2 はオフとなる。電源線 15 a に電源電圧が印加されない。これにより、電源電圧 V V D D - V G N D は電圧 V 1 より低い電圧 V 0 となる。電圧 V 0 は例えばほぼ 0 V である。

【 0 0 5 1 】

リード / ライト状態の期間は、通常の S R A M として双安定回路 1 2 のデータを書き換え、揮発的にデータを保持する (これを、「データを揮発的に書き換える」という) 期間である。双安定回路 1 2 へのデータの書き込みおよび読み出しが S R A M と同じように行われる。すなわち、ワード線 W L をハイレベルとし F E T m 5 および m 6 を導通状態とすることにより、双安定回路 1 2 にビット線 B L および B L B のデータが書き込まれる。また、ビット線 B L および B L B を等電位の浮遊状態としワード線 W L をハイレベルとし F E T m 5 および m 6 を導通状態とすることにより、双安定回路 1 2 のデータをビット線 B L および B L B に読み出すことができる。電源電圧 V V D D - V G N D は、双安定回路 1 2 がデータの書き換えが可能でかつデータが保持できる電圧 V 2 である。

30

【 0 0 5 2 】

スリープ状態の期間は、メモリセル 1 0 がスリープモードの期間である。スリープ状態では、双安定回路 1 2 はデータを保持するのみであり、データの書き換えを行わない。電源電圧 V V D D - V G N D は、双安定回路 1 2 がデータの書き換えはできないがデータが保持できる電圧 V 1 である。電圧 V 1 は電圧 V 2 より低いため、消費電力を抑制できる。

40

【 0 0 5 3 】

リード / ライト状態およびスリープ状態では、制御線 C T R L およびスイッチ線 S R における制御信号 V C T R L および V S R はローレベルであり、F E T m 7 および m 8 はオフしている。F E T m 5 および m 6 をオフとすることにより、双安定回路 1 2 のデータが保持される。なお、双安定回路 1 2 へのデータの書き込み、読み出し、および保持のとき、スイッチ線 S R をローレベルとし、F E T m 7 および m 8 をオフとすることが好ましい。これにより、ノード Q および Q B と制御線 C T R L 間の電流をほぼ遮断し、安定動作を実現し、さらに、消費電力の増大を抑制することができる。

【 0 0 5 4 】

50

図2(b)に示すように、ストア期間は、ストア動作が行なわれる期間であり、双安定回路12に記憶されたデータを強磁性トンネル接合素子MTJ1およびMTJ2にストアし、これを不揮発的に保持する(これを、「不揮発的にストアする」という)期間である。ストア期間では電源電圧 $V_{VDD} - V_{GND}$ はリード/ストア状態と同じ電圧 V_2 である。制御信号 V_{SR} をハイレベルとする。

【0055】

Hストア期間において、制御信号 V_{CTRL} をローレベルとする。これにより、ノードQおよびQBのうちハイレベルのノードに対応するMTJが高抵抗となる。Lストア期間において、制御信号 V_{CTRL} をハイレベルとする。これにより、ノードQおよびQBのうちローレベルのノードに対応するMTJ1およびMTJ2が低抵抗となる。Hストア期間とLストア期間の順番は逆でもよい。このように、双安定回路12のデータが強磁性トンネル接合素子MTJ1およびMTJ2にストアされる。

【0056】

シャットダウン状態の期間は、メモリセル10をシャットダウンとする期間である。シャットダウン状態においては、電源電圧 $V_{VDD} - V_{GND}$ をほぼ0Vである電圧 V_0 とする。このとき、メモリセル10にほとんど電流が流れないため、消費電力を抑制することができる。

【0057】

リストア期間においては、制御信号 V_{CTRL} をローレベルとし制御信号 V_{SR} をハイレベルとした状態で電源電圧 $V_{VDD} - V_{GND}$ を電圧 V_0 から電圧 V_2 に立ち上げることににより行なわれる。高抵抗の強磁性トンネル接合素子MTJ1およびMTJ2に対応するノードQおよびQBがハイレベルとなる。低抵抗のMTJ1およびMTJ2に対応するノードQおよびQBがローレベルとなる。このように、強磁性トンネル接合素子MTJ1およびMTJ2にストアされ不揮発的に保持されたデータ(これを、「不揮発的にストアされたデータ」という)が双安定回路12にリストアされる。

【0058】

制御信号 V_{CTRL} および V_{SR} のハイレベルは例えば V_{DD} または V_{VDD} 、ローレベルは例えば V_{GND} である。制御信号 V_{CTRL} におけるハイレベルはローレベルより高く、制御信号 V_{SR} におけるハイレベルはローレベルより高い電圧であればよい。

【0059】

図3は、実施例1における各期間の消費電力を示す図である。実線は図1に示したメモリセル10(NV-SRAM)を有する記憶回路の消費電力(パワー)を示す。実線の消費電力は、リーク電流に起因する電力とストアおよびリストアに用いる電力を含み、リード/ライト期間におけるリードおよびライトの電力は含んでいない。点線は、FETm7、FETm8、MTJ1およびMTJ2を設けない6トランジスタSRAM(6T-SRAM)セルを用いた記憶回路の消費電力を示している。破線は、6T-SRAMセルを用いた記憶回路のリード/ライト期間の消費電力を示している。破線および点線の消費電力は、リーク電流に起因する電力を含み、リード/ライト期間におけるリードおよびライトの電力は含んでいない。

【0060】

図3に示すように、メモリセル10の動作期間には、スリープ期間(スリープ状態の期間)、リード/ライト期間(リード/ライト状態の期間)、ストア期間、シャットダウン期間(シャットダウン状態の期間)およびリストア期間がある。スリープ期間およびリード/ライト期間の長さを T_{NL} とする。ストア期間、シャットダウン期間およびリストア期間の長さをそれぞれ T_{Store} 、 $T_{Shutdown}$ および $T_{Restore}$ とする。

【0061】

NV-SRAMのスリープ期間およびリード/ライト期間の消費電力はそれぞれ P_{Sleep} および P_{NL} である。NV-SRAMの P_{Sleep} および P_{NL} は6T-SRAMのスリープ期間およびリード/ライト期間の消費電力より P_{NL} 大きい。これは、N

10

20

30

40

50

V - S R A MではF E T m 7およびm 8にリーク電流が流れるためである。

【 0 0 6 2 】

N V - S R A Mでは、ストア期間にストアのための電力 P_{store} が生じる。シャットダウン期間に消費電力 $P_{shutdown}$ が生じる。消費電力 $P_{shutdown}$ はリーク電流に起因する。リストア期間にリストアのための電力 $P_{restore}$ が生じる。6 T - S R A Mでは、N V - S R A Mにおけるストア期間、シャットダウン期間およびリストア期間に相当する期間を、スリープ期間とする。よって、これらの期間の6 T - S R A Mの消費電力は $P_{sleep} - P_{NL}$ となる。シャットダウン期間のN V - S R A Mと6 T - S R A Mの消費電力の差は $P_{shutdown}$ である。

【 0 0 6 3 】

N V - S R A Mセルの6 T - S R A Mセルに対するエネルギーの増加は、スリープ期間およびリード/ライト期間における P_{NL} によるエネルギー増加 E_{NL} 、ストア期間の P_{store} によるエネルギー増加 E_{store} 、およびリストア期間の $P_{restore}$ によるエネルギー増加 $E_{restore}$ の合計である。N V - S R A Mセルがシャットダウンにより節約できるエネルギーは、シャットダウン期間における $P_{shutdown}$ によるエネルギー減少 E_{save} である。 $E_{NL} + E_{store} + E_{restore}$ が E_{save} と等しくなる $t_{shutdown}$ がB E T (Break even time)である。双安定回路 1 2 にデータのリード/ライトが行われない待機期間がB E T以上のときはシャットダウン状態とし、B E T以下のときはスリープ状態とする。これにより、極めて高効率にエネルギーを削減できる。

【 0 0 6 4 】

[電子回路の説明]

図 4 は、実施例 1 における電子回路を示すブロック図である。図 4 に示すように、電子回路 1 0 0 は、セルアレイ 2 0、制御回路 2 8を備えている。セルアレイ 2 0は、複数のサブアレイ 2 2に分割されている。サブアレイ 2 2の記憶容量は例えば 8 k バイトである。サブアレイ 2 2には複数のメモリセル 1 0がマトリクス状に設けられている。サブアレイ 2 2はバス 2 5に接続されている。サブアレイ 2 2の個数は適宜設計可能である。

【 0 0 6 5 】

サブアレイ 2 2にはパワースイッチ 3 0および周辺回路 3 8が設けられている。パワースイッチ 3 0はサブアレイ 2 2毎に電源電圧を設定する。周辺回路 3 8はサブアレイ 2 2毎にストアフリー制御を行う。

【 0 0 6 6 】

制御回路 2 8はS F B F (Store Free Block Flag) レジスタ 4 1およびU D F (Useless Data Flag) レジスタ 4 0を備えている。制御回路 2 8はアドレスに基づきブロックごとにS F B Fを生成しレジスタ 4 1に格納する。制御回路 2 8が外部回路から受信したブロック毎のU D Fをレジスタ 4 0に格納する。制御回路 2 8は、P S制御信号を用い各サブアレイ 2 2のパワースイッチ 3 0を制御することでサブアレイ 2 2毎にパワーを制御する。このように制御回路 2 8はパワーマネジメントユニットとして機能する。また、制御回路 2 8は、ストア制御信号を用い各サブアレイ 2 2の周辺回路 3 8を制御することで、サブアレイ 2 2毎にストアフリー動作を制御する。このように制御回路 2 8はストアフリーマネジメントユニットとして機能する。さらに、制御回路 2 8はバス 2 5を介しサブアレイ 2 2へのデータの入出力を行う。制御回路 2 8の少なくとも一部の機能は外部のC P U (Central Processing Unit) 等のプロセッサ回路がソフトウェアと協働で行ってもよい。

【 0 0 6 7 】

[サブアレイの説明]

図 5 は、実施例 1 におけるサブアレイのブロック図である。図 5 に示すように、サブアレイ 2 2は、メモリセル 1 0を有する複数のブロック 2 4 (例えば 8 個)に分割されている。ブロック 2 4の記憶容量は例えば 1 k バイトである。ブロック 2 4の個数は適宜設計可能である。サブアレイ 2 2内には複数のメモリセル 1 0がマトリクス状に配置されて

10

20

30

40

50

いる。サブアレイ 2 2 内には、行方向にワード線 W L およびスイッチ線 S R が延伸し、列方向にビット線 B L (図 1 のビット線 B L および B L B に相当する) および制御線 C T R L が延伸している。各メモリセル 1 0 には、ワード線 W L 、スイッチ線 S R 、ビット線 B L 、制御線 C T R L 、電源線 1 5 a およびグランド線 1 5 b が接続されている。

【 0 0 6 8 】

各サブアレイ 2 2 に対応し、パワースイッチ 3 0 および周辺回路 3 8 が設けられている。制御回路 2 8 は、パワースイッチ 3 0 および周辺回路 3 8 を制御する。パワースイッチ 3 0 は、ブロック 2 4 毎に電源電圧 V V D D - V G N D を電圧 V 2 、 V 1 および V 0 にできる。周辺回路 3 8 は、W L デコーダ 3 1 、列デコーダ 3 2 、 3 6 、プリチャージ回路 3 3 、読出書込回路 3 4 および S R デコーダ 3 5 を備えている。

10

【 0 0 6 9 】

リード/ライト期間において、W L デコーダ 3 1 は行アドレスに基づきワード線 W L を選択する。列デコーダ 3 2 は列アドレスに基づきビット線 B L を選択する。プリチャージ回路 3 3 はビット線 B L をプリチャージする。読出書込回路 3 4 は、W L デコーダ 3 1 および列デコーダ 3 2 に選択されたメモリセル 1 0 の双安定回路 1 2 にデータを書き込みまたは双安定回路 1 2 からデータを読み出しバス 2 5 に出力する。

【 0 0 7 0 】

ストア期間において、S R デコーダ 3 5 は行アドレスに基づきスイッチ線 S R を選択する。列デコーダ 3 6 は列アドレスに基づき制御線 C T R L を選択する。W L デコーダ 3 1 および列デコーダ 3 2 に選択されたメモリセル 1 0 において双安定回路 1 2 のデータが強磁性トンネル接合素子 M T J 1 および M T J 2 に不揮発的にストアされる。

20

【 0 0 7 1 】

[動作の説明]

図 6 は、実施例 1 における動作を示すフローチャートである。図 6 に示すように、制御回路 2 8 は、外部回路からの指令によりセルアレイ 2 0 の電源を投入する (ステップ S 1 0) 。例えば、制御回路 2 8 は全てのブロック 2 4 において、制御信号 V S R をハイレベルとすることで F E T m 7 および m 8 をオンし、かつパワースイッチ P S 1 をオンし P S 2 をオフする。これにより、セルアレイ 2 0 内の各メモリセル 1 0 において、強磁性トンネル接合素子 M T J 1 および M T J 2 内のデータが双安定回路 1 2 にリストアされる。

【 0 0 7 2 】

制御回路 2 8 は、リードおよびライト動作を行う (ステップ S 1 2) 。制御回路 2 8 は、外部回路からセルアレイ 2 0 をシャットダウンする指示を受けたか否か判定する (ステップ S 1 4) 。 N o のときステップ S 1 2 に戻る。 Y e s のとき、制御回路 2 8 は、ストア動作およびシャットダウンを行う (ステップ S 1 6) 。その後終了しステップ S 1 0 に戻る。

30

【 0 0 7 3 】

[リード/ライト動作の説明]

図 6 のステップ S 1 2 における動作について説明する。図 7 (a) は、実施例 1 におけるリード/ライト動作を示すフローチャートである。図 7 (a) に示すように、制御回路 2 8 はレジスタ 4 1 の全てのブロック 2 4 に対応する S F B F をリセットする (ステップ S 2 0) 。例えば制御回路 2 8 は全てのブロック 2 4 に対応する S F B F をハイレベル H とする。制御回路 2 8 にライトアドレスが入力される (ステップ S 2 2) 。制御回路 2 8 は、ライトを行うブロック 2 4 (すなわち書き込みを行うメモリセル 1 0 を含むブロック 2 4) を選択する (ステップ S 2 4) 。制御回路 2 8 は、W L デコーダ 3 1 および列デコーダ 3 2 を用い選択されたブロック 2 4 に対応するレジスタ 4 1 に S F B F をセットする (ステップ S 2 6) 。例えば制御回路 2 8 は対応する S F B F をローレベル L とする。制御回路 2 8 は、読出書込回路 3 4 を用い選択されたブロック 2 4 内のメモリセル 1 0 にデータを書き込む (ステップ S 2 8) 。制御回路 2 8 は、動作を終了するか判定する (ステップ S 3 0) 。 N o のときステップ S 2 2 に戻る。 Y e s のとき終了する。

40

【 0 0 7 4 】

50

[U D F 設定の説明]

U D F を設定する動作について説明する。U D F は、ブロック 2 4 のデータがストアしなくてもよいデータ（すなわち、シャットダウン後にリストアされなくてもよいデータ）であることを示す情報である。図 7 (b) は、実施例 1 における U D F の設定を示すフローチャートである。図 7 (b) に示すように、制御回路 2 8 はレジスタ 4 0 の全てのブロック 2 4 に対応する U D F をリセットする（ステップ S 3 2 ）。例えば制御回路 2 8 は全てのブロックに対応する U D F をローレベル L とする。制御回路 2 8 に外部回路から U D F が入力される（ステップ S 3 4 ）。U D F は、例えばブロック 2 4 にデータをライトするときに入力される。または、データのリードまたはライトに関係なく、定期的または不定期に入力される。制御回路 2 8 は U D F が指定するブロック 2 4 に対応するレジスタ 4 0 に U D F をセットする（ステップ S 3 6 ）。例えば制御回路 2 8 は対応する U D F をハイレベル H とする。制御回路 2 8 は、動作を終了するか判定する（ステップ S 3 8 ）。N o のときステップ S 3 4 に戻る。Y e s のとき終了する。

10

[0 0 7 5]

U D F は、例えば、外部回路の C P U における O S (Operating System) またはプログラム等のソフトウェアにより生成される。また、U D F の生成の一部は専用のハードウェア回路が行ってもよい。U D F を生成するアルゴリズムをコンパイラ上に実装しておき、コンパイラにより U D F を自動的に生成してもよい。ユーザが U D F となるデータをプログラム上で指定してもよい。U D F となるデータを機械学習等により学習させて、U D F を生成してもよい。これらの U D F の生成の方法を複数組み合わせてもよい。電子回路 1 0 0 がキャッシュメモリするとき、ストアしなくてもよいデータとは、例えば長期間使われなかったデータ、使用頻度の少ないデータ、またはライト時期が古いデータなどである。

20

[0 0 7 6]

[ストア動作の説明]

図 6 のステップ S 1 6 の動作について説明する。図 8 は、実施例 1 におけるストア動作を示すフローチャートである。

[0 0 7 7]

図 9 (a) から図 9 (d) は、実施例 1 におけるセルアレイおよびブロックを示す模式図である。図 9 (a) から図 9 (d) において、セルアレイ 2 0 内のサブアレイ 2 2 を 3 × 3 の 9 個、1 つのサブアレイ 2 2 内のブロック 2 4 を 4 × 2 の 8 個として説明する。「スリープ」はスリープ状態（すなわちブロック 2 4 内の全てのメモリセル 1 0 がスリープモードの状態）のブロック 2 4 を示す。「ストア」はストア動作中のブロック 2 4 を示す。「S F B F シャットダウン」は S F B F によるシャットダウン状態（すなわち全てのメモリセル 1 0 がシャットダウン状態）のブロック 2 4 を示し、「U D F シャットダウン」は U D F によるシャットダウン状態のブロック 2 4 を示し、「ストア後シャットダウン」はストア動作後のシャットダウン状態のブロック 2 4 を示す。

30

[0 0 7 8]

図 1 0 (a) から図 1 0 (c) は、実施例 1 におけるブロックを示す模式図である。図 1 0 (a) から図 1 0 (c) において、ブロック 2 4 a 内には複数の行 2 3 が設けられている。「スタンバイ」はストアを待機している状態の行 2 3 である。「ストア」はストア動作中の行 2 3 を示す。行 2 3 a から 2 3 c は複数の行 2 3 のうちの特定の行を示す。

40

[0 0 7 9]

図 8 に示すように、図 6 のステップ S 1 6 において制御回路 2 8 がストア動作を開始すると、制御回路 2 8 は、各ブロック 2 4 に対応する U D F および S F B F をレジスタ 4 0 および 4 1 からそれぞれ読み出す（ステップ S 4 0 ）。制御回路 2 8 は、U D F および S F B F の少なくとも一方がセットされた（例えばハイレベル H ）ブロック 2 4 をストアフリーブロックとして抽出する。ストアフリーブロックを一括してシャットダウンする（ステップ S 4 2 ）。例えば制御回路 2 8 は、パワースイッチ 3 0 にストアフリーブロックの電源電圧 V V D D - V G N D を V 0 とさせる。

[0 0 8 0]

50

図9(a)に示すように、制御回路28は9個のサブレイ22の各8個のブロック24である $9 \times 8 = 72$ 個のうち、SFBFがセットされている17個のブロック24と、UDFがセットされている19個のブロック24と、の合計が36個のブロック24を一括してシャットダウンする。残りの36個のブロック24をスリープ状態とする。

【0081】

制御回路28は、ストア動作を実行する最初のブロック24aを選択する(ステップS44)。図9(b)に示すように、制御回路28はサブレイ22aのブロック24aを選択し、ストア動作を開始する。

【0082】

選択されたブロック24aのストア動作として、制御回路28は、選択されたブロック24a内を行ごとにストア動作する(ステップS46)。

10

【0083】

図10(a)に示すように、制御回路28は最初の行23aをストア動作する。他の行23をスタンバイとする。例えば、制御回路28は行23aのFETm7およびm8をオンし、スタンバイ状態の行23のFETm7およびm8をオフする。制御回路28は、列方向に延伸する制御線CTRLにストア動作のための電圧を印加する。これにより、FETm7およびm8がオンかつ制御線CTRLに電圧を印加したメモリセル10において、双安定回路12のデータが強磁性トンネル接合素子MTJ1およびMTJ2に不揮発的にストアされる。制御線CTRLには、1列ずつ電圧を印加してもよいし複数列同時に電圧を印加してもよい。行23a内の全てのメモリセル10のストア動作が終了すると行23aのストア動作が終了する。

20

【0084】

図10(b)に示すように、制御回路28は次の行23bをストア動作する。図10(c)に示すように、制御回路28は、順に行23をストア動作し、最後の行23cをストア動作する。全ての行23のストア動作が終了すると、ブロック24aのストア動作が終了する。

【0085】

制御回路28は、ブロック24aをシャットダウンする(ステップS48)。制御回路28は、選択されたサブレイ22内の最後のブロックのストア動作が終了したか判断する(ステップS50)。Noのとき、次のブロック24bに進み(ステップS52)、ステップS44に戻る。

30

【0086】

図9(c)に示すように、ステップS44において制御回路28はブロック24bを選択し、ステップS46においてブロック24bのストア動作を行なう。ステップS48において制御回路28はブロック24bをシャットダウンする。その後、順次ステップS44からS52を繰り返す。

【0087】

図9(d)に示すように、最後のブロック24のストア動作が終了し、全てのブロック24がシャットダウン状態となる。制御回路28はステップS50においてYesと判定し、ストア動作を終了する。

40

【0088】

[制御回路の例]

図11(a)および図11(b)は、実施例1におけるそれぞれセルアレイのサイズおよびワードアドレスの例を示す図である。図11(a)に示すように、セルアレイ20のサイズとして、例えば32kバイト、256kバイトおよび2Mバイトとする。1個のブロック24のサイズを1kバイトとし、1個のサブレイ22内のブロック24の個数Nblockを8とすると、サブレイ22の個数NSAはそれぞれ4個、32個、256個となる。サブレイ22のアドレスのビット数Xはそれぞれ2ビット、5ビットおよび8ビットとなる。ブロック24のアドレスのビット数Yは3ビットである。

【0089】

50

図 1 1 (b) に示すように、ワードアドレスは、上位からサブアレイアドレス X ビット、ブロックアドレス Y ビットおよび、ブロック内の行アドレス (例えば 1 k バイトのとき 7 ビット) である。

【 0 0 9 0 】

図 1 2 は、実施例 1 における制御回路の例を示すブロック図である。制御回路 2 8 は、デコーダ 4 2、レジスタ 4 0、4 1、制御回路 4 3 および P S 制御回路 4 4 を備えている。レジスタ 4 0 および 4 1 のビット数は各々ブロック 2 4 の個数の $N S A \times N b l o c k$ 以上である。 $N S A \times N b l o c k$ 個のブロック 2 4 のうちブロック 2 4 A から 2 4 C について説明する。

【 0 0 9 1 】

U D F 記憶部 4 0 A から 4 0 C はそれぞれブロック 2 4 A から 2 4 C に対応する 1 ビットのラッチ回路である。図 7 (b) のステップ S 3 2 において、全ての記憶部 4 0 A から 4 0 C がローレベル L にリセットされる。ステップ S 3 4 において制御回路 2 8 に U D F が入力すると、ステップ S 3 6 において、対応するブロック 2 4 A から 2 4 C の記憶部 4 0 A から 4 0 C がハイレベル H にセットされる。

【 0 0 9 2 】

S F B F 記憶部 4 1 A から 4 1 C はそれぞれブロック 2 4 A から 2 4 C に対応する 1 ビットのラッチ回路である。図 7 (a) のステップ S 2 0 において、全ての記憶部 4 1 A から 4 1 C がハイレベル H にリセットされる。ステップ S 2 2 においてデコーダ 4 2 にライトのアドレス信号が入力する。ステップ S 2 4 においてサブアレイアドレス X およびブロックアドレス Y から対応するブロック 2 4 が選択される。ステップ S 2 6 において、対応するブロック 2 4 A から 2 4 C の記憶部 4 0 A から 4 0 C がローレベル L にセットされる。

【 0 0 9 3 】

制御回路 4 3 は、ストア制御信号 a、b を出力する。P S 制御回路 4 4 は、レジスタ 4 0 および 4 1 に保持された U D F および S F B F に基づき各ブロック 2 4 A から 2 4 C のパワースイッチ P S 1 A から P S 1 C および P S 2 A から P S 2 C を制御する。

【 0 0 9 4 】

P S 制御回路 4 4 は、各々ブロック 2 4 A から 2 4 C の個数の A N D 回路 5 0、N A N D 回路 5 1、O R 回路 5 2、N O R 回路 5 3、A N D 回路 5 4、A N D 回路 5 5、O R 回路 5 6、O R 回路 5 7、O R 回路 5 8 および A N D 回路 5 9 を備えている。

【 0 0 9 5 】

P S 制御回路 4 4 に入力する制御信号 a、b、E N N L B および E N S L P は、各々ブロック 2 4 A から 2 4 C に共通の制御信号であり、制御信号 V C T R L および V S R は、各々ブロック 2 4 A から 2 4 C ごとに独立する信号である。

【 0 0 9 6 】

A N D 回路 5 0 には、U D F 記憶部 4 0 A から 4 0 C の出力信号と制御信号 E N N L B が入力する。N A N D 回路 5 1 には U D F 記憶部 4 0 A から 4 0 C の出力信号と制御信号 E N N L B が入力する。

【 0 0 9 7 】

O R 回路 5 2 には S F B F 記憶部 4 1 A から 4 1 C の出力信号と制御信号 a が入力する。N O R 回路 5 3 には S F B F 記憶部 4 1 A から 4 1 C の出力信号と制御信号 b が入力する。A N D 回路 5 4 には O R 回路 5 2 の出力信号と制御信号 E N N L B が入力する。A N D 回路 5 5 には N O R 回路 5 3 の出力信号と制御信号 E N N L B が入力する。O R 回路 5 6 には A N D 回路 5 4 の出力信号と制御信号 E N S L P が入力する。O R 回路 5 7 には A N D 回路 5 5 の出力信号と制御信号 E N S L P が入力する。

【 0 0 9 8 】

O R 回路 5 8 には A N D 回路 5 0 の出力信号と O R 回路 5 6 の出力信号が入力する。O R 回路 5 8 から P S 制御信号 V P G 1 A から V P G 1 C が出力される。P S 制御信号 V P G 1 A から V P G 1 C はそれぞれブロック 2 4 A から 2 4 C のパワースイッチ P S 1 A か

10

20

30

40

50

ら P S 1 C のゲートにする。

【 0 0 9 9 】

A N D 回路 5 9 には N A N D 回路 5 1 の出力信号と O R 回路 5 7 の出力信号がする。
A N D 回路 5 9 から P S 制御信号 V P G 2 A から V P G 2 C が出力される。P S 制御信号 V P G 2 A から V P G 2 C はそれぞれブロック 2 4 A から 2 4 C のパワースイッチ P S 2 A から P S 2 C のゲートにする。

【 0 1 0 0 】

図 1 3 (a) から図 1 3 (e) は、実施例 1 における各信号のレベルとパワースイッチの動作を示す図である。図 1 3 (a) に示すように、リード/ライト期間には、制御信号 a、b、E N N L B および E N S L P は全て L である。ブロック 2 4 A から 2 4 C の U D F をそれぞれ L、L および H であるとする。ブロック 2 4 A から 2 4 C の S F B F をそれぞれ L、H および L であるとする。このとき、V P G 1 A から V P G 1 C は L でありパワースイッチ P S 1 A から P S 1 C はオンである。V P G 2 A から V P G 2 C は L でありパワースイッチ P S 2 A から P S 2 C はオフである。このように、リード/ライト期間では、U D F および S F B F によらず、パワースイッチ P S 1 A から P S 1 C がオンでありパワースイッチ P S 2 A から P S 2 C がオフである。よって、全ブロック 2 4 A から 2 4 C には電源電圧 V V D D - V G N D としてリード/ライト用の電圧 V 2 が印加される。

10

【 0 1 0 1 】

図 1 3 (b) に示すように、スリープ期間には、制御信号 E N S L P が H であり、制御信号 a、b および E N N L B は L である。V P G 1 A から V P G 1 C は H でありパワースイッチ P S 1 A から P S 1 C はオフである。V P G 2 A から V P G 2 C は H でありパワースイッチ P S 2 A から P S 2 C はオンである。このように、スリープ期間では、U D F および S F B F によらず、パワースイッチ P S 1 A から P S 1 C がオフでありパワースイッチ P S 2 A から P S 2 C がオンである。よって、全ブロック 2 4 A から 2 4 C には電源電圧 V V D D - V G N D としてスリープ用の電圧 V 1 が印加される。

20

【 0 1 0 2 】

図 8 のステップ S 4 2 において、リード/ライト状態からストアフリーブロック 2 4 B および 2 4 C を一括してシャットダウン状態とする。図 1 3 (c) に示すように、図 1 3 (a) と比べ、制御信号 a および E N N L B は L から H となる。制御信号 b および E N S L P は L を維持する。V P G 1 A から V P G 1 C は L から H となりパワースイッチ P S 1 A から P S 1 C はオンからオフとなる。V P G 2 A は L から H となり、V P G 2 B および V P G 2 C は L を維持する。パワースイッチ P S 2 A はオフからオンし、パワースイッチ P S 2 B および P S 2 C はオフを維持する。これにより、U D F および S F B F の少なくとも一方が H のブロック 2 4 B および 2 4 C の電源電圧 V V D D - V G N D は V 0 となり、ブロック 2 4 B および 2 4 C はシャットダウン状態となる。U D F および S F B F の両方が L のブロック 2 4 A の電源電圧 V V D D - V G N D は V 1 となり、ブロック 2 4 A はスリープ状態となる。

30

【 0 1 0 3 】

図 8 のステップ S 4 2 の状態 (この期間を T 1 とする) から、ステップ S 4 6 において、選択されたブロック 2 4 A がストア動作する。図 1 3 (d) に示すようにステップ S 4 2 から S 4 6 において、制御信号 a は H から L となり、制御信号 b は L から H となる。制御信号 E N N L B および E N S L P はそれぞれ H および L を維持する。V P G 1 A は H から L となり、P S 1 A はオフからオンとなる。V P G 2 A は H から L となり、P S 2 A はオンからオフとなる。P S 1 B、P S 1 C、P S 2 B および P S 2 C はオフを維持する。ブロック 2 4 A の電源電圧 V V D D - V G N D はスタンバイ用の電圧 V 2 となり、ブロック 2 4 B および 2 4 C の電源電圧 V V D D - V G N D は V 0 となる。これにより、ブロック 2 4 A はストア動作のスタンバイ状態となり、ブロック 2 4 B および C はシャットダウン状態を維持する。ブロック 2 4 A には制御回路 4 3 から出力されるストア制御信号に応じて制御信号 V C T R L および V S R が印加される。これにより、図 1 0 (a) から図 1 0 (c) のように、対象となるブロック 2 4 A のストア動作が実行される。この期間を T

40

50

2とする。

【0104】

図8のステップS48において、ブロック24Aのストア動作が終了すると、制御信号aはLからHとなる。制御信号b、ENNLBおよびENSLPはそれぞれH、HおよびLを維持する。VPG1AはLからHとなり、PS1Aはオンからオフとなる。これにより、ブロック24Aの電源電圧VVDGNDは電圧V2から電圧V0となり、ブロック24Aはシャットダウン状態となる。この期間をT3とする。図8のステップS44からS52のループを行うことにより、ストア動作対象のブロック24について、制御信号(a、b)を順次(H、L)(L、H)(H、H)とする。これにより、ストア動作対象のブロック24が順次ストア動作される。

10

【0105】

図13(e)に示すように、シャットダウン状態においては、制御信号a、b、ENNLBおよびENSLPはそれぞれH、H、HおよびLである。PS1AからPS1CおよびPS2AからPS2Cは、UDFおよびSFBFによらずオフとなる。これにより、全ブロック24の電源電圧VVDGNDはV0であり、全ブロック24がシャットダウン状態となる。

【0106】

図14は、実施例1における制御信号のタイミングチャートである。制御信号a1~anは各ブロック241から24nに対応する制御信号aであり、制御信号b1~bnは各ブロック241から24nに対応する制御信号bである。ブロック241~24kはストア動作対象のブロックであり、ブロック24k+1~ブロック24nはストアフリーブロックである。

20

【0107】

図14に示すように、時刻t10とt11との間はリード/ライト期間であり、制御信号a1~an、b1~bn、ENNLBおよびENSLPはLである。時刻t11とt12との間はスリープ期間であり、制御信号ENSLPはHであり、他の制御信号はLである。

【0108】

ストア動作が開始されると、時刻t13(図8のステップS42)において、制御信号ENNLBおよびa1~anがHとなる。これにより、ストア動作対象のブロック241~24kは期間T1のスリープ状態となり、ストアフリーブロック24k+1~24nはシャットダウン状態となる。この状態は期間T1である。

30

【0109】

時刻t14において、ストア動作対象のブロック241に対応する制御信号a1およびb1はそれぞれLおよびHとなる。時刻t14とt15との間の期間はブロック241の期間T2であり、ブロック241はストア動作されている。時刻t15において、制御信号a1はHとなりb1はHを維持する。時刻t15以降の期間はブロック241の期間T3であり、ブロック241はシャットダウン状態である。時刻t15において、ブロック242に対応する制御信号a2およびb2はそれぞれLおよびHとなる。時刻t15とt16との間の期間はブロック242の期間T2であり、ブロック242はストア動作されている。時刻t16において制御信号a2はHとなりb2はHを維持する。時刻t16以降の期間はブロック242の期間T3であり、ブロック242はシャットダウン状態である。

40

【0110】

ストア動作対象のブロック241~24kについて順次ステップS46およびS48を行う。時刻t17において全てのストア動作対象のブロック241~24kについてストア動作が終了すると、全ブロック241~24nがシャットダウン状態となる。時刻t18において、制御信号a1~an、b1~bn、ENNLBおよびENSLPはLとなると、リード/ライト期間となる。

【0111】

50

このように、時刻 t_{13} においてブロック 24_1 から 24_k は一括してスリープ状態（期間 T_1 ）となり、ブロック 24_{k+1} から 24_n は一括してシャットダウン状態となる。その後、ブロック 24_1 から 24_k は順次ストア動作（期間 T_2 ）が行われる。ストア動作の終了したブロックは順次シャットダウン状態（期間 T_3 ）となる。

【0112】

図15は、実施例1における制御回路28の別の例のブロック図である。図15に示すように、制御信号 $ENSLP$ をブロック 24_A から 24_C 毎の信号とすることで、ブロック 24_A から 24_C ごとにスリープ状態とすることが可能である。その他の構成は図12と同じであり説明を省略する。

【0113】

10

[シミュレーション]

実施例1に係る電子回路について BET およびストア動作のレイテンシをシミュレーションした。比較例1-1および比較例1-2についてもシミュレーションした。比較例1-1では、サブレイ22およびブロック24の一括遮断を行わず、 $SFBF$ がセットされているブロック24のストア動作を順次スキップする。比較例1-2では、 UDF による一括遮断を行わず $SFBF$ による一括遮断のみを行なう。

【0114】

シミュレーション条件は以下である。リード/ライト期間、ストア期間およびリストア期間における電源電圧 $V_{VDD} - V_{GND}$ である電圧 V_2 を $1.2V$ とした。スリープ期間における電源電圧 $V_{VDD} - V_{GND}$ である電圧 V_1 および制御線 $CTRL$ の電圧をそれぞれ $0.8V$ および $0V$ とした。ストア期間におけるスイッチ線 SR の電圧を $0.75V$ とした。ストア期間における制御線 $CTRL$ のハイレベルおよびローレベルの電圧をそれぞれ $0.45V$ および $0V$ とした。サブレイ22およびブロック24の記憶容量をそれぞれ $8k$ バイトおよび $1k$ バイトとした。

20

【0115】

セルレイ20内の全メモリセルの個数に対する $SFBF$ によるストアフリーメモリセルの個数の比を $SFBF$ ストアフリー割合 (proportion) とした。セルレイ20内の全メモリセルの個数に対する UDF によるストアフリーメモリセルの個数の比を UD 割合 (proportion) とした。セルレイ20内に揮発的に書き込まれるメモリセル10は特定のサブレイ22およびブロック24に集中することを考慮し、ストア動作にかかる時間をストアレイテンシとした。セルレイ20の記憶容量が $32k$ バイト、 $256k$ バイトおよび $2M$ バイトについてシミュレーションした。

30

【0116】

図16(a)から図16(c)は、実施例1、比較例1-1および1-2における $SFBF$ ストアフリー割合に対する BET を示す図、図16(d)から図16(f)は、 $SFBF$ ストアフリー割合に対するストアレイテンシを示す図である。図16(a)に示すように、比較例1-1では、 $32k$ バイトのときストアフリー割合が大きくなると BET が短くなる。

【0117】

図16(b)および図16(c)のように、 $256k$ バイトおよび $2M$ バイトと記憶容量が大きくなると、 $SFBF$ ストアフリー割合が大きくなっても BET は小さくならない。これは以下の理由のためである。すなわち、記憶容量が大きくなると、ストア動作を待機するブロック24の数が大きくなる。ストア動作の待機中にもメモリセル10にはリーク電流が流れる。このため、セルレイ20全体でのリーク電流が大きく、ストアフリー割合が大きくなっても BET は小さくならない。

40

【0118】

図16(d)から図16(f)に示すように、比較例1-1ではストアレイテンシはストアフリー割合によらず一定である。

【0119】

図16(a)から図16(c)のように、比較例1-2では記憶容量によらずストアフ

50

リー割合が大きくなるとBETが小さくなる。図16(d)から図16(f)のように、比較例1-2では記憶容量によらずストアフリー割合が大きくなるとストアレイテンシが短くなる。これらは、比較例1-2では、ストアフリーのブロック24を最初にシャットダウンするためである。

【0120】

図16(a)から図16(c)のように、実施例1では、比較例1-2に比べUD割合が大きくなるとBETが短くなる。図16(d)から図16(f)のように、実施例1では、比較例1-2に比べUD割合が大きくなるとストアレイテンシが短くなる。

【0121】

実施例1によれば、図1のように、各々のメモリセル10は、データを揮発的に記憶する双安定回路12と、双安定回路12に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを双安定回路12にリストアする不揮発性素子と、を有する。図8のステップS42のように、制御回路28は、セルアレイ20をシャットダウン(電源遮断)するとき、複数のメモリセル10のうち揮発的に書き換えられているかいないかにかかわらず不揮発的にストアしなくてもよいデータを揮発的に記憶する1または複数の第1メモリセルをシャットダウンする。ステップS44およびS46のように、第1メモリセルをシャットダウンした後、複数のメモリセルのうち残りの1または複数の第2メモリセルにおいて双安定回路12に揮発的に記憶されたデータを不揮発性素子にストアするストア動作を行う。ステップS48のように、その後制御回路28は第2メモリセルをシャットダウンする。

【0122】

これにより、揮発的に書き換えられているかいないかにかかわらず不揮発的にストアしなくてもよいデータを揮発的に記憶する第1メモリセルをシャットダウンした後、残りの第2メモリセルをストア動作するための消費電力を抑制できる。また、ストアレイテンシを削減できる。

【0123】

図4および図5のように、セルアレイ20は、各々のブロック24が少なくとも2つのメモリセル10を含む複数のブロック24に分割されている。図8のステップS40のように、制御回路28は、セルアレイ20をシャットダウン(電源遮断)するとき、複数のブロック24からブロック24内のメモリセル10が揮発的に書き換えられているかいないかにかかわらず、不揮発的にストアしなくてもよいデータを揮発的に記憶する1または複数の第1ブロック(すなわちUDFがセットされたブロック)を抽出する。図8のステップS42および図9(a)のように、制御回路28は、第1ブロックをシャットダウンする。図8のステップS46および図9(b)のように、制御回路28は、第1ブロックをシャットダウンした後、複数のブロック24のうち残りの1または複数の第2ブロック内のメモリセル10において双安定回路12に記憶されたデータを不揮発性素子にストアするストア動作を行う。図8のステップS48および図9(c)のように、制御回路28は、ストア動作の終了した第2ブロックをシャットダウンする。

【0124】

このように、ブロック24毎に、UDFがセットされた第1ブロックをシャットダウンするため、第1ブロックをストア動作するための消費電力を抑制できる。また、ストアレイテンシを削減できる。また、UDFがセットされた第1ブロックを最初にシャットダウンするため、ストア動作を待機するときのリーク電流に起因する消費電力を削減できる。

【0125】

図9(a)のように、制御回路28は、抽出された第1ブロックを全てシャットダウンした後、図9(b)から図9(d)のように、残りの第2ブロック内のメモリセル10においてストア動作を行う。これにより、UDFがセットされた第1ブロックがシャットダウンを待機するときの消費電力を削減できる。

【0126】

レジスタ40(記憶回路)は、セルアレイ20の外に設けられ、外部回路から受信した

UDF（不揮発的にストアしなくてもよいデータを揮発的に記憶する第1ブロックを示す情報）を記憶する。制御回路28は、UDFに基づき、第1ブロックを抽出する。これにより、UDFを記憶する記憶回路を各サブアレイ22またはブロック24に設ける方法に比べ、UDFをバス25等を介し制御回路28に転送しなくてもよく、制御が簡単になる。

【0127】

図8のステップS40のように、制御回路28は、複数のブロック24から、UDFがセットされたブロックと、SFBFがセットされたブロック24（すなわちブロック24内のいずれのメモリセル10も揮発的に書き換えられていないブロック）と、を第1ブロックとして抽出する。これにより、UDFがセットされたブロックとSFBFがセットされたブロックを最初にシャットダウンするため、ストア動作を待機するときのリーク電流に起因する消費電力を削減できる。また、ストアレイテンシを低減できる。

10

【0128】

レジスタ41（記憶回路）は、セルアレイ20の外に設けられている。これにより、SFBFを各サブアレイ22またはブロック24に記憶する方法に比べ、SFBFをバス25等を介し制御回路28に転送しなくてもよく、制御が簡単になる。

【0129】

実施例1において、MTJ1およびMTJ2がノードQおよびQBにそれぞれ接続される例を説明したが、ノードQまたはQBにMTJ1およびMTJ2のいずれか一方が接続されていればよい。メモリセルは、双安定回路12と不揮発性素子を有していればよい。不揮発性素子としてMTJを例に説明したが、不揮発性素子としては巨大磁気抵抗（GMR）素子、ReRAM（Resistance Random Access Memory）に用いられるような可変抵抗素子、または、PRAM（Phase change RAM）に用いられる相変化素子を用いることができる。

20

【実施例2】

【0130】

特許文献5の技術をセルアレイに適用する場合、VNR-SRAMのULVリテンションはBI（ブーステッドインバータ）モードからST（シュミットトリガ）モードにモードを切り替えた後に電源電圧を低下させることにより行う。セルアレイのサイズが大きくなると、モード切り替えを待機するメモリセルにおけるリーク電流に起因する消費電力が大きくなる。また、待機期間によりレイテンシが増加する。また、メモリセルのデータが不要なデータであってもリテンションを行ってしまう。これにより、消費電力およびレイテンシが増大する。

30

【0131】

実施例2は、消費電力および消費エネルギーを抑制することを目的とする。具体的には、PG時（リテンション時）、PGへの移行およびPGからの復帰における消費電力および消費エネルギーを削減すること、およびPGに関するBETを削減することを目的とする。

【0132】

実施例2では、セルアレイにデータを書き込むとき、またはデータを処理するときに電源復帰後に不要となるデータの存在するメモリセルをシャットダウンし、残りのメモリセルをリテンションする。これにより、リテンション不要なデータを記憶するメモリセルのモード切り替えが不要なため消費電力およびレイテンシを抑制できる。

40

【0133】

より具体的に、セルアレイを複数のブロックに分割する。電源復帰後に不要となるデータの存在するメモリセルを有するブロックを指定するUDFを生成する。リテンションのときには、UDFに基づき、リテンション不要なデータを記憶するブロックをシャットダウンする。その後、その他のブロックにおいてリテンションを行う。これにより、リテンション不要なデータを記憶するブロックのモード切り替えが不要なため消費電力およびレイテンシを抑制できる。また、リテンション不要なデータを記憶するブロックをシャット

50

ダウンするため消費電力をより削減できる。

【 0 1 3 4 】

以下、実施例 2 の詳細な例について説明する。

[メモリセルの説明]

図 1 7 は、実施例 2 におけるメモリセルの回路図である。図 1 7 に示すように、メモリセル 1 0 は、インバータ回路 1 4 および 1 6 を主に備えている。

【 0 1 3 5 】

インバータ回路 1 4 および 1 6 はループ状に接続され双安定回路 1 2 を構成している。インバータ回路 1 4 は、F E T m 1、m 2 a、m 2 b および m 9 を備えている。インバータ回路 1 6 は、F E T m 3、m 4 a、m 4 b および m 1 0 を備えている。F E T m 1 および m 3 は P チャネル M O S F E T であり、F E T m 2 a、m 2 b、m 4 a、m 4 b、m 9 および m 1 0 は N チャネル M O S F E T である。F E T m 1 および m 3 のソースは仮想電源電圧 V V D D が印加された電源線 1 5 a に接続され、ドレインはノード Q および Q B に接続されている。F E T m 2 a および m 2 b はノード Q とグランド電圧 V G N D が印加されたグランド線 1 5 b との間に直列に接続され、F E T m 2 b のソースはグランド線 1 5 b に F E T m 2 a のドレインはノード Q に接続されている。F E T m 4 a および m 4 b も同様にノード Q B とグランド線 1 5 b との間に接続されている。

【 0 1 3 6 】

インバータ回路 1 4 の入力ノードは F E T m 1、m 2 a および m 2 b が共通に接続されたノード N 1 であり、インバータ回路 1 4 の出力ノードはノード Q である。インバータ回路 1 6 の入力ノードは F E T m 3、m 4 a および m 4 b が共通に接続されたノード N 3 であり、インバータ回路 1 6 の出力ノードはノード Q B である。インバータ回路 1 4 の入力ノードおよび出力ノードはそれぞれインバータ回路 1 6 の出力ノードおよび入力ノードに接続されている。

【 0 1 3 7 】

F E T m 9 のソースおよびドレインの一方は F E T m 2 a と m 2 b との間のノード N 2 に接続され、他方は制御線 C T R L に接続され、ゲートはノード Q に接続されている。F E T m 1 0 のソースおよびドレインの一方は F E T m 4 a と m 4 b との間のノード N 4 に接続され、他方は制御線 C T R L に接続され、ゲートはノード Q B に接続されている。

【 0 1 3 8 】

インバータ 2 6 a は制御線 C T R L 用のドライバ 2 6 であり、制御信号 V C T R L を反転し、ハイレベルの電圧が電圧 V S C T R L およびローレベルの電圧が電圧 V L C T R L の制御信号を出力する。制御信号 V C T R L がハイレベルのとき制御線 C T R L は V L C T R L となり、インバータ回路 1 4 および 1 6 は B I モードとなる。制御信号 V C T R L がローレベルのとき制御線 C T R L は V S C T R L となり、インバータ回路 1 4 および 1 6 は S T モードとなる。

【 0 1 3 9 】

ノード Q および Q B は、それぞれ M O S F E T m 5 および m 6 を介しビット線 B L および B L B に接続されている。M O S F E T m 5 および m 6 のゲートはワード線 W L に接続されている。

【 0 1 4 0 】

B I モードは、インバータ回路 1 4 および 1 6 の伝達特性にヒステリシスを実質的に有さず、かつ高速動作可能なモードである。S T モードは、インバータ回路 1 4 および 1 6 の伝達特性にヒステリシスを有し、かつ動作が遅いモードである。なお、ヒステリシスを実質的に有さないとは S T モードのような意図的なヒステリシスを有さないことであり、意図しないヒステリシスを有することを許容する。

【 0 1 4 1 】

B I モードでは、メモリセル 1 0 は、通常の S R A M セルとして機能する。S T モードでは、電源電圧 (V V D D - V G N D) を例えば 0 . 2 V と超低電圧 (U L V : Ultralow Voltage) としても双安定回路 1 2 のデータを保持する。

10

20

30

40

50

【 0 1 4 2 】

パワースイッチ 3 0 はパワースイッチ P S 1、P S 2 および P S 3 を備えている。パワースイッチ P S 1 および P S 2 は高電圧の電源 1 5 c h と電源線 1 5 a との間に並列に接続されている。パワースイッチ P S 1 および P S 2 は例えばそれぞれ P チャネル F E T および N チャネル F E T である。パワースイッチ P S 1 および P S 2 のゲートにそれぞれ P S 制御信号 V P G 1 および V P G 2 が印加される。パワースイッチ P S 1 および P S 2 の基板バイアスは例えばそれぞれ V D D H および V G N D である。

【 0 1 4 3 】

低電圧の電源 1 5 c l と電源線 1 5 a との間にパワースイッチ P S 3 および F E T m 1 1 が直列に接続されている。パワースイッチ P S 3 および F E T m 1 1 はそれぞれ P チャネル F E T および N チャネル F E T である。F E T m 1 1 は負荷として機能する。パワースイッチ P S 3 のゲートに P S 制御信号 V P G 3 が印加される。パワースイッチ P S 3 および F E T m 1 1 の基板バイアスは例えばそれぞれ V D D L および V D D H である。実施例 1 と同様に、パワースイッチ 3 0 は、グランド線 1 5 b とグランド 1 5 d との間に設けられていてもよい。パワースイッチ 3 0 は、電源線 1 5 a と電源 1 5 c h および 1 5 c l の少なくとも一方との間と、グランド線 1 5 b とグランド 1 5 d との間の両方に設けられていてもよい。

【 0 1 4 4 】

[各状態の説明]

図 1 8 (a) および図 1 8 (b) は、実施例 2 における各状態に印加される電圧を示す図である。図 1 8 (a) のように、スタンバイ状態では V P G 1、V P G 2 および V P G 3 はそれぞれローレベル L、ローレベル L およびハイレベル H である。パワースイッチ P S 1、P S 2 および P S 3 はそれぞれオン、オフおよびオフとなる。これにより、電源電圧 V V D D - V G N D は電圧 V 3 となる。電圧 V 3 は例えば 1 . 2 V である。

【 0 1 4 5 】

スリープ状態では V P G 1、V P G 2 および V P G 3 はそれぞれ H、H および H である。パワースイッチ P S 1、P S 2 および P S 3 はそれぞれオフ、オンおよびオフとなる。これにより、電源電圧 V V D D - V G N D は電圧 V 3 より低い電圧 V 2 となる。電圧 V 2 は例えば 0 . 8 V である。

【 0 1 4 6 】

リテンション状態では V P G 1、V P G 2 および V P G 3 はそれぞれ H、L および L である。パワースイッチ P S 1、P S 2 および P S 3 はそれぞれオフ、オフおよびオンとなる。これにより、電源電圧 V V D D - V G N D は電圧 V 2 より低い電圧 V 1 となる。電圧 V 1 は例えば 0 . 2 V である。

【 0 1 4 7 】

シャットダウン状態では V P G 1、V P G 2 および V P G 3 はそれぞれ H、L および H である。パワースイッチ P S 1、P S 2 および P S 3 はそれぞれオフ、オフおよびオフとなる。電源電圧 V V D D - V G N D は電圧 V 1 より低い電圧 V 0 となる。電圧 V 0 はほぼ 0 V である。

【 0 1 4 8 】

図 1 8 (b) に示すように、スタンバイ状態では、電源電圧 V V D D - V G N D は電圧 V 3 である。制御信号 V C T R L は L の場合と H の場合があり、V C T R L が H のときメモリセル 1 0 は B I モードであり、V C T R L が L のときメモリセル 1 0 は S T モードである。スタンバイ (B I) 状態は、実施例 1 のリード/ライト状態と同じであり、通常の S R A M として双安定回路 1 2 のデータを書き換えが可能な状態である。電源電圧 V V D D - V G N D は、双安定回路 1 2 がデータの書き換えが可能でかつデータが保持できる電圧 V 3 である。

【 0 1 4 9 】

スリープ状態では、電源電圧 V V D D - V G N D は電圧 V 3 より低い電圧 V 2 である。制御信号 V C T R L は L の場合と H の場合があり、V C T R L が H のときメモリセル 1 0

はBIモードであり、VCTRLがLのときメモリセル10はSTモードである。電源電圧V_{VDD} - V_{GN}Dは、双安定回路12がデータの書き換えはできないがデータが保持できる電圧V₂である。電圧V₂は電圧V₃より低いため、消費電力を抑制できる。

【0150】

リテンション状態では、電源電圧V_{VDD} - V_{GN}Dは電圧V₂より低い電圧V₁である。制御信号VCTRLはLでありメモリセル10はSTモードである。電源電圧V_{VDD} - V_{GN}Dは、双安定回路12がBIモードではデータを保持できないが、STモードではデータが保持できる電圧V₁である。リテンション状態ではメモリセル10が擬似不揮発性の状態であり、電圧V₁を電圧V₂より低くできるため、消費電力を非常に抑制できる。

10

【0151】

シャットダウン状態では、電源電圧V_{VDD} - V_{GN}Dは電圧V₁より低い電圧V₀である。制御信号VCTRLはHでありメモリセル10はBIモードである。シャットダウン状態ではメモリセル10の消費電力はほぼ0である。

【0152】

図19(a)および図19(b)は、実施例2におけるリテンションおよびシャットダウンに印加される電圧を示す図である。図19(a)に示すように、スタンバイ状態では、電源電圧V_{VDD} - V_{GN}Dは電圧V₃、制御信号VCTRLはHであり、BIモードである。モード切り替え期間では、まずVCTRLをLとする。これにより、STモードとなる。その後、電源電圧V_{VDD} - V_{GN}Dを電圧V₁とする。これにより、リテンション状態となる。その後モード切り替え期間において電源電圧V_{VDD} - V_{GN}Dを電圧V₃とする。その後、VCTRLをHとする。これによりスタンバイ状態に戻る。このようにリテンション状態とする前後にはモード切り替えを行う。

20

【0153】

図19(b)に示すように、スタンバイ状態において、電源電圧V_{VDD} - V_{GN}Dを電圧V₀とするとシャットダウン状態となる。このとき、VCTRLはHを維持しBIモードを維持する。電源電圧V_{VDD} - V_{GN}Dを電圧V₃とすると、スタンバイ状態に戻る。

【0154】

図20は、実施例2における各期間の消費電力を示す図である。実線は図17に示したメモリセル10(VNR-SRAM)を有する記憶回路の消費電力(パワー)を示す。点線は、6トランジスタSRAM(6T-SRAM)セルを用いた記憶回路の消費電力を示している。

30

【0155】

図20に示すように、メモリセル10の動作期間には、スタンバイ期間、モード切り替え期間およびリテンション期間がある。スタンバイ期間の長さを t_{NL} とする。リテンション期間前のモード切り替え期間の長さを t_{EXT} とする。リテンション期間の長さを t_{SD} とする。リテンション期間後のモード切り替え期間の長さを t_{ENT} とする。

【0156】

VNR-SRAMのスタンバイ期間の消費電力は6T-SRAMの消費電力より P_{LKG} 大きい。これは、FETm9およびm10のリーク電流に起因する。VNR-SRAMでは、モード切り替え期間にモード切り替えのための消費電力が必要となる。リテンション期間では、VNR-SRAMの消費電力は P_{save} であり、VNR-SRAMでは6T-SRAMより消費電力を P_{save} 削減できる。

40

【0157】

VNR-SRAMセルの6T-SRAMセルに対するエネルギーの増加は、スタンバイ期間における P_{LKG} によるエネルギー増加 E_{LKG} 、モード切り替え期間のエネルギー増加 E_{EXT} および E_{ENT} の合計である。VNR-SRAMセルがリテンションにより節約できるエネルギーは、リテンション期間における P_{save} によるエネルギー減少 E_{save} である。 $E_{LKG} + E_{EXT} + E_{ENT} = P_{save} \times BET$ となる。双安定回

50

路 1 2 のリード / ライトが行われない待機期間が B E T 以上のときはリテンション状態とし、B E T 以下のときはスタンバイ状態とする。これにより、極めて高効率にエネルギーを削減できる。

【 0 1 5 8 】

図 2 1 (a) および図 2 1 (b) は、実施例 2 におけるメモリセルの別の例である。図 2 1 (a) に示すように、インバータ回路 1 4 は、F E T m 1 a、m 1 b、m 2 および m 9 a を備え、インバータ回路 1 6 は、F E T m 3 a、m 3 b、m 4 および m 1 0 a を備える。F E T m 1 a、m 1 b、m 3 a、m 3 b、m 9 a および m 1 0 a は P チャネル F E T であり、F E T m 2 および m 4 は N チャネル F E T である。F E T m 9 a のソースおよびドレインの一方は F E T m 1 a と m 1 b との間のノード N 2 a に接続され、F E T m 1 0 a のソースおよびドレインの一方は F E T m 3 a と m 3 b との間のノード N 4 a に接続されている。

10

【 0 1 5 9 】

ドライバ 2 6 は、インバータ 2 6 a の前段にインバータ 2 6 c を備えている。V C T R L が L のとき、インバータ 2 6 c は V D D を出力し、インバータ 2 6 a は C T R L として V L C T R L を出力し、インバータ回路 1 4 および 1 6 は B I モードとなる。V C T R L が H のとき、インバータ 2 6 c は V G N D を出力し、インバータ 2 6 a は C T R L として V S C T R L を出力し、インバータ回路 1 4 および 1 6 は S T モードとなる。その他の構成は図 1 7 と同じであり説明を省略する。インバータ 2 6 c の電源電圧および接地電圧を V D D および V G N D としているが、インバータ 2 6 a と同様に電源電圧および接地電圧を V S C T R L および V L C T R L としてもよい。ドライバ 2 6 は、インバータ 2 6 a と 2 6 c の代わりに、インバータ 2 6 a のみを用いて構成してもよい。

20

【 0 1 6 0 】

図 2 1 (b) に示すように、インバータ回路 1 4 は、F E T m 1 a、m 1 b、m 2 a、m 2 b、m 9 および m 9 a を備え、インバータ回路 1 6 は、F E T m 3 a、m 3 b、m 4 a、m 4 b、m 1 0 および m 1 0 a を備える。F E T m 1 a、m 1 b、m 3 a、m 3 b、m 9 a および m 1 0 a は P チャネル F E T であり、F E T m 2 a、m 2 b、m 4 a および m 4 b、m 9 および m 1 0 は N チャネル F E T である。

【 0 1 6 1 】

F E T m 9 a および F E T m 1 0 a のソースおよびドレインの他方は制御線 C T R L P に接続され、F E T m 9 および F E T m 1 0 のソースおよびドレインの他方は制御線 C T R L N に接続されている。ドライバ 2 6 はインバータ 2 6 a および 2 6 b を備えている。インバータ 2 6 a は制御線 C T R L N に信号を出力する。インバータ 2 6 b はインバータ 2 6 a の出力を反転し制御線 C T R L P に出力する。その他の構成は図 1 7 および図 2 1 (a) と同じであり説明を省略する。

30

【 0 1 6 2 】

図 2 1 (a) および図 2 1 (b) のように、インバータ回路 1 4 および 1 6 において、P チャネル F E T m 1 a および m 3 a と N チャネル F E T m 2 および m 4 との少なくとも一方が直列に複数接続されていてよい。P チャネル F E T m 9 a および m 1 0 a と N チャネル F E T m 9 および m 1 0 との少なくとも一方が設けられていればよい。

40

【 0 1 6 3 】

[電子回路の説明]

図 2 2 は、実施例 2 における電子回路を示すブロック図である。図 2 2 に示すように、電子回路 1 0 2 は、セルアレイ 2 0、制御回路 2 8 を備えている。セルアレイ 2 0 は、複数のサブアレイ 2 2 に分割されている。サブアレイ 2 2 の記憶容量は例えば 8 k バイトである。サブアレイ 2 2 には複数のメモリセル 1 0 がマトリックス状に設けられている。サブアレイ 2 2 はバス 2 5 に接続されている。サブアレイ 2 2 の個数は適宜設計可能である。

【 0 1 6 4 】

サブアレイ 2 2 にはパワースイッチ 3 0 および周辺回路 3 8 が設けられている。パワー

50

スイッチ 30 はサブアレイ 22 毎に電源電圧を設定する。周辺回路 38 はモード制御信号に基づき、各メモリセル 10 のモードを制御する。

【 0 1 6 5 】

制御回路 28 はレジスタ 40 を備えている。制御回路 28 が外部回路から受信したブロックごとの UDF をレジスタ 40 に格納する。制御回路 28 は、PS 制御信号を用い各サブアレイ 22 のパワースイッチ 30 を制御する。制御回路 28 はバス 25 を介しサブアレイ 22 へのデータの入出力を行う。制御回路 28 の少なくとも一部の機能は外部の CPU 等のプロセッサ回路がソフトウェアと協働で行ってもよい。

【 0 1 6 6 】

[サブアレイの説明]

図 23 は、実施例 2 におけるサブアレイのブロック図である。図 23 に示すように、サブアレイ 22 は、メモリセル 10 を有する複数のブロック 24 (例えば 8 個) に分割されている。ブロック 24 の記憶容量は例えば 1 k バイトである。ブロック 24 の個数は適宜設計可能である。サブアレイ 22 内には複数のメモリセル 10 がマトリックス状に配置されている。サブアレイ 22 内には、行方向にワード線 WL および制御線 CTRL が延伸し、列方向にビット線 BL が延伸している。各メモリセル 10 には、ワード線 WL、ビット線 BL、制御線 CTRL、電源線 15 a およびグランド線 15 b が接続されている。

【 0 1 6 7 】

各サブアレイ 22 に対応し、パワースイッチ 30 および周辺回路 38 が設けられている。制御回路 28 は、パワースイッチ 30 および周辺回路 38 を制御する。

【 0 1 6 8 】

パワースイッチ 30 は、ブロック 24 毎に電源電圧 V V D D - V G N D を電圧 V 3、V 2、V 1 および V 0 にできる。周辺回路 38 は、WL デコーダ 31、列デコーダ 32、プリチャージ回路 33 および読出書込回路 34 を備えている。

【 0 1 6 9 】

スタンバイ期間において、WL デコーダ 31 は行アドレスに基づきワード線 WL を選択する。列デコーダ 32 は列アドレスに基づきビット線 BL を選択する。プリチャージ回路 33 はビット線 BL をプリチャージする。読出書込回路 34 は、WL デコーダ 31 および列デコーダ 32 に選択されたメモリセル 10 の双安定回路 12 にデータを書き込みまたは双安定回路 12 からデータを読み出しバス 25 に出力する。

【 0 1 7 0 】

リテンション期間において、制御回路 28 は 1 または複数のメモリセル 10 を ST モードとし、V V D D を電圧 V 1 とする。これにより、メモリセル 10 はリテンション状態となる。

【 0 1 7 1 】

[動作の説明]

図 24 は、実施例 2 における動作を示すフローチャートである。図 24 に示すように、制御回路 28 は、外部回路からの指令によりセルアレイ 20 の電源を投入する (ステップ S 10)。例えば、制御回路 28 は、全てのブロック 24 のメモリセル 10 を BI モードとし、パワースイッチ PS 1 をオンし、パワースイッチ PS 2 および PS 3 をオフする。これにより、全てのブロック 24 がスタンバイ状態となる。

【 0 1 7 2 】

制御回路 28 は、スタンバイ状態でリードおよびライト動作を行う (ステップ S 12)。制御回路 28 は、外部回路からセルアレイ 20 をシャットダウンする指示を受けたか否か判定する (ステップ S 14)。No のときステップ S 12 に戻る。Yes のとき、制御回路 28 は、リテンション動作およびシャットダウンを行う (ステップ S 17)。その後終了しステップ S 10 に戻る。

【 0 1 7 3 】

[UDF 設定の説明]

UDF を設定する動作は実施例 1 の図 7 (b) と同じであり説明を省略する。

10

20

30

40

50

【 0 1 7 4 】

[リテンション動作のタイプ A の説明]

図 2 4 のステップ S 1 7 の動作としてリテンション動作のタイプ A について説明する。図 2 5 は、実施例 2 におけるリテンション動作のタイプ A を示すフローチャートである。図 2 6 (a) から図 2 6 (e) は、実施例 2 におけるリテンション動作のタイプ A におけるセルアレイを示す模式図である。図 2 7 (a) から図 2 7 (e) は、実施例 2 におけるリテンション動作のタイプ A におけるセルアレイおよびブロックを示す模式図である。図 2 6 (a) から図 2 6 (e) はサブアレイ 2 2 毎にリテンション動作を行う例であり、図 2 7 (a) から図 2 7 (e) はブロック 2 4 毎にリテンション動作を行う例である。サブアレイ 2 2 毎にリテンション動作を行う場合もブロック 2 4 毎にリテンション動作を行う場合も基本的な動作は同じである。リテンション動作のタイプ B および C でも同様である。

10

【 0 1 7 5 】

図 2 4 のステップ S 1 7 において制御回路 2 8 がリテンション動作を開始する。図 2 5 に示すように、このとき、各ブロック 2 4 (またはサブアレイ 2 2) はスタンバイ (B I) 状態となっている (ステップ S 5 4) 。例えば制御回路 2 8 は全てのブロック 2 4 (サブアレイ 2 2) の電源電圧 $V_{VDD} - V_{GND}$ を電圧 V_3 とし、制御信号 V_{CTRL} を H とする。図 2 6 (a) のように、全てのサブアレイ 2 2 はスタンバイ (B I) 状態である。図 2 7 (a) のように、全てのブロック 2 4 はスタンバイ (B I) 状態である。

【 0 1 7 6 】

制御回路 2 8 はブロック 2 4 (またはサブアレイ 2 2) に対応する U D F をレジスタ 4 0 からそれぞれ読み出す (ステップ S 5 6) 。制御回路 2 8 は、U D F がセットされた (例えばハイレベル H の) ブロック 2 4 (サブアレイ 2 2) を抽出し、一括してシャットダウンする (ステップ S 5 8) 。例えば制御回路 2 8 は、対応するブロック 2 4 (サブアレイ 2 2) の電源電圧 $V_{VDD} - V_{GND}$ を電圧 V_0 とする。図 2 6 (b) に示すように、制御回路 2 8 は 9 個のサブアレイ 2 2 のうち、4 個のサブアレイ 2 2 を一括してシャットダウン状態とする。図 2 7 (b) に示すように、制御回路 2 8 は 7 2 個のブロック 2 4 のうち、2 8 個のブロック 2 4 を一括してシャットダウン状態とする。

20

【 0 1 7 7 】

制御回路 2 8 は、U D F がセットされていない (すなわちリテンション対象の) 最初のブロック 2 4 a (サブアレイ 2 2 a) を選択する (ステップ S 6 0) 。制御回路 2 8 は最初のブロック 2 4 a (サブアレイ 2 2 a) をスタンバイ (S T) 状態とする (ステップ S 6 2) 。例えば制御回路 2 8 はブロック 2 4 a (サブアレイ 2 2 a) の電源電圧 $V_{VDD} - V_{GND}$ を電圧 V_3 とした状態で、制御信号 V_{CTRL} を L とする。図 2 6 (c) に示すように、サブアレイ 2 2 a はスタンバイ (S T) 状態となる。図 2 7 (c) に示すように、ブロック 2 4 a はスタンバイ (S T) 状態となる。

30

【 0 1 7 8 】

制御回路 2 8 は最後のブロック 2 4 (サブアレイ 2 2) が判定する (ステップ S 6 4) 。No のとき、次のブロック 2 4 (サブアレイ 2 2) に進み (ステップ S 6 6) 、ステップ S 6 0 に戻る。順次、リテンション対象のブロック 2 4 (サブアレイ 2 2) をスタンバイ (S T) 状態とする。図 2 6 (d) のように、全てのリテンション対象のサブアレイ 2 2 がスタンバイ (S T) 状態となる。図 2 7 (d) のように、全てのリテンション対象のブロック 2 4 がスタンバイ (S T) 状態となる。

40

【 0 1 7 9 】

ステップ S 6 4 において Y e s と判定されると、制御回路 2 8 は全てのリテンション対象のブロック 2 4 (サブアレイ 2 2) を一括あるいは複数のブロック 2 4 (サブアレイ 2 2) 毎にリテンション状態とする (ステップ S 6 8) 。図 2 6 (e) のように、全てのリテンション対象のサブアレイ 2 2 がリテンション状態となる。図 2 7 (e) のように、全てのリテンション対象のブロック 2 4 がリテンション状態となる。その後終了する。

【 0 1 8 0 】

50

[リテンション動作のタイプBの説明]

リテンション動作のタイプBについて説明する。図28は、実施例2におけるリテンション動作のタイプBを示すフローチャートである。図29(a)から図29(e)は、実施例2におけるリテンション動作のタイプBにおけるセルアレイを示す模式図である。図30(a)から図30(e)は、実施例2におけるリテンション動作のタイプBにおけるセルアレイおよびブロックを示す模式図である。

【0181】

図28に示すように、制御回路28は、各ブロック24(またはサブアレイ22)をスリープ(BI)状態とする(ステップS70)。例えば制御回路28は全てのブロック24(サブアレイ22)の電源電圧V_{VDD}-V_{GND}を電圧V₂とし、制御信号V_{CTRL}をHとする。図29(a)のように、全てのサブアレイ22はスリープ(BI)状態である。図30(a)のように、全てのブロック24はスリープ(BI)状態である。

10

【0182】

制御回路28はステップS56において読み出したUDFがセットされた(例えばハイレベルHの)ブロック24(サブアレイ22)を抽出し、一括してシャットダウンする(ステップS58)。図29(b)に示すように、制御回路28は4個のサブアレイ22を一括してシャットダウン状態とする。図30(b)に示すように、制御回路28は28個のブロック24を一括してシャットダウン状態とする。

【0183】

制御回路28はステップS60において選択された最初のブロック24a(サブアレイ22a)をスリープ(ST)状態とする(ステップS72)。例えば制御回路28はブロック24a(サブアレイ22a)の電源電圧V_{VDD}-V_{GND}を電圧V₂とし、制御信号V_{CTRL}をLとする。図29(c)に示すように、サブアレイ22aはスリープ(ST)状態となる。図30(c)に示すように、ブロック24aはスリープ(ST)状態となる。

20

【0184】

ステップS64においてNoと判定されると、次のブロック24(サブアレイ22)についてステップS60およびS72を行う。図29(d)のように、全てのリテンション対象のサブアレイ22がスリープ(ST)状態となる。図30(d)のように、全てのリテンション対象のブロック24がスリープ(ST)状態となる。

30

【0185】

ステップS64においてYesと判定されると、制御回路28は全てのリテンション対象のブロック24(サブアレイ22)を一括してリテンション状態とする(ステップS68)。図29(e)のように、全てのリテンション対象のサブアレイ22がリテンション状態となる。図30(e)のように、全てのリテンション対象のブロック24がリテンション状態となる。その後終了する。その他の動作はリテンション動作のタイプAと同じである。

【0186】

[リテンション動作のタイプCの説明]

リテンション動作のタイプCについて説明する。図31は、実施例2におけるリテンション動作のタイプCを示すフローチャートである。図32(a)から図32(e)は、リテンション動作のタイプCにおけるセルアレイを示す模式図である。図33(a)から図33(e)は、リテンション動作のタイプCにおけるセルアレイおよびブロックを示す模式図である。

40

【0187】

図31に示すように、ステップS70、S56、S58、S60、S72はリテンション動作のタイプBと同じであり、図32(a)から図32(c)および図33(a)から図33(c)は、図29(a)から図29(c)および図30(a)から図30(c)とそれぞれ同じである。

【0188】

50

ステップS72において、制御回路28は、リテンション対象の最初のブロック24a（またはサブアレイ22a）をスリープ（ST）状態とした後、ブロック24a（またはサブアレイ22a）をリテンション状態とする（ステップS74）。図32（d）に示すように、サブアレイ22aはリテンション状態となる。図33（d）に示すように、ブロック24aはリテンション状態となる。

【0189】

その後、リテンション対象のブロック24（サブアレイ22）を順次スリープ（ST）状態とし（ステップS72）、その後リテンション状態とする（ステップS74）。ステップS64においてYesと判定されたとき、図32（e）のように、全てのリテンション対象のサブアレイ22がリテンション状態となる。図33（e）のように、全てのリテンション対象のブロック24がリテンション状態となる。その後終了する。その他の動作はリテンション動作のタイプBと同じである。

10

【0190】

〔リテンション動作のタイプBの制御回路の例〕

図34は、リテンション動作のタイプBにおける制御回路の例を示すブロック図である。制御回路28Bは、レジスタ40、モード制御回路45およびPS制御回路44を備えている。レジスタ40のビット数は各々ブロック24の個数の $NSA \times Nblock$ 以上である。 $NSA \times Nblock$ 個のブロック24のうちブロック24Aから24Bについて説明する。

【0191】

実施例1の図7（b）のステップS32と同様に、全ての記憶部40Aから40BがローレベルLにリセットされる。ステップS34において制御回路28BにUDFが入力すると、ステップS36において、対応するブロック24Aから24Bの記憶部40Aから40BがハイレベルHにセットされる。

20

【0192】

モード制御回路45は、モード制御信号VCTRLを出力する。PS制御回路44は、レジスタ40に保持されたUDFに基づき各ブロック24Aから24BのパワースイッチPS1AからPS1B、PS2AからPS2BおよびPS3AからPS3Bを制御する。

【0193】

PS制御回路44は、各々ブロック24Aから24Bの個数のOR回路60、AND回路61、OR回路62、OR回路63、NAND回路64、AND回路65、AND回路66、OR回路67、OR回路68、OR回路69、AND回路70、AND回路71、OR回路72およびOR回路73を備えている。

30

【0194】

OR回路60には、UDF記憶部40Aから40Bの出力信号と制御信号ENNLBが入力する。AND回路61にはOR回路60の出力信号と制御信号ENNLBが入力する。OR回路62にはAND回路61の出力信号と制御信号ENSLPが入力する。OR回路62からPS制御信号VPG1AからVPG1Bが出力される。PS制御信号VPG1AからVPG1Bはそれぞれブロック24Aから24BのパワースイッチPS1AからPS1Bのゲートに入力する。

40

【0195】

OR回路63にはUDF記憶部40Aから40Bの出力信号と制御信号ENRBが入力する。NAND回路64にはUDF記憶部40Aから40Bの出力信号と制御信号ENNLBが入力する。AND回路65にはOR回路63の出力信号とNAND回路64の出力信号が入力する。AND回路66にはAND回路65の出力信号と制御信号ENNLBが入力する。OR回路67にはAND回路65の出力信号と制御信号ENSLPが入力する。OR回路67からPS制御信号VPG2AからVPG2Bが出力される。PS制御信号VPG2AからVPG2Bはそれぞれブロック24Aから24BのパワースイッチPS2AからPS2Bのゲートに入力する。

【0196】

50

OR回路68にはUDF記憶部40Aから40Bの出力信号と制御信号ENRBが入力する。OR回路69にはUDF記憶部40Aから40Bの出力信号と制御信号ENNLBが入力する。AND回路70にはOR回路68の出力信号とOR回路69の出力信号が入力する。AND回路71にはAND回路70の出力信号と制御信号ENNLBが入力する。OR回路72にはAND回路71の出力信号と制御信号ENSLPが入力する。OR回路73にはOR回路72の出力信号と制御信号ENRBが入力する。OR回路73からPS制御信号VPG3AからVPG3Bが出力される。PS制御信号VPG3AからVPG3Bはそれぞれブロック24Aから24BのパワースイッチPS3AからPS3Bのゲートに入力する。

【0197】

図35(a)から図35(e)は、リテンション動作のタイプBにおける各信号のレベルとパワースイッチの動作を示す図である。図35(a)に示すように、スタンバイ(BI)状態では、制御信号ENRB、ENNLB、ENSLPおよびVCTRLは、それぞれH、L、LおよびHである。ブロック24Aおよび24BのUDFをそれぞれLおよびHとする。このとき、VPG1AからVPG1BはLでありパワースイッチPS1AからPS1Bはオンである。VPG2AからVPG2BはLでありパワースイッチPS2AからPS2Bはオフである。VPG3AからVPG3BはHでありパワースイッチPS3AからPS3Bはオフである。このように、スタンバイ(BI)状態では、UDFによらず、パワースイッチPS1AからPS1BがオンでありパワースイッチPS2AからPS2BおよびPS3AからPS3Bはオフである。よって、全てのブロック24Aから24Bの電源電圧VVDD-VGNDは電圧V3である。

【0198】

図35(b)に示すように、スリープ(BI)状態では、制御信号ENRB、ENNLB、ENSLPおよびVCTRLは、それぞれH、L、HおよびHである。VPG1AからVPG1BはHでありパワースイッチPS1AからPS1Bはオフである。VPG2AからVPG2BはHでありパワースイッチPS2AからPS2Bはオンである。VPG3AからVPG3BはHでありパワースイッチPS3AからPS3Bはオフである。このように、スリープ(BI)状態では、UDFによらず、パワースイッチPS1AからPS1BおよびPS3AからPS3BがオフでありパワースイッチPS2AからPS2Bがオンである。よって全ブロック24Aから24Bの電源電圧VVDD-VGNDは電圧V2となりスリープ(BI)状態となる。図28のステップS70では、図35(b)のように全ブロックがスリープ(BI)状態となる。

【0199】

図28のステップS70、S56およびS58においてUDFがHのブロック24をスリープ(BI)状態とし、UDFがLのブロックを一括遮断する。図35(c)に示すように、図35(a)のスタンバイ(BI)の状態から制御信号ENNLBがLからHとなる。VPG1AからVPG1BがLからHとなり、VPG2AがLからHとなる。これにより、パワースイッチPS2Aはオフからオンになる。パワースイッチPS1AおよびPS1Bはオンからオフになる。パワースイッチPS2B、PS3AおよびPS3Bはオフを維持する。よって、リテンション対象のブロック24Aの電源電圧VVDD-VGNDは電圧V3からV2となり、ブロック24Aはスリープ(BI)状態となる。UDFがセットされたブロック24Bの電源電圧VVDD-VGNDは電圧V0となり、ブロック24Bはシャットダウン状態となる。

【0200】

図28のステップS72においてブロック24Aをスリープ(BI)状態からスリープ(ST)状態に切り替える。図35(d)に示すように、制御信号ENRB、ENNLBおよびENSLPは図35(c)の状態を維持する。各パワースイッチの状態は変わらず、ブロック24Aおよび24Bの電源電圧VVDD-VGNDはそれぞれ電圧V2およびV0が維持される。制御信号VCTRLはHからLとなる。これにより、対象となるブロック24AのモードがBIモードからSTモードに切り替わる。これにより、ブロック2

10

20

30

40

50

4 Aはスリープ (S T) 状態となる。

【 0 2 0 1 】

図 2 8 のステップ S 6 0 から S 6 6 のループを行うことにより、全てのリテンション対象のブロック 2 4 について、スリープ (B I) 状態をスリープ (S T) 状態に切り替える。

【 0 2 0 2 】

図 2 8 のステップ S 6 8 において、全てのリテンション対象のブロック 2 4 A をスリープ (S T) 状態からリテンション状態とする。図 3 5 (e) に示すように、制御信号 E N N L B、E N S L P および V C T R L は図 3 5 (d) の状態を維持し、制御信号 E N R B を H から L とする。これにより、V P G 2 A および V P G 3 A が H から L となり、パワースイッチ P S 2 A がオンからオフとなり、パワースイッチ P S 3 A がオフからオンになる。これにより、リテンション対象のブロック 2 4 A の電源電圧 V V D D - V G N D が電圧 V 2 から電圧 V 1 となり、全てのリテンション対象のブロック 2 4 A はリテンション状態となる。ブロック 2 4 B の電源電圧 V V D D - V G N D は電圧 V 0 が維持される。

10

【 0 2 0 3 】

図 3 6 は、リテンション動作のタイプ B における制御信号のタイミングチャートである。制御信号 V C T R L 1 ~ V C T R L n は各ブロック 2 4 1 ~ 2 4 n に対応する制御信号 V C T R L である。ブロック 2 4 1 ~ 2 4 k はリテンション対象のブロックであり、ブロック 2 4 k + 1 ~ ブロック 2 4 n はシャットダウン対象のブロックである。

【 0 2 0 4 】

図 3 6 に示すように、時刻 t 2 0 と t 2 1 との間はスタンバイ (B I) 期間であり、制御信号 E N N L B および E N S L P は L、E N R B および V C T R L 1 ~ V C T R L n は H である。時刻 t 2 1 と t 2 2 との間はスリープ (B I) 期間であり、制御信号 E N S L P は H である。

20

【 0 2 0 5 】

時刻 t 2 3 (図 2 8 のステップ S 5 8) において、制御信号 E N N L B が H となる。これにより、リテンション対象のブロック 2 4 1 ~ 2 4 k はスリープ (B I) 状態を維持し、U D F のブロック 2 4 k + 1 ~ 2 4 n はシャットダウン状態となる。この状態は期間 T 1 である。

【 0 2 0 6 】

時刻 t 2 4 (図 2 8 のステップ S 7 2) において、リテンション対象の最初のブロック 2 4 1 の制御信号 V C T R L 1 が L となる。これによりブロック 2 4 1 のモードが B I モードから S T モードに切り替わり、ブロック 2 4 1 はスリープ (S T) 状態となる。時刻 t 2 4 以降の期間はブロック 2 4 1 の期間 T 2 であり、ブロック 2 4 1 が S T モードの期間である。時刻 t 2 5 において、リテンション対象の 2 番目のブロック 2 4 2 について、制御信号 V C T R L 2 を L とする。ブロック 2 4 2 はスリープ (S T) 状態となり期間 T 2 となる。

30

【 0 2 0 7 】

図 2 8 のステップ S 6 0 から S 6 6 のループを行うことにより、全てのリテンション対象のブロック 2 4 1 ~ 2 4 k について順次ステップ S 6 8 を行う。全てのリテンション対象のブロック 2 4 1 ~ 2 4 k について B I モードが S T モードに切り替わる。時刻 t 2 6 (図 2 8 のステップ S 6 8) において、制御信号 E N R B が L となる。これにより、全てのリテンション対象のブロック 2 4 1 ~ 2 4 n がリテンション状態となる。

40

【 0 2 0 8 】

時刻 t 2 7 において、制御信号 E N R B が H となる。これにより、リテンション対象のブロック 2 4 1 ~ 2 4 k はスリープ (S T) 状態となる。制御信号 V C T R L 1 ~ V C T R L k を順次 H とする。ブロック 2 4 1 ~ 2 4 k は順次スリープ (B I) 状態となる。時刻 t 2 8 において、S T モードから B I モードへのモードの切り替えが終了する。

【 0 2 0 9 】

[リテンション動作のタイプ C の制御回路の例]

50

図37は、リテンション動作のタイプCにおける制御回路の例を示すブロック図である。制御回路28Cは、図34の制御回路28Bに対し、OR回路63、NAND回路64およびAND回路65がNAND回路74に置き換わり、OR回路68、69およびAND回路70がOR回路75に置き換わっている。モード制御回路45はブロック24Aから24B毎に制御信号ENRBを出力する。

【0210】

NAND回路74にはUDF記憶部40Aから40Bの出力信号と制御信号ENNLBが入力する。AND回路65にはNAND回路74の出力信号とブロック24Aから24B毎の制御信号ENRBが入力する。OR回路75にはUDF記憶部40Aから40Bの出力信号とブロック24Aから24B毎の制御信号ENRBが入力する。OR回路75の出力信号はAND回路71に入力する。その他の構成は図34の制御回路28Bと同じであり説明を省略する。制御回路28Cではブロック24Aから24B毎にリテンションすることができる。

10

【0211】

各信号のレベルとパワースイッチの動作は、図35(a)から図35(e)と同様であり説明を省略する。

【0212】

図38は、リテンション動作のタイプCにおける制御信号のタイミングチャートである。制御信号ENRB1~ENRBnは各ブロック241から24nに対応する制御信号ENRBである。

20

【0213】

図38に示すように、時刻t20からt23の間では、制御信号ENRB1からENRBnはHである。その他は図36と同じである。

【0214】

時刻t24(図31のステップS72)において、リテンション対象の最初のブロック241について、制御信号VCTRL1がLとなる。これによりブロック241のモードがBIモードからSTモードに切り替わり、ブロック241はスリープ(ST)状態となる。時刻t25において、ブロック241について、制御信号ENRB1がLとなる。これにより、ブロック241はリテンション状態となる。リテンション対象の2番目のブロック242について、制御信号VCTRL2がLとなる。ブロック242はスリープ(ST)状態となる。

30

【0215】

図31のステップS60からS66のループを行うことにより、全てのリテンション対象のブロック241~24kについて順次ステップS72およびS74を行う。全てのリテンション対象のブロック241~24kについてモード切り替えおよびリテンションが終了すると、時刻t26において、全てのリテンション対象のブロック241~24nはリテンション状態となる。

【0216】

時刻t27以降、各ブロック241から24k毎に、制御信号ENRB1~ENRBkおよび制御信号VCTRL1~VCTRLkが順次Hとなる。ブロック241~24kは順次スリープ(BI)状態となる。時刻t28において、STモードからBIモードへのモード切り替えが終了する。

40

【0217】

[シミュレーション]

実施例2に係る電子回路についてBETおよびリテンションのスタンバイ(BI)状態とスタンバイ(ST)状態とのモード切り替えのレイテンシをシミュレーションした。比較例2についてもシミュレーションした。比較例2では、UDFによるサブアレイ22およびブロック24の一括遮断を行わず、全てのブロックをスタンバイ(BI)状態とし、ブロックごとに順次モード切り替えを行う。最後に全てのブロック24を一括してリテンション状態とする。

50

【0218】

シミュレーション条件は以下である。VDDH、VDDL、VGND、VSCTRL、VLCTRLおよびWLを、それぞれ1.2V、0.2V、0V、0.3V、0.1Vおよび0Vとした。VPG1のHおよびLをそれぞれ1.4Vおよび0Vとした。VPG2のHおよびLをそれぞれ1.2Vおよび-0.2Vとした。VPG3のHおよびLをそれぞれ1.4Vおよび0Vとした。VCTRLのHおよびLをそれぞれ1.2Vおよび0Vとした。ビット線BLおよびBLBはスタンバイ状態およびスリープ状態のとき1.2Vとし、リテンション状態およびシャットダウン状態のとき0Vとした。モード切り替えのときにドライバ26を充電する時間として1サブアレイ22毎に15nsとした。サブアレイ22およびブロック24の記憶容量をそれぞれ8kバイトおよび1kバイトとした。

10

【0219】

セルアレイ20内の全メモリセルの個数に対するUDFがセットされたメモリセルの個数の比をUD割合とした。セルアレイ20の記憶容量が32kバイト、256kバイトおよび2Mバイトについてシミュレーションした。

【0220】

図39(a)から図39(c)は、タイプAからCおよび比較例2におけるUD割合に対するBETを示す図、図39(d)から図39(f)は、UD割合に対するレイテンシを示す図である。図39(a)から図39(c)に示すように、比較例2では、UD割合によらずBETは一定である。タイプAではUD割合が0%のとき比較例2のBETと同じである。UD割合が大きくなるとBETは短くなる。タイプBではUD割合が0%のとき比較例2よりBETが小さい。これは、タイプBでは、リテンションの前に全てのブロックを一括してスリープ(BI)状態にしているため、リテンションの待機中のブロックのリーク電流による消費電力を抑制できるためである。タイプCではUD割合が0%のときタイプBよりBETが小さい。これは、対象となるブロックごとにスリープ(BI)状態からスリープ(ST)状態の切り替えおよびリテンションを順次行うため、スリープ(ST)状態での待機時間を短くでき消費電力を抑制できるためである。

20

【0221】

図39(d)から図39(f)に示すように、タイプAからCでは比較例2に比べUD割合が大きくなるとレイテンシを削減できる。タイプAからCの間ではレイテンシは同じである。

30

【0222】

以上のシミュレーションのように、タイプAではBETは長いもののスリープ状態を設定しなくてもよい制御が簡単である。タイプBでは、BETはタイプAとCとの間である。タイプBの制御はスリープ状態を設定するためタイプAより複雑であるが、リテンションを一括して行うためタイプCより簡単である。タイプCでは、BETは短いリテンションを順次行うため制御が複雑である。

【0223】

次にUDFによる一括シャットダウンを行わず、リテンションを行うときにスタンバイ(BI)状態で待機する比較例2-1、スリープ(BI)で待機する比較例2-2およびタイプCについて、スタンバイ電力をシミュレーションした。

40

【0224】

図40(a)から図40(c)は、実施例2におけるVNRSRAMと6T-SRAMとを比較する図である。6T-SRAMのスタンバイ状態およびスリープ状態のスタンバイ電力と、タイプCのVNRSRAMのスタンバイ電力と、を比較している。図40(a)から図40(c)に示すように、6T-SRAMにおいて、スタンバイ状態からスリープ状態とするとスタンバイ電力は約30%削減できる。リテンション動作のタイプCの場合、UD割合が0%でもスタンバイ電圧を90%削減できる。UD割合が100%の場合、スタンバイ電力を99%削減できる。

【0225】

実施例2によれば、図17、図21(a)および図21(b)のように、メモリセル1

50

0 は、伝達特性にヒステリシスを実質的に有さない B I モード（第 1 モード）と伝達特性にヒステリシスを有する S T モード（第 2 モード）とが切り替わるインバータ回路 1 4（第 1 インバータ回路）およびインバータ回路 1 6（第 2 インバータ回路）を各々備える双安定回路 1 2 を有する。双安定回路 1 2 では、インバータ回路 1 4 の出力ノードおよび入力ノードはインバータ回路 1 6 のそれぞれ入力ノードおよび出力ノードに接続されている。

【 0 2 2 6 】

図 2 5、図 2 8 および図 3 1 のステップ S 5 6 および S 5 8 のように、制御回路 2 8 は、複数のメモリセル 1 0 のうち保持しなくてもよいデータを記憶する 1 または複数の第 1 メモリセルをシャットダウン（電源遮断）する。ステップ S 6 2 および S 7 2 のように、制御回路 2 8 は、複数のメモリセル 1 0 のうち残りの 1 または複数の第 2 メモリセル内の双安定回路 1 2 を S T モードとし、ステップ S 6 8 および S 7 4 のように、S T モードを維持した状態で第 2 メモリセル内の双安定回路 1 2 に電圧 V 1（第 2 電源電圧）を供給する。電圧 V 1 は、データをリードおよび / またはライトするときに双安定回路 1 2 に供給される電圧 V 3（第 1 電源電圧）より低く S T モードの双安定回路 1 2 がデータを保持できる電圧である。

10

【 0 2 2 7 】

このように、保持しなくてもよいデータを記憶するメモリセルをシャットダウンするため、保持しなくてもよいデータを記憶するメモリセルのモードの切り替えおよびリテンション状態を維持するための消費電力を抑制できる。また、レイテンシを削減できる。

20

【 0 2 2 8 】

図 2 2 および図 2 3 のように、セルアレイ 2 0 は各々のブロック 2 4 が少なくとも 2 つのメモリセル 1 0 を含む複数のブロック 2 4 に分割されている。図 2 5、図 2 8 および図 3 1 のステップ S 5 6 のように、制御回路 2 8 は、複数のブロック 2 4 から保持しなくてもよいデータを記憶する 1 または複数の第 1 ブロックを抽出する。ステップ S 5 8 のように、制御回路 2 8 は、第 1 ブロックをシャットダウン（電源遮断）する。その後、ステップ S 6 2 および S 7 2 のように制御回路 2 8 は、複数のブロック 2 4 のうち残りの 1 または複数の第 2 ブロック内の双安定回路を S T モードとする。ステップ S 6 8 および S 7 4 のように制御回路 2 8 は S T モードを維持した状態で第 2 ブロック内の双安定回路 1 2 に電圧 V 1 を供給する。

30

【 0 2 2 9 】

このように、ブロック単位で、U D F がセットされた第 1 ブロックをシャットダウンするため、第 1 ブロックのモードの切り替えおよびリテンション状態を維持するための消費電力を抑制できる。また、レイテンシを削減できる。また、U D F がセットされた第 1 ブロックを最初にシャットダウンするため、モード切り替え動作を待機するときのリーク電流に起因する消費電力を削減できる。

【 0 2 3 0 】

リテンション動作のタイプ B および C のように、制御回路 2 8 は、リテンション対象のブロックを S T モードとする前に、図 2 8 および図 3 1 のステップ S 7 0 のように、リテンション対象の第 2 ブロックに電源電圧として電圧 V 2（第 3 電源電圧）を供給する（すなわちスリープ状態とする）。電圧 V 2 は、電圧 V 3 より低くかつ電圧 V 1 より高く B I モードの双安定回路 1 2 がデータを保持できる電源電圧である。これにより、シャットダウンおよびリテンションを待機する期間の消費電力を抑制できる。

40

【 0 2 3 1 】

ステップ S 7 2 のように、制御回路 2 8 は、第 2 ブロック内の双安定回路 1 2 に電圧 V 2 を供給した状態で第 2 ブロック内の双安定回路 1 2 を S T モードとする。これにより、リテンションを待機する期間の消費電力を抑制できる。

【 0 2 3 2 】

リテンション動作のタイプ C の図 3 8 のように、制御回路 2 8 は、複数の第 2 ブロック内のうちのブロック 2 4 1（第 3 ブロック）の双安定回路に電圧 V 2 を供給した状態でブ

50

ロック 2 4 1 内の双安定回路 1 2 を S T モードとし (図 3 1 のステップ S 7 2 、 期間 T 2) 、 ブロック 2 4 1 内の双安定回路 1 2 を S T モードとした状態で電圧 V 1 を供給する (ステップ S 7 4 、 期間 T 3) 。 その後、制御回路 2 8 は、複数の第 2 ブロック内のうちのブロック 2 4 1 とは別のブロック 2 4 2 (第 4 ブロック) の双安定回路 1 2 に電圧 V 1 を供給した状態でブロック 2 4 2 内の双安定回路 1 2 を S T モードとし、ブロック 2 4 2 内の双安定回路 1 2 を S T モードとした状態で電圧 V 1 を供給する。これにより、リテンションを待機する期間を短くでき、消費電力を抑制できる。

【 0 2 3 3 】

リテンション動作のタイプ B の図 3 6 のように、制御回路 2 8 は、第 2 ブロック内の双安定回路 1 2 に電圧 V 2 を供給した状態で第 2 ブロック内の双安定回路 1 2 を S T モードとした後、第 2 ブロック内の双安定回路 1 2 を S T モードとした状態で電圧 V 1 を供給する (図 2 8 のステップ S 7 4 、 図 3 6 の時刻 t 2 6) 。 これにより、タイプ C に比べ制御を簡単にできる。制御回路 2 8 は、複数の第 2 ブロック内の双安定回路 1 2 を S T モードとした状態で電圧 V 2 を一括して供給してもよい。また、制御回路 2 8 は、複数の第 2 ブロックを各々 1 または複数の第 2 ブロックを含む複数のグループに分割し、分割されたグループ毎に電圧 V 2 を順次供給してもよい。

【 0 2 3 4 】

レジスタ 4 0 (記憶回路) は、セルアレイ 2 0 の外に設けられ、外部回路から受信した U D F (保持しなくてもよいデータを記憶するブロックを示す情報) を記憶する。制御回路 2 8 は、U D F に基づき、保持しなくてもよいデータを記憶するブロックを抽出する (ステップ S 5 6) 。 これにより、U D F を記憶する記憶回路を各サブアレイ 2 2 またはブロック 2 4 に設ける方法に比べ、U D F をバス 2 5 等を介し制御回路 2 8 に転送しなくてもよく、制御が簡単になる。

【 0 2 3 5 】

図 1 7 のように、インバータ回路 1 4 および 1 6 は、F E T m 1 および m 3 (第 1 F E T) 、 F E T m 2 b および m 4 b (第 2 F E T) 、 F E T m 2 a および m 4 a (第 3 F E T) 並びに F E T m 9 および m 1 0 (第 4 F E T) を備えている。F E T m 1 および m 3 は、P チャネル (第 1 導電型のチャネル) F E T であり、ソースが電源線 1 5 a (第 1 電源線) に接続され、ドレインが出力ノード Q および Q B に接続され、ゲートが入力ノード N 1 および N 3 に接続されている。F E T m 2 b および m 4 b は、N チャネル (第 1 導電型の反対の第 2 導電型のチャネル) F E T であり、ソースがグランド線 1 5 b (第 2 電源線) に接続され、ドレインが中間ノード N 2 および N 4 に接続され、ゲートが入力ノード N 1 および N 3 に接続されている。F E T m 2 a および m 4 a は、N チャネル F E T であり、ソースが中間ノード N 2 および N 4 に接続され、ドレインが出力ノード Q および Q B に接続され、ゲートが入力ノード N 1 および N 3 に接続されている。F E T m 9 および m 1 0 (第 4 F E T) は、N チャネル F E T であり、ソースおよびドレインの一方が中間ノード N 2 および N 4 に接続され、ソースおよびドレインの他方が制御線 C T R L (制御ノード) に接続され、ゲートが出力ノード Q および Q B に接続されている。これにより、制御線 C T R L の電圧により B I モードと S T モードを切り替えることができる。

【 0 2 3 6 】

図 2 1 (a) のように、第 1 F E T は F E T m 2 および m 4 であり、第 2 F E T は F E T m 1 a および m 3 a であり、第 3 F E T は F E T m 1 b および m 3 b であり、第 4 F E T は F E T m 9 a および m 1 0 a でもよい。このとき第 1 導電型のチャネルは N チャネル、第 2 導電型のチャネルは P チャネルである。

【 0 2 3 7 】

図 2 1 (b) のように、第 1 F E T は電源線 1 5 a と出力ノード Q および Q B との間の直列に接続された F E T m 1 a および m 1 b と m 3 a および m 3 b を設けてもよい。

【 実施例 3 】

【 0 2 3 8 】

実施例 2 の図 1 7 、 図 2 1 (a) および 図 2 1 (b) のメモリセル 1 0 では、プルダウ

10

20

30

40

50

ン側のフィードバックトランジスタ $F B T r$ である $F E T m 9$ および $m 1 0$ は N チャネル $F E T$ である。プルアップ側のフィードバックトランジスタ $F B T r$ である $F E T m 9 a$ および $m 1 0 a$ は P チャネル $F E T$ である。

【 0 2 3 9 】

$F E T m 9$ および $m 1 0$ を設けたタイプをプルダウン型フィードバック $P D F B$ と呼ぶ。 $F E T m 9 a$ および $m 1 0 a$ を設けたタイプをプルアップ型フィードバック $P U F B$ と呼ぶ。 $F E T m 9$ 、 $m 9 a$ 、 $m 1 0$ および $m 1 0 a$ を設けたタイプをプルアッププルダウン型フィードバック $P U P D F B$ と呼ぶ。電源線 $1 5 a$ と電源 $1 5 c$ との間にパワースイッチ $3 0$ を設けたタイプをヘッダ $P S$ と呼ぶ。グランド線 $1 5 b$ とグランド $1 5 d$ との間にパワースイッチ $3 0$ を設けたタイプをフッタ $P S$ と呼ぶ。図 1 7 のメモリセルはヘッダ $P S \cdot P D F B$ である。図 2 1 (a) のメモリセルはヘッダ $P S \cdot P U F B$ である。図 2 1 (b) のメモリセルはヘッダ $P S \cdot P U P D F B$ である。

10

【 0 2 4 0 】

以下、ヘッダ $P S \cdot P D F B$ を例に実施例 2 の課題を説明する。図 1 7 において、スタンバイ状態およびリテンション状態の $V V D D$ および $C T R L$ の電圧は以下である。

スタンバイ状態 ($B I$ モード) : $V V D D = V V D D H$ 、 $C T R L$ の電圧 $V F N L$

リテンション状態 ($S T$ モード) : $V V D D = V V D D L$ 、 $C T R L$ の電圧 $V F N H$

【 0 2 4 1 】

各電圧は例えば以下の関係である。

$V F N L < V F N H = V V D D L < V V D D H$

20

$V F N L < V V D D L < V F N H < V V D D H$ 、または

$V F N L < V F N H < V V D D L < V V D D H$

$V V D D L$ 、 $V V D D H$ 、 $V G N D$ 、 $V F N L$ および $V F N H$ は例えばそれぞれ $0 . 2 V$ 、 $1 . 2 V$ 、 $0 . 0 V$ 、 $0 . 0 V$ および $0 . 2 V$ である。

【 0 2 4 2 】

例えばノード Q がハイレベルのとき、 $F E T m 9$ がオンし、ノード $N 2$ は電圧が $V F N H$ である制御線 $C T R L$ から充電される。しかし、 $F E T m 9$ が N チャネルであり、 $F E T m 9$ の閾値電圧 $V t h$ は正のため、制御線 $C T R L$ から充電電位は、実質的には $V F N H - V t h$ となる。これにより、 $F B T r$ である $F E T m 9$ のフィードバック効果が低下し、リテンション状態における双安定回路の動作安定性 (例えばノイズマージン) が低下する場合がある。

30

【 0 2 4 3 】

[ヘッダ $P S \cdot P D F B$]

実施例 2 におけるメモリセルの上記課題を解決する実施例 3 について説明する。図 4 1 は、実施例 3 におけるヘッダ $P S \cdot P D F B \cdot$ タイプ 1 のメモリセルの回路図、図 4 2 は、実施例 3 におけるヘッダ $P S \cdot P D F B \cdot$ タイプ 2 のメモリセルの回路図である。タイプ 1 はドライバ $2 6$ を設けないタイプであり、タイプ 2 はドライバ $2 6$ を設けるタイプである。図 4 1 および図 4 2 に示すように、 $F B T r$ である $F E T m 9$ および $m 1 0$ は P チャネル $F E T$ である。 $F E T m 9$ および $m 1 0$ のゲートはそれぞれノード $Q B$ および Q に接続されている。パワースイッチ $3 0$ は電源線 $1 5 a$ に仮想電源電圧 $V V D D$ を印加する。

40

【 0 2 4 4 】

図 4 1 のタイプ 1 では、ドライバ $2 6$ が設けられておらず、制御線 $C T R L$ には定電圧 $V F N$ が印加されている。図 4 2 のタイプ 2 では、ドライバ $2 6$ が設けられている。ドライバ $2 6$ はインバータ $2 6 a$ であり、制御信号 $V C T R L$ がハイレベルのとき、制御線 $C T R L$ に電圧 $V F N L$ を供給し、制御信号 $V C T R L$ がローレベルのとき、制御線 $C T R L$ に電圧 $V F N H$ を供給する。その他の構成は実施例 2 の図 1 7 と同じであり説明を省略する。

【 0 2 4 5 】

図 4 1 に示すヘッダ $P S \cdot P D F B \cdot$ タイプ 1 におけるスタンバイ状態およびリテンシ

50

オン状態の V_{VDD} および C_{CTRL} の電圧は以下である。

スタンバイ状態 (BIモード) : $V_{VDD} = V_{VDDH}$ 、 C_{CTRL} の電圧 V_{FN}

リテンション状態 (STモード) : $V_{VDD} = V_{VDDL}$ 、 C_{CTRL} の電圧 V_{FN}

【0246】

各電圧は例えば以下の関係である。

$V_{FN} = V_{VDDL} < V_{VDDH}$

$V_{VDDL} < V_{FN} < V_{VDDH}$ 、または

$V_{FN} < V_{VDDL} < V_{VDDH}$ (この関係ではノード N_3 および N_4 が制御線 C_{CTRL} から充電しにくいいため好ましくない)

V_{VDDL} 、 V_{VDDH} 、 V_{GND} および V_{FN} は例えばそれぞれ $0.2V$ 、 $1.2V$ 、 $0.0V$ および $0.2V$ である。

10

【0247】

図42に示すヘッダPS・PDFB・タイプ2におけるスタンバイ状態およびリテンション状態の V_{VDD} および C_{CTRL} の電圧は図17で例示した電圧と同じである。

【0248】

図41および図42の実施例3のメモリセルでは、例えばノードQがハイレベルのとき、ノードQBがローレベルとなるためFETm9がオンし、ノードN2は電圧が V_{FN} (図41) または V_{FNH} (図42) である制御線 C_{CTRL} から充電される。FETm9がPチャンネルFETであり、FETm9のゲートにはソースおよびドレインに対し十分低い電圧が加わるため、ノードN2の電圧を V_{FN} (図41) または V_{FNH} (図42) にプルアップできる。これにより、FETm9のフィードバック効果が十分に生じる。よって、リテンション状態における双安定回路の動作安定性を向上させることができる。

20

【0249】

図41に示すタイプ1では、 V_{VDDH} に対し V_{FN} を十分小さくすることで、 V_{FN} を定電圧としてもSTモードとBIモードの切り替えが可能となる。例えばノードQがハイレベルのとき、FETm9がオンしてもノードN2の電圧は V_{VDDH} に対し十分低い。このため、双安定回路12はBIモードとして機能する。これにより、図17における制御線 C_{CTRL} 用のドライバ26が不要となり、チップ面積を削減できる。さらに、 V_{FN} を V_{VDDH} より十分低くすることで、スタンバイ状態およびリテンション状態におけるリーク電流を抑制できる。

30

【0250】

タイプ1では、 V_{VDDH} が V_{FN} に近い場合には、BIモードへの遷移が不十分となる場合がある。図42に示すように、タイプ2では、STモードのとき C_{CTRL} の電圧を V_{FNH} とし、BIモードのとき C_{CTRL} の電圧を V_{FNL} とする。これにより、十分なBIモードに遷移可能である。

【0251】

[シミュレーション]

6T-SRAMのメモリセル(比較例3)、図17に示す実施例2のメモリセル、図41に示す実施例3のヘッダPS・PDFB・タイプ1のメモリセルおよび図42に示す実施例3のヘッダPS・PDFB・タイプ2のメモリセルについてシミュレーションを行った。

40

【0252】

各FETのチャンネル幅W/長さLは以下である。

FETm1、m3 : $100\text{nm} / 60\text{nm}$

FETm2a、m2b、m4a、m4b : $150\text{nm} / 60\text{nm}$

FETm5、m6 : $100\text{nm} / 120\text{nm}$

FETm9、m10 : $150\text{nm} / 60\text{nm}$

PS1 : $300\text{nm} / 60\text{nm}$

PS3 : $150\text{nm} / 60\text{nm}$

インバータ26aのFET : $100\text{nm} / 60\text{nm}$

50

各電圧は以下である。

$$V_{VDDH} = 1.2 \text{ V}$$

$$V_{VDDL} = 0.2 \text{ V}$$

$$V_{GND} = 0 \text{ V}$$

$$V_{FNH} = 0.2 \text{ V}$$

$$V_{FNL} = 0 \text{ V}$$

$$V_{FN} = 0.2 \text{ V}$$

【0253】

図43(a)は、リテンション状態におけるインバータ回路の伝達特性を示す図である。比較例3は6T-SRAMの通常の状態の特性を示す。図43(a)に示すように、実施例2では比較例3に比べ、パタフライ特性の開口が大きくなりノイズマージンが大きくなる。実施例3のタイプ1および2では実施例2よりノイズマージンが大きくなる。

10

【0254】

図43(b)は、スタンバイ状態におけるSNM(Static Noise Margin)を示す図である。V_{VDD} = 1.2Vであり、BIモードである。リテンションは、ULVリテンション状態ではなく、FET_{m5}およびm₆をオフし、データを保持している状態を示す。リードは、FET_{m5}およびm₆をオンし、ビット線BLおよびBLBを1.2Vとした状態を示す。ライトはFET_{m5}およびm₆をオンし、ビット線BLおよびBLBの一方を1.2Vとし他方を0Vとした状態を示す。

【0255】

図43(b)に示すように、実施例3では比較例3および実施例2に比べSNMがやや大きい。これは、実施例3では、FET_{m9}およびm₁₀がPチャネルFETのため、ノードN3およびN4の電位が実施例2より少し高くなる。このため、BIモードにおいてFET_{m9}およびm₁₀によるフィードバックが少しかかる。これにより、SNMが少し増加するためである。

20

【0256】

図44(a)は、リテンション状態のSNMを示す図である。図44(a)に示すように、比較例3ではSNMは約50mVであるのに対し、実施例2ではSNMを約80mVと大きくできる。実施例3ではSNMは約100mVであり、実施例2よりSNMを約20mV、比較例3よりSNMを約50mV大きくできる。実施例3のタイプ1とタイプ2ではSNMはほぼ同程度である。実施例3では、比較例2よりSNMをほぼ2倍にできる。このように、実施例3では実施例2よりリテンション状態のSNMを大きくでき、動作安定性が向上する。実施例2の同程度のSNM(例えば80mV)を確保する場合、実施例2よりV_{VDDL}を低くできる。これにより消費電力を抑制できる。

30

【0257】

実施例3のタイプ1はタイプ2よりSNMが約6mV大きい。これは、タイプ1ではドライバ26が設けられていないため、制御線CTRLに効果的にバイアスが加わるためである。図示していないが、後述するPUPDFBでは、PUFBおよびPDFBよりノイズマージンを拡大することができる。

【0258】

図44(b)は、BIモードのリーク電力を示す図である。図44(b)に示すように、実施例2のスタンバイ状態(BIモード)では、比較例3に比べリーク電力を25%削減できる。実施例3では比較例3に比べ、タイプ2で70%、タイプ1で81%リーク電力を削減できる。このように、実施例3では、実施例2よりスタンバイ状態におけるリーク電力を抑制できる。

40

【0259】

図44(c)および図44(d)は、STモードのリーク電力を示す図である。図44(c)の比較例3は6T-SRAMのスタンバイ状態のリーク電力である。図44(c)に示すように、実施例2のリテンション状態(STモード)では比較例3のスタンバイ状態に比べリーク電力を92%削減できる。実施例3のタイプ1および2では比較例3に比

50

それぞれ95%および94%リーク電力を削減できる。図44(d)に示すように、実施例3のタイプ1および2では、実施例2に比べリーク電力をそれぞれ40%および20%削減できる。

【0260】

以下、ヘッダPS・PDFB以外の例について説明する。

[フッタPS・PDFB]

図45は、実施例3におけるフッタPS・PDFB・タイプ2のメモリセルの回路図である。図45に示すように、電源線15aにはVDDが供給され、グランド線15bとグランドとの間にパワースイッチ30が設けられている。グランド線15bは仮想グランド電圧VVGNDである。

【0261】

スタンバイ状態およびリテンション状態のVVGNDおよびCTRLの電圧は以下である。

スタンバイ状態(BIモード)：VVGND = VVGNDL、CTRLの電圧VFNL

リテンション状態(STモード)：VVGND = VVGNDH、CTRLの電圧VFNH

各電圧は例えば以下の関係である。

$$VVGNDL < VVGNDH$$

$$VFNL \sim VVGNDL、および$$

$$VFNH \sim VVGNDH$$

なお、～は近傍を示す。

VVGNDL、VVGNDH、VDD、VFNLおよびVFNHは例えばそれぞれ0.0V、1.0V、1.2V、0.0Vおよび1.2Vである。

【0262】

[PDFB]

PDFBでは、図41のように、ヘッダPSとする場合、VVDDH - VGNDが大きいとき、例えば0.5V以上であり、例えばVFN - VGND < (VVDDH - VGND) / 2のとき、タイプ1とすることができる。VVDDH - VGNDが小さいとき、例えば0.5V以下のとき、タイプ1では、BIモードへの遷移が不十分な場合がある。よって、タイプ2とすることで、十分なBIモードに遷移することができる。フッタPS・PDFBでは、図45のようにタイプ2となる。

【0263】

[フッタPS・PUFB]

図46は、実施例3におけるフッタPS・PUFB・タイプ1のメモリセルの回路図である。FETm9aおよびm10aはNチャネルFETである。FETm9aおよびm10aのゲートは、それぞれノードQBおよびQに接続されている。電源線15aにはVDDが供給され、グランド線15bとグランド15dとの間にパワースイッチ30が設けられている。グランド線15bは仮想グランド電圧VVGNDである。制御線CTRLには定電圧VFPが印加される。その他の構成は、実施例2の図21(a)と同じであり、説明を省略する。

【0264】

スタンバイ状態およびリテンション状態のVVGNDおよびCTRLの電圧は以下である。

スタンバイ状態(BIモード)：VVGND = VVGNDL、CTRLの電圧VFP

リテンション状態(STモード)：VVGND = VVGNDH、CTRLの電圧VFP

各電圧は例えば以下の関係である。

$$VVGNDL < VFP = VVGNDH$$

$$VVGNDL < VFP < VVGNDH、または$$

VVGNDL < VVGNDH < VFP (この関係ではノードN2aおよびN4aが制御線CTRLから放電しにくいいため好ましくない)

VVGNDL、VVGNDH、VDD、VFPは例えばそれぞれ0.0V、1.0V、

10

20

30

40

50

1.2Vおよび1.0Vである。

【0265】

[ヘッダPS・PUFB]

図47は、実施例3におけるヘッダPS・PUFB・タイプ2のメモリセルの回路図である。図46に対し、ドライバ26が設けられている。ドライバ26は、インバータ26aであり、制御回路28が出力する制御信号VCTRLがローレベルのとき制御線CTRLに電圧VFPHを出力し、VCTRLがハイレベルのとき制御線CTRLに電圧VFPLを出力する。

【0266】

スタンバイ状態およびリテンション状態のVVDDおよびCTRLの電圧は以下である

10

スタンバイ状態(BIモード)：VVDD = VVDDH、CTRLの電圧VFPH
リテンション状態(STモード)：VVDD = VVDDL、CTRLの電圧VFPL
各電圧は例えば以下の関係である。

$VVDDL < VVDDH$

$VFPL \sim VGND$ 、および

$VFPH \sim VVDDH$

なお、 \sim は近傍を示す。

VVDDL、VVDDH、VGND、VFNLおよびVFNHは例えばそれぞれ0.2V、1.2V、0.0V、0.0Vおよび1.2Vである。

20

【0267】

[PUFB]

PUFBでは、図46のように、フッタPSとする場合、VDD - VVGNDLが大き
いとき、例えば0.5V以上であり、例えば $VDD - VFPL < (VDD - VVGNDL) / 2$
のとき、タイプ1とすることができる。VDD - VVGNDLが小さいとき、例えば
0.5V以下のとき、タイプ1では、BIモードへの遷移が不十分な場合がある。よっ
て、タイプ2とすることで、十分なBIモードに遷移することができる。ヘッダPS・PU
FBでは、図47のようにタイプ2となる。

【0268】

[ヘッダPS・PUPDFB]

30

図48は、実施例3におけるヘッダPS・PUPDFBのメモリセルの回路図である。
FETm9およびm10はPチャンネルFETであり、FETm9aおよびm10aはNチ
ャネルFETである。FETm9およびm9aのゲートは、ノードQBに接続され、FE
Tm10およびm10aのゲートは、ノードQに接続されている。電源線15aと電源1
5cとの間にパワースイッチ30が設けられ、グランド線15bにグランド電圧VGND
が供給される。FETm9およびm10の制御線CTRLNには定電圧VFNが供給され
る。FETm9aおよびm10aの制御線CTRLPにはドライバ26から電圧印加され
る。ドライバ26は、インバータ26aであり、制御回路28が出力する制御信号VCT
RLがローレベルのとき制御線CTRLPに電圧VFPHを出力し、VCTRLがハイレ
ベルのとき制御線CTRLPに電圧VFPLを出力する。その他の構成は、実施例2の図
21(b)と同じであり、説明を省略する。

40

【0269】

図48に示すヘッダPS・PUPDFBのメモリセルの動作条件は、図41に示すヘッ
ダPS・PDFB・タイプ1のメモリセルの動作条件と、図47に示すヘッダPS・PU
FB・タイプ2のメモリセルの動作条件を合わせたものである。

【0270】

[フッタPS・PUPDFB]

図49は、実施例3におけるフッタPS・PUPDFBのメモリセルの回路図である。
電源線15aに電源電圧VDDが供給され、グランド線15bとグランド15dとの間に
パワースイッチ30が設けられている。FETm9aおよびm10aの制御線CTRLP

50

には定電圧 V_{FP} が供給される。FET m_9 および m_{10} の制御線 $CTRL_N$ にはドライバ 26 から電圧印加される。ドライバ 26 は、インバータ 26a であり、制御回路 28 が出力する制御信号 V_{CTRL} がローレベルのとき制御線 $CTRL_N$ に電圧 V_{FNH} を出力し、 V_{CTRL} がハイレベルのとき制御線 $CTRL_N$ に電圧 V_{FNL} を出力する。その他の構成は、図 48 と同じであり、説明を省略する。

【0271】

図 49 に示すフッタ $PS \cdot PUPDFB$ のメモリセルの動作条件は、図 45 に示すフッタ $PS \cdot PDFB \cdot$ タイプ 2 のメモリセルの動作条件と、図 46 に示すフッタ $PS \cdot PUF B \cdot$ タイプ 1 のメモリセルの動作条件を合わせたものである。

【0272】

ヘッダ PS では、スタンバイ状態の V_{VDD} を通常動作状態の V_{VDDH} よりやや低い V_{VDDHS} としてもよい。フッタ PS では、スタンバイ状態の V_{VGNL} を通常動作状態の V_{VGNL} よりやや高い V_{VGNLS} としてもよい。低電圧動作させるため、ヘッダ PS では、 $V_{VDDL} < V_{VDDM} < V_{VDDH}$ となる V_{VDDM} 、フッタ PS では、 $V_{VGNL} < V_{VGNDM} < V_{VGNL}$ となる V_{VGNDM} を用いてもよい。

【0273】

実施例 3 によれば、 $PDFB$ の場合、インバータ回路 14 (第 1 インバータ回路) および 16 (第 2 インバータ回路) の各々において、P チャンネル FET m_1 および m_3 (第 1 導電型のチャンネルの第 1 FET) では、ソースが電源線 15a (第 1 電源線) に接続され、ドレインがノード Q および Q_B (出力ノード) に接続され、ゲートがノード N1 および N3 (入力ノード) に接続される。N チャンネル FET m_2b および m_4b (第 2 導電型のチャンネルの第 2 FET) では、ソースが電源線 15a との間で電源電圧 $V_{VDD} - V_{VGNL}$ が供給されるグラウンド線 15b (第 2 電源線) に接続され、ドレインがノード N2 および N4 (中間ノード) に接続され、ゲートがノード N1 および N3 に接続される。N チャンネル FET m_2a および m_4a (第 2 導電型のチャンネルの第 3 FET) では、ソースがノード N2 および N4 に接続され、ドレインがノード Q および Q_B に接続され、ゲートがノード N1 および N3 に接続される。

【0274】

P チャンネル FET m_9 および m_{10} (第 1 導電型のチャンネルの第 4 FET) では、ソースおよびドレインの一方がノード N2 および N4 に接続され、ソースおよびドレインの他方が制御線 $CTRL$ (制御ノード) に接続され、ゲートがノード N1 および N3 に接続される。インバータ回路 14 の出力ノードおよびインバータ回路 16 の入力ノード N3 はノード Q (第 1 記憶ノード) に接続され、インバータ回路 14 の入力ノード N1 およびインバータ回路 16 の出力ノードはノード Q_B (第 2 記憶ノード) に接続されている。これにより、電源電圧 $V_{VDD} - V_{VGNL}$ および制御線 $CTRL$ の電圧を適宜設定することにより、ST モードにおける動作安定性を向上できる。

【0275】

インバータ回路 14 の FET m_9 のゲートはインバータ回路 16 の出力ノードに接続され、インバータ回路 16 の FET m_{10} のゲートはインバータ回路 14 の出力ノードに接続されていてもよい。

【0276】

$PUFB$ の場合、N チャンネル FET m_2 および m_4 が第 1 FET に対応し、P チャンネル FET m_1a および m_3a が第 2 FET に対応し、P チャンネル FET m_1b および m_3b が第 3 FET に対応し、N チャンネル FET m_9a および m_{10a} が第 4 FET に対応する。グラウンド線 15b および電源線 15a がそれぞれ第 1 電源線および第 2 電源線に対応する。

【0277】

$PDFB$ の場合、パワースイッチ 30 (電源回路) は、電源電圧 $V_{VDD} - V_{VGNL}$ として、電圧 $V_{VDDH} - V_{VGNL}$ (第 1 電圧) と電圧 $V_{VDDL} - V_{VGNL}$ (第 2 電圧) と、に切り替えて供給する。電圧 $V_{VDDH} - V_{VGNL}$

10

20

30

40

50

Dは、双安定回路12がデータをライトおよびリード可能な電圧であり、電圧 $V_{VDDL} - V_{GND}$ は電圧 $V_{VDDH} - V_{GND}$ より低く双安定回路12がデータをライトおよびリードができずデータを保持可能な電圧である。これにより、データを保持するときに、消費電力を抑制できる。

【0278】

電源回路は、1つの電源からパワースイッチのようなトランジスタを用い第1電圧と第2電圧とを生成し、双安定回路に供給してもよい。また、制御回路は、2つの電源にそれぞれパワースイッチが接続され、パワースイッチを制御することで第1電圧と第2電圧を双安定回路に供給してもよい。

【0279】

PUFBの場合、電圧 $V_{DD} - V_{VGNDL}$ および $V_{DD} - V_{VGDH}$ がそれぞれ第1電圧および第2電圧に対応する。

【0280】

タイプ1のように、パワースイッチ30が双安定回路12に第1電圧および第2電圧のいずれを供給するときにも、制御線CTRLには定バイアス(PDFBの場合VFN、PUFBの場合VFP)が供給される。これにより、ドライバ26が不要となり、チップサイズを削減できる。

【0281】

図41のヘッダPS・PDFBでは、定バイアス(VFN)は、電源電圧として $V_{VDDH} - V_{GND}$ (第1電圧)が供給されるとき電源線15a(第1電源線)の電圧 V_{VDDH} とグランド線15b(第2電源線)の電圧 V_{GND} との間のバイアスであればよい。図46のフッタPS・PUFBでは、定バイアス(VFP)は、電源電圧として $V_{DD} - V_{VGNDL}$ (第1電圧)が供給されるときグランド線15b(第1電源線)の電圧 V_{VGNDL} と電源線15a(第2電源線)の電圧 V_{DD} との間のバイアスであればよい。これにより、タイプ1のように制御線CTRLに定電圧が加わっていても、電源電圧の切り替えにより、STモードとBIモードを切り替えることができる。

【0282】

図41のヘッダPS・PDFBでは、定バイアス(VFN)は、電源電圧として $V_{VDDH} - V_{GND}$ (第1電圧)が供給されるとき電源線15a(第1電源線)の電圧 V_{VDDH} とグランド線15b(第2電源線)の電圧 V_{GND} との中間($V_{VDDH} - V_{GND}$)/2よりグランド線15bの電圧 V_{GND} に近い。図46のフッタPS・PUFBでは、定バイアス(VFP)は、電源電圧として $V_{DD} - V_{VGNDL}$ (第1電圧)が供給されるときグランド線15b(第1電源線)の電圧 V_{VGNDL} と電源線15a(第2電源線)の電圧 V_{DD} との中間($V_{DD} - V_{VGNDL}$)/2より電源線15aの電圧 V_{DD} に近い。これにより、タイプ1のように制御線CTRLに定電圧が加わっていても、電源電圧の切り替えにより、STモードとBIモードを切り替えることができる。

【0283】

ヘッダPS・PDFBでは、VFNは $(V_{VDDH} - V_{GND}) / 3$ より V_{GND} に近いことが好ましく、フッタPS・PUFBでは、VFNは $2(V_{DD} - V_{VGNDL}) / 3$ より V_{DD} に近いことが好ましい。

【0284】

タイプ2では、制御回路28は、PDFBのとき、パワースイッチ30が $V_{VDDH} - V_{GND}$ および $V_{VDDL} - V_{GND}$ を供給するとき制御線CTRLにそれぞれローレベルおよびローレベルより高いハイレベルを供給する。制御回路28は、PUFBのとき、パワースイッチ30が $V_{DD} - V_{VGNDL}$ および $V_{DD} - V_{VGDH}$ を供給するとき制御線CTRLにそれぞれハイレベルおよびハイレベルより低いローレベルを供給する。これにより、データを保持するときに、消費電力を抑制できる。なお、ハイレベルはローレベルより高い電圧であればよい。

【0285】

実施例3のメモリセルを実施例2のメモリセルとする場合、インバータ回路14および

10

20

30

40

50

16の制御線CTRLには定バイアスが印加され、インバータ回路14および16は、電源電圧として電圧V3が供給されるときBIモードとなり、電圧V1が供給されるときSTモードとなる。これにより、制御信号VCTRLが不要となる。

【実施例4】

【0286】

[ヘッダPS、フッタPS、デュアルPSの説明]

まず各名称についてまとめる。図50(a)から図50(f)は、セルに接続されるパワースイッチの配置を示す図である。図50(a)に示すように、電源15cの電圧はVDDであり、グラウンド15dの電圧はVGNDである。ヘッダPSでは、メモリセル10の電源線15aと電源15cとの間にパワースイッチ30が接続されている。パワースイッチ30は、電源線15aの仮想電源電圧VDDをVDDHおよびVDDLに切り替える。仮想電源電圧VDDがVDDHおよびVDDLに切り替わってもグラウンド線15bの電圧VVGNDはグラウンド電圧VGNDで一定である。スタンバイ状態(BIモード)のときの電源電圧はVDDH - VGNDとなり、低電圧(U LV)リテンション状態(STモード)のときの電源電圧はVDDL - VGNDとなる。

10

【0287】

図50(b)に示すように、フッタPSでは、メモリセル10のグラウンド線15bとグラウンド15dとの間にパワースイッチ30が接続されている。パワースイッチ30は、グラウンド線15bの仮想グラウンド電圧VVGNDをVVGNDHおよびVVGNDLに切り替える。仮想グラウンド電圧VVGNDがVVGNDHおよびVVGNDLに切り替わっても電源線15aの電圧VDDは電源電圧VDDで一定である。スタンバイ状態(BIモード)のときの電源電圧はVDD - VVGNDLとなり、低電圧リテンション状態(STモード)のときの電源電圧はVDD - VVGNDHとなる。

20

【0288】

図50(c)に示すように、デュアルPSでは、電源線15aと電源15cとの間と、グラウンド線15bとグラウンド15dとの間と、の両方にパワースイッチ30が接続されている。パワースイッチ30は、電源線15aの仮想電源電圧VDDをVDDHおよびVDDLに切り替え、グラウンド線15bの仮想グラウンド電圧VVGNDをVVGNDHおよびVVGNDLに切り替える。スタンバイ状態(BIモード)のときの電源電圧はVDDH - VVGNDLとなり、低電圧リテンション状態(STモード)のときの電源電圧はVDDL - VVGNDHとなる。

30

【0289】

図50(d)のように、ヘッダPSでは、パワースイッチ30は、電源VDD1と電源線15aとの間に接続されたPFET30aと、電源VDD2と電源線15aとの間に接続されたPFET30bと、を備えてもよい。FET30aをオンしFET30bをオフすると仮想電源電圧VDDはVDD1となり、FET30aをオフしFET30bをオンするとVDDはVDD2となる。FET30aおよび30bをオフすると、電源が遮断される。

【0290】

図50(e)のように、フッタPSでは、パワースイッチ30は、VGND1とグラウンド線15bとの間に接続されたNFET30cと、VGND2とグラウンド線15bとの間に接続されたNFET30dと、を備えてもよい。FET30cをオンしFET30dをオフすると仮想グラウンド電圧VVGNDはVGND1となり、FET30cをオフしFET30dをオンするとVVGNDはVGND2となる。FET30cおよび30dをオフすると、電源が遮断される。

40

【0291】

図50(f)のように、デュアルPSでは、パワースイッチ30は、VDD1と電源線15aとの間に接続されたPFET30aと、VDD2と電源線15aとの間に接続されたPFET30bと、VGND1とグラウンド線15bとの間に接続されたNFET30cと、VGND2とグラウンド線15bとの間に接続されたNFET30dと、を備えている

50

。F E T 3 0 a から F E T 3 0 d の適宜オンおよびオフすることで、仮想電源線 1 5 a と仮想グランド線との間に供給される電源電圧を適宜切り替えることができる。

【 0 2 9 2 】

[P D F B 、 P U F B 、 P U P D F B の説明]

P D F B (プルダウン型フィードバック)は、図 4 1 のように、インバータ回路 1 4 の N チャネル F E T m 2 a と m 2 b との間に F E T m 9 がフィードバックされ、インバータ回路 1 6 の N チャネル F E T m 4 a と m 4 b との間に F E T m 1 0 がフィードバックされるタイプである。

【 0 2 9 3 】

P U F B (プルアップ型フィードバック)は、図 4 6 のように、インバータ回路 1 4 の P チャネル F E T m 1 a と m 1 b との間に F E T m 9 a がフィードバックされ、インバータ回路 1 6 の P チャネル F E T m 3 a と m 3 b との間に F E T m 1 0 a がフィードバックされるタイプである。

【 0 2 9 4 】

P U P D F B (プルアッププルダウン型フィードバック)は、図 4 8 および図 4 9 のように、P D F B の F E T m 9 および m 1 0 と、P U F B の F E T m 9 a および m 1 0 a と、の両方が設けられるタイプである。

【 0 2 9 5 】

[タイプ 1 、タイプ 2 の説明]

図 5 1 (a) から図 5 2 (c) は、セルに接続されるドライバの配置を示す図である。図 5 1 (a) に示すように、P U F B のタイプ 2 型では、ドライバ 2 6 が設けられている。ドライバ 2 6 は制御回路 2 8 が出力する制御信号 V C T R L に基づき、電圧 V F P を電圧 V F P H と電圧 V F P L に切り替える。電圧 V F P が V F P H (ハイレベル)のとき、インバータ回路 1 4 および 1 6 は B I モードとなり、V F P L (ローレベル)のとき S T モードとなる。

【 0 2 9 6 】

図 5 1 (b) に示すように、P U F B のタイプ 1 型では、ドライバ 2 6 が設けられていない。V F P は定バイアスであるが、電源電圧が切り替わるとインバータ回路 1 4 および 1 6 は B I モードと S T モードが切り替わる。

【 0 2 9 7 】

図 5 1 (c) に示すように、P D F B のタイプ 2 型では、ドライバ 2 6 が設けられている。ドライバ 2 6 は制御回路 2 8 が出力する制御信号 V C T R L に基づき、電圧 V F N を電圧 V F N H と電圧 V F N L に切り替える。電圧 V F N が V F N L (ローレベル)のとき、インバータ回路 1 4 および 1 6 は B I モードとなり、V F N H (ハイレベル)のとき S T モードとなる。

【 0 2 9 8 】

図 5 1 (d) に示すように、P D F B のタイプ 1 型では、ドライバ 2 6 が設けられていない。V F N は定バイアスであるが、電源電圧が切り替わるとインバータ回路 1 4 および 1 6 は B I モードと S T モードが切り替わる。

【 0 2 9 9 】

図 5 2 (a) に示すように、P U P D F B の V F P および V F N とともにタイプ 2 型では、電圧 V F P および V F N の両方の制御線にドライバ 2 6 が設けられている。電圧 V F P が V F P H および電圧 V F N が V F N L のとき、インバータ回路 1 4 および 1 6 は B I モードとなり、電圧 V F P が V F P L および電圧 V F N が V F N H のとき、S T モードとなる。

【 0 3 0 0 】

図 5 2 (b) に示すように、P U P D F B の V F P がタイプ 2 型および V F N がタイプ 1 型では、電圧 V F P の制御線にドライバ 2 6 が設けられ、V F N は定バイアスである。電圧 V F P が V F P H のとき、インバータ回路 1 4 および 1 6 は B I モードとなり、電圧 V F P が V F P L のとき、S T モードとなる。

10

20

30

40

50

【0301】

図52(c)に示すように、PUPDFBのVFPがタイプ1型およびVFNがタイプ2型では、電圧VFPは定バイアスであり、VFNの制御線にドライバ26が設けられる。電圧VFNがVFNLのとき、インバータ回路14および16はBIモードとなり、電圧VFNがVFNHのとき、STモードとなる。

【0302】

図53(a)および図53(b)は、それぞれヘッダPS・PDFB・タイプ1型およびフッタPS・PUFB・タイプ1型の各電圧を示す図である。図53(a)では、VGN Dに対するVVDDHおよびVVDDLを縦方向に示し、図53(b)では、VDDに対するVVGN DLおよびVVGN DHを縦方向に示す。

10

【0303】

図53(a)に示すように、ヘッダPSでは、スタンバイ状態では電源線15aにVVDDH、グランド線15bにVGN Dが供給される。このとき、VFNをVVDDL程度の定バイアスとすると、VFNはVVDDHに対し十分低いため、インバータ回路14および16はBIモードとなる。低電圧リテンション状態では電源線15aにVVDDL、グランド線15bにVGN Dが供給される。このとき、VFNをVVDDL程度とすると、VFNはVGN Dに対し高いため、インバータ回路14および16はSTモードとなる。

【0304】

定電圧VFNはVVDDHより小さくVGN Dより大きければよい。定電圧VFNがVVDDHに近すぎると、仮想電源電圧VVDDをVVDDHとしたときに、インバータ回路14および16はBIモードとなり難い。よって、定電圧VFNは、VVDDHとVGN Dとの中点の電圧以下(すなわち $(VVDDH - VGN D) / 2$ 以下)が好ましく、VVDDLにVVDDLとVGN Dの差の2分の1の電圧を加えた電圧以下(すなわち $VVDDL + (VVDDL - VGN D) / 2$ 以下)がより好ましい。定電圧VFNがVGN Dに近すぎると、仮想電源電圧VVDDをVVDDLとしたときに、インバータ回路14および16はSTモードとなり難い。よって、定電圧VFNは、VVDDLとVGN Dとの中点の電圧以上(すなわち $(VVDDL - VGN D) / 2$ 以上)が好ましい。

20

【0305】

ヘッダPS・PUFBでは、VFPがハイレベルのときBIモードとなりローレベルのときSTモードとなる。よって、ヘッダPS・PUFB・タイプ1型とすると、BIモードとSTモードの切り替えができなくなる。

30

【0306】

図53(b)に示すように、フッタPSでは、スタンバイ状態ではグランド線15bにVVGN DL、電源線15aにVDDが供給される。このとき、VFPをVVGN DH程度の定バイアスとすると、VFPはVVGN DLに対し十分高いため、インバータ回路14および16はBIモードとなる。低電圧リテンション状態ではグランド線15bにVVGN DH、電源線15aにVDDが供給される。このとき、VFPをVVGN DH程度とすると、VFPはVDDに対し低いため、インバータ回路14および16はSTモードとなる。

40

【0307】

定電圧VFPはVVGN DLより大きくVDDより小さければよい。定電圧VFPがVVGN DLに近すぎると、仮想グランド電圧VVGN DをVVGN DLとしたときに、インバータ回路14および16はBIモードとなり難い。よって、定電圧VFPは、VDDとVVGN DLとの中点の電圧以上(すなわち $(VDD - VVGN DL) / 2$ 以上)が好ましく、VVGN DHにVDDとVVGN DHの差の2分の1の電圧を減じた電圧以上(すなわち $VVGN DH - (VDD - VVGN DH) / 2$ 以上)がより好ましい。定電圧VFPがVVDDに近すぎると、仮想グランド電圧VVGN DをVVGN DHとしたときに、インバータ回路14および16はSTモードとなり難い。よって、定電圧VFPは、VDDとVVGN DHとの中点の電圧以下(すなわち $(VDD - VVGN DH) / 2$ 以下)

50

が好ましい。

【0308】

フッタPS・PDFBでは、VF NがローレベルのときBIモードとなりハイレベルのときSTモードとなる。よって、フッタPS・PDFB・タイプ1型とすると、BIとSTモードの切り替えができなくなる。

【0309】

表1は定バイアスが可能か否かをまとめた表である。

【表1】

FBTr	PS	定バイアス
PDFB	ヘッダ	可能
	フッタ	不可
	デュアル	不可
PUFB	ヘッダ	不可
	フッタ	可能
	デュアル	不可
PUPDFB	ヘッダ	PDのみ可能
	フッタ	PUのみ可能
	デュアル	不可

【0310】

表1に示すように、PDFBでは、ヘッダPSにおいて定バイアスが可能である。フッタPSおよびデュアルPSでは定バイアスは不可でありドライバ26を用いる。

【0311】

PUFBでは、フッタPSにおいて、定バイアスが可能である。ヘッダPSおよびデュアルPSでは定バイアスは不可でありドライバ26を用いる。PUPDFBでは、ヘッダPSにおいて、PD(すなわちVF N)側のみ定バイアスが可能である。フッタPSにおいて、PU(すなわちVF P)側のみ定バイアスが可能である。デュアルPSにおいて、定バイアスは不可である。

30

【0312】

実施例3では、フィードバックFETm9および/またはm9aのゲートがインバータ回路14の入力ノードまたはインバータ回路16の出力ノードに接続され、フィードバックFETm10および/またはm10aのゲートがインバータ回路16の入力ノードまたはインバータ回路14の出力ノードに接続されている。これを実施例3型と呼ぶこととする。実施例3型の場合、表1のヘッダPS・PDFB・タイプ1型は図41に、フッタPS・PUFB・タイプ1型は図46に、ヘッダPS・PUPDFB・PD側タイプ1型は図48に、フッタPS・PUPDFB・PU側タイプ1型は図49に、図示されている。

【0313】

実施例2のように、フィードバックFETm9および/またはm9aのゲートがインバータ回路14の出力ノードに接続され、フィードバックFETm10および/またはm10aのゲートがインバータ回路16の出力ノードに接続されていてもよい。この場合を実施例2型とよぶこととする。実施例2型でも表1が成り立つ。

40

【0314】

図54は、実施例4におけるヘッダPS・PDFB・タイプ1型のメモリセルの回路図である。図54に示すように、FETm9(およびm10)はNチャンネルFETであり、ゲートはインバータ回路14(および16)の出力ノードに接続されている。その他の構成は実施例3の図41と同じであり説明を省略する。

【0315】

50

図55は、実施例4におけるフッタPS・PUFB・タイプ1型のメモリセルの回路図である。図55に示すように、FETm9a(およびm10a)はPチャンネルFETであり、ゲートはインバータ回路14(および16)の出力ノードに接続されている。その他の構成は実施例3の図46と同じであり説明を省略する。

【0316】

図56は、実施例4におけるヘッダPS・PUPDFB・PD側タイプ1型のメモリセルの回路図である。図56に示すように、FETm9(およびm10)はNチャンネルFETであり、FETm9a(およびm10a)はPチャンネルFETであり、ゲートはインバータ回路14(および16)の出力ノードに接続されている。その他の構成は実施例3の図48と同じであり説明を省略する。

【0317】

図57は、実施例4におけるフッタPS・PUPDFB・PU側タイプ1型のメモリセルの回路図である。図57に示すように、FETm9(およびm10)はNチャンネルFETであり、FETm9a(およびm10a)はPチャンネルFETであり、ゲートはインバータ回路14(および16)の出力ノードに接続されている。その他の構成は実施例3の図49と同じであり説明を省略する。

【0318】

[実施例4の変形例1]

実施例4の変形例1は、マスタスレーブ型フリップフロップ回路の例である。図58は、実施例4の変形例1に係る電子回路の回路図である。図58に示すように、ラッチ回路(Dラッチ回路)76および77を備えている。ラッチ回路76および77は、それぞれマスタ側およびスレーブ側ラッチ回路である。ラッチ回路76はインバータ80aおよび80bを有する双安定回路80とインバータ78aとを備えている。インバータ78aはクロック信号Cがハイレベルのとき動作し、インバータ80bはクロック信号Cがローレベルとなると動作する。ラッチ回路77は双安定回路12とパスゲート79aを備えている。双安定回路12のループ内にパスゲート79bが設けられている。パスゲート79aはクロック信号Cがローレベルのとき動作し、パスゲート79bはクロック信号Cがハイレベルとなると動作する。双安定回路12のループのうちノードQBのレベルはインバータ78bを介しQ信号として出力される。

【0319】

クロック生成回路81はイネーブル信号VENがハイレベルのとき動作し、ローレベルのとき動作しない。クロック生成回路81は、クロック信号CLKとしてローレベルが入力するとクロック信号Cとしてハイレベルをクロック信号CBとしてローレベルを出力し、クロック信号CLKとしてハイレベルが入力するとクロック信号Cとしてローレベルをクロック信号CBとしてハイレベルを出力する。

【0320】

電源線15aにはパワースイッチ30から仮想電源電圧VVDが供給され、グラウンド線15bにはグラウンド電圧VGNが供給され、ヘッダPS型である。インバータ回路14および16のフィードバックFETはPチャンネルFETm9およびm10であり、PDFB型である。電圧VFNは定電圧であり、タイプ1型である。FETm9(およびm10)のゲートはインバータ回路16(および14)の出力ノードに接続されており、実施例3型である。このように、図58の変形例1はヘッダPS・PDFB・タイプ1型・実施例3型である。

【0321】

表1はマスタスレーブ型フリップフロップ回路でも成り立つ。すなわち、マスタスレーブ型フリップフロップ回路を、フッタPS・PUFB・タイプ1型、ヘッダPS・PUPDFB・PD側タイプ1型、フッタPS・PUPDFB・PU側タイプ1型としてもよい。また、双安定回路12は、実施例3型でもよいし、実施例2型でもよい。双安定回路12をマスタ側ラッチ回路に用いてもよい。

【0322】

10

20

30

40

50

[シミュレーション]

マスタスレーブ型フリップフロップ回路のSNMおよびスタンバイパワーをシミュレーションした。シミュレーションした回路は以下の回路A～Cである。

回路A：通常のディレイフリップフロップ回路

回路B：ヘッダPS・PDFB・タイプ2型・実施例2型

回路C：ヘッダPS・PDFB・タイプ1型・実施例3型（図58に示した回路）

【0323】

シミュレーション条件は以下である。

回路A：

構成する各トランジスタのチャンネル幅W/長さLはスタンダードセルを参考に決定した

10

回路B：

ラッチ回路77における各FETのチャンネル幅W/長さLは以下である。

FETm1およびm1a：180nm/60nm

FETm2a、m2b、m4aおよびm4b：385nm/60nm

FETm9およびm10：150nm/60nm

回路Bには実施例2の図17と同様にインバータ26aを設けており、チャンネル幅W/長さLは以下である。

インバータ26aのFET：150nm/60nm

回路C：

ラッチ回路77における各FETのチャンネル幅W/長さLは以下である。

FETm1およびm1a：130nm/60nm

FETm2a、m2b、m4aおよびm4b：385nm/60nm

FETm9およびm10：150nm/60nm

各電圧は以下である。

VVDDH = 1.2V

VVDDL = 0.2V

VGND = 0V

VFNH = 0.2V

20

【0324】

図59(a)および図59(b)は、フリップフロップ回路のバタフライカーブを示す図である。図59(a)は、(Vin, Vout)が(L, H)を記憶ノードとし、図59(b)は、(H, L)を記憶ノードとしている。回路Aでは、VVDD = 0.2Vとした。回路Cでは、STモードとしVVDDL = 0.2Vとした。いずれもTTについて示している。

【0325】

なお、SNMのTTはFETの閾値電圧がTypicalなときのSNMである。以降、FF、SS、FSおよびSFは閾値電圧がプロセス変動によりTypical値よりFast(F)側またはSlow(S)側に3ばらついたときのSNMを示す。

【0326】

図59(a)および図59(b)に示すように、回路Aではバタフライカーブはほぼ対称であり、開口が小さくノイズマージンが小さい。回路Cでは、VVDD = 0.2Vとすることで双安定回路12がSTモードとなり、伝達特性のヒステリシスが大きくなる。これにより、記憶ノード側の開口が大きくなりノイズマージンが大きくなる。

40

【0327】

図60(a)は、SNMを示す図、図60(b)は、スタンバイパワーを示す図である。図60(a)では、(L, H)および(H, L)について、TT、FF、SS、FS、SFのSNMを示している。回路Aでは、VVDD = 0.2Vとし、回路Bおよび回路Cでは、STモードとしVVDDL = 0.2Vとした。

【0328】

50

回路AではSNMは約60mVである。回路Bでは回路AよりSNMが少し高くなり70mV～80mV程度である。回路CではSNMが90mV～100mVとなり、十分なSNMを得ることができる。回路CにおいてSNMを80mVとすればVVDLを0.2Vより低くでき、より消費電力を削減できる。

【0329】

図60(b)において、「SB1.2」はVVDを1.2Vとしたスタンバイ状態、「ULV0.2」はVVDL=0.2Vとした低電圧リテンション状態である。SB1.2では、回路Bは回路Aよりスタンバイパワーが約14%大きい。回路Cでは、スタンバイ状態のパワーを回路Aと同程度にできる。回路BおよびCのULV0.2では、回路Aに比べスタンバイパワーを98%削減できる。このように、実施例4の変形例1のフリップフロップ回路Cでは、回路AとVDD=1.2Vにおけるスタンバイパワーが同程度であり、低電圧リテンション状態におけるスタンバイパワーを98%削減できる。

10

【0330】

表2は、回路A、バルーンFF、NVFFおよび回路Cについて、電力削減効果、チップ面積、遅延、BET、プロセスコストおよび制御ステップ数を示す表である。バルーンFFはバルーン型FF回路であり、NVFFは実施例1のような不揮発性メモリ素子を用いたFF回路である。

【表2】

	回路A	バルーンFF	NVFF	回路C
電力削減効果		95%	99%	98%
面積	1	1.7	1.5	1.2
遅延	1/1	1.2/1.1	1.1/1.1	1.1/1.6
BET		100ns	8μs	160ns
プロセスコスト	低	低	高	低
制御ステップ数	0	3	3	0

【0331】

電力削減効果は、低電圧リテンション状態における回路Aからの削減率を示している。NVFFおよび回路Cでは、回路Aに比べそれぞれ99%および98%電力を削減できる。面積は回路Aの面積を1としている。バルーンFFの面積は回路Aの面積の1.7倍となる。NVFFの面積は回路Aの面積の1.5倍となる。回路Cの面積は回路Aの面積の1.2倍である。遅延は、CLK-QHおよびCLK-QLのそれぞれで回路Aを基準に比較しており、回路Aを1としている。バルーンFFおよびNVFFの遅延は回路Aに比べ1.1から1.2である。回路Cの遅延は回路Aに比べCLK-QLが1.6である。

30

【0332】

バルーンFFのBETは100nsであるのに対しNVFFのBETは8μsと長くなる。これに対し回路CのBETは160nsであり、バルーンFF程度である。NVFFのプロセスコストは不揮発性素子のプロセスコストが高いため高い。これに対し、回路CはCMOSプロセスで作製できるため、回路Cのプロセスコストは回路AおよびバルーンFF程度に低い。制御ステップ数はパワースイッチの制御を含まない制御に必要なパルス数である。バルーンFFおよびNVFFの制御ステップ数は3である、これに対し、回路Cの制御ステップ数は回路Aの制御ステップ数と同じく0である。

40

【0333】

このように、回路Cは、NVFFと同程度の電力削減効果およびチップ面積であり、BETはバルーンFFと同程度であり、プロセスコストおよび制御ステップは回路Aと同程度にできる。

【0334】

次にSOC (System on a chip) 等のロジックシステムを想定しスタンバイパワーをシ

50

ミュレーションした。図 6 1 (a) は、シミュレーションしたロジックシステム概念図である。システム 8 2 の 5 0 % の面積を L L C (Last level Cache) 8 4 とした。システム 8 2 の残りの 5 0 % には複数のコア 8 3 が設けられているとした。各コア 8 3 の面積の 2 0 % が F F (フリップフロップ) 8 3 a であり、 1 0 % が F L C (First level Cache) 8 3 b とした。シミュレーションしたシステムは以下のシステム A および C である。

システム A : 6 T - S R A M を用いたキャッシュおよびフリップフロップ

システム C : 実施例 3 のヘッダ P S ・ P D F B ・タイプ 1 型を用いたキャッシュおよび図 5 8 に示したフリップフロップ回路

【 0 3 3 5 】

図 6 1 (b) は、システム A および C の規格化スタンバイパワーを示す図である。システム A の A 1 はコア 8 3 および L L C 8 4 とともに V V D D = 1 . 2 V のスタンバイ状態である。A 2 はコア 8 3 の F F 8 3 a を V V D D = 1 . 2 V のスタンバイ状態とし、F L C 8 3 b を V V D D = 0 . 8 V のスリープ状態とし、コア 8 3 のうち F F 8 3 a と F L C 8 3 b を除く回路をすべて電源遮断し、L L C 8 4 を V V D D = 1 . 2 V のスタンバイ状態とした状態である。A 3 はコア 8 3 の F F 8 3 a を V V D D = 1 . 2 V のスタンバイ状態とし、F L C 8 3 b を V V D D = 0 . 8 V のスリープ状態とし、コア 8 3 のうち F F 8 3 a と F L C 8 3 b を除く回路をすべて電源遮断し、L L C 8 4 を V V D D = 0 . 8 V のスリープ状態とした状態である。A 2 の規格化スタンバイパワーは A 1 の約 0 . 6 であり、A 3 の規格化スタンバイパワーは、A 1 の約 0 . 5 である。

【 0 3 3 6 】

システム C の C 1 はコア 8 3 および L L C 8 4 とともに V V D D = 1 . 2 V のスタンバイ状態である。C 2 はコア 8 3 の F F 8 3 a を V V D D = 0 . 2 V の低電圧リテンション状態とし、F L C 8 3 b を V V D D = 0 . 2 V の低電圧リテンション状態とし、コア 8 3 のうち F F 8 3 a と F L C 8 3 b を除く回路をすべて電源遮断し、L L C 8 4 を V V D D = 1 . 2 V のスタンバイ状態とした状態である。C 3 はコア 8 3 の F F 8 3 a を V V D D = 0 . 2 V の低電圧リテンション状態とし、F L C 8 3 b を V V D D = 0 . 2 V の低電圧リテンション状態とし、コア 8 3 のうち F F 8 3 a と F L C 8 3 b を除く回路をすべて電源遮断し、L L C 8 4 を V V D D = 0 . 2 V の低電圧リテンション状態とした状態である。C 2 の規格化スタンバイパワーは A 1 の 0 . 2 以下であり、C 3 の規格化スタンバイパワーは、C 1 の約 0 . 0 5 である。

【 0 3 3 7 】

以上のように、システム C では、F F 8 3 a 、 F L C 8 3 b および L L C 8 4 を低電圧リテンション状態とすることにより、スタンバイパワーを非常に小さくできる。

【 0 3 3 8 】

実施例 4 およびその変形例 1 によれば、実施例 2 型では、インバータ回路 1 4 (第 1 インバータ回路) の F E T m 9 および m 9 a (第 4 F E T) のゲートは、インバータ回路 1 4 の出力ノードまたはインバータ回路 1 6 の入力ノードに接続され、インバータ回路 1 6 (第 2 インバータ回路) の F E T m 1 0 および m 1 0 a のゲートは、インバータ回路 1 4 の入力ノードまたはインバータ回路 1 6 の出力ノードに接続されている。このとき、F E T m 9 および m 1 0 のチャネルの導電型は F E T m 2 、 m 2 a 、 m 2 b 、 m 4 、 m 4 a および m 4 b と同じであり、F E T m 9 a および m 1 0 a のチャネルの導電型は F E T m 1 、 m 1 a 、 m 1 b 、 m 3 、 m 3 a および m 3 b と同じである。

【 0 3 3 9 】

実施例 3 型では、インバータ回路 1 4 のフィードバック F E T m 9 および m 9 a のゲートは、インバータ回路 1 6 の出力ノードまたはインバータ回路 1 4 の入力ノードに接続され、インバータ回路 1 6 の F E T m 1 0 および m 1 0 a のゲートは、インバータ回路 1 6 の入力ノードまたはインバータ回路 1 4 の出力ノードに接続されている。このとき、F E T m 9 および m 1 0 のチャネルの導電型は F E T m 1 、 m 1 a 、 m 1 b 、 m 3 、 m 3 a および m 3 b と同じであり、F E T m 9 a および m 1 0 a のチャネルの導電型は F E T m 2 、 m 2 a 、 m 2 b 、 m 4 、 m 4 a および m 4 b と同じである。

10

20

30

40

50

【0340】

実施例2型および実施例3型のいずれにおいても、パワースイッチ30（電源回路）は、電源電圧 $V_{VDD} - V_{VGN}$ を、双安定回路12がデータをライトおよびリード可能な第1電圧と、第1電圧より低く双安定回路12がデータを保持可能な第2電圧と、に切り替えて供給する。パワースイッチ30が双安定回路12に第1電圧および第2電圧のいずれを供給するときにも、 V_{FN} および V_{FP} の制御ノードには定バイアスが供給される。これにより、ドライバ26が不要となり、電子回路を小型化できる。また消費電力を抑制できる。

10

【0341】

図53(a)および表1のように、PDFBおよびPUPDFB・ヘッダPSでは、電源電圧 $V_{VDD} - V_{GN}$ を第1電圧と第2電圧に切り替えるとき、グランド線15b（第2電源線）に一定のグランド電圧 V_{GN} （第3電圧）を供給し、電源線15a（第1電源線）に、 V_{VDH} （第4電圧）および V_{VDL} （第5電圧）とを切り替えて供給する。図53(b)および表1のように、PUFBおよびPUPDFB・フッタPSでは、電源電圧 $V_{DD} - V_{VGN}$ を第1電圧と第2電圧に切り替えるとき、電源線15a（第2電源線）に一定の電源電圧 V_{DD} （第3電圧）を供給し、グランド線15b（第1電源線）に、 V_{GNL} （第4電圧）および V_{GNH} （第5電圧）とを切り替えて供給する。これにより、制御線に定バイアス V_{FN} および V_{FP} を供給してもBIモードとSTモードを切り替えることができる。

20

【0342】

以上、本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

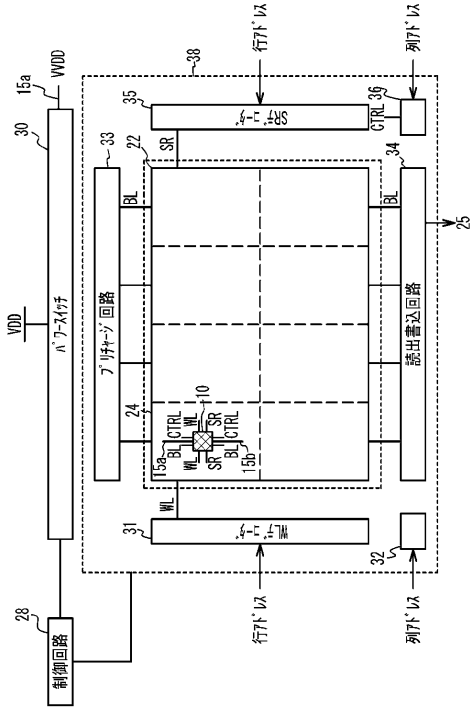
【符号の説明】

【0343】

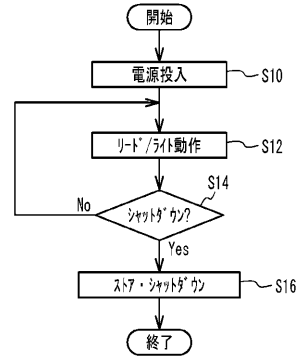
- 10 メモリセル
- 12 双安定回路
- 14、16 インバータ回路
- 20 セルアレイ
- 22、22a - 22d サブアレイ
- 24、24a、24b、24A - 24C、241 - 24n ブロック
- 28 制御回路
- 30 パワースイッチ
- 40、41 レジスタ

30

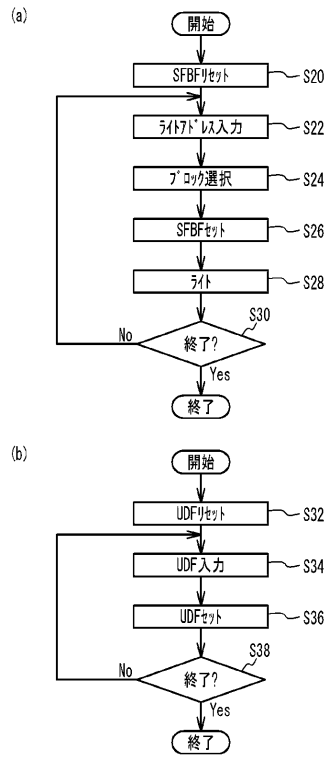
【図5】



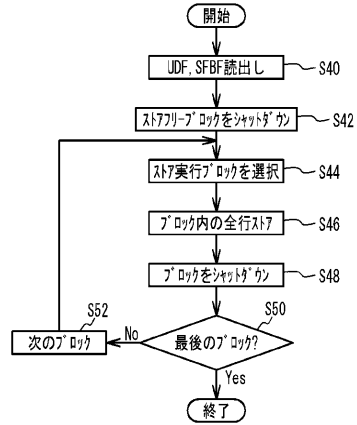
【図6】



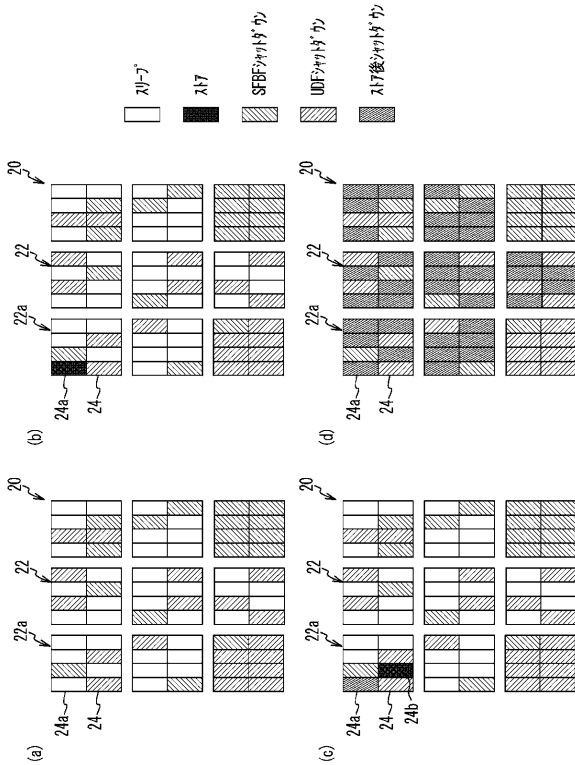
【図7】



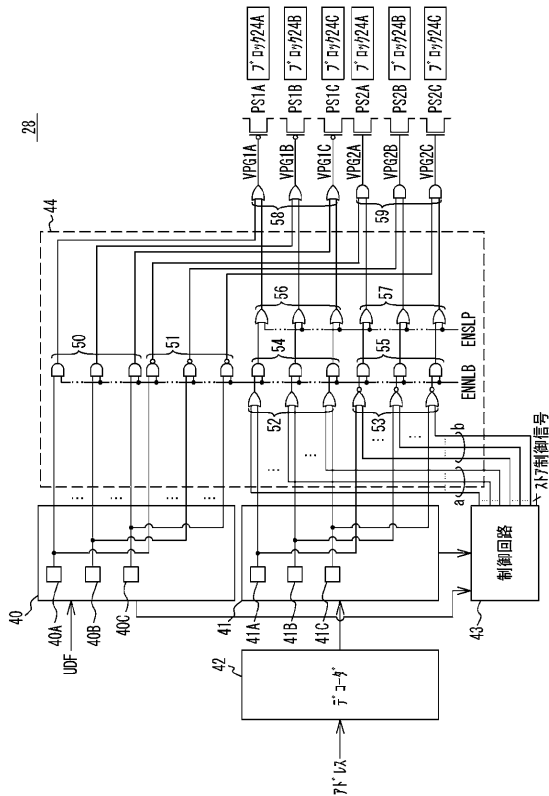
【図8】



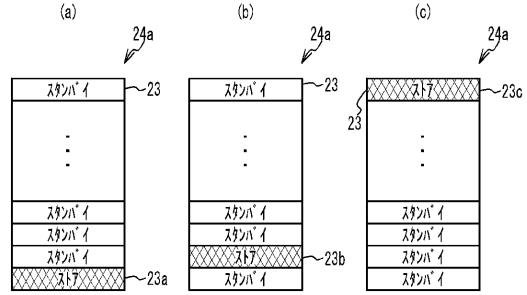
【図9】



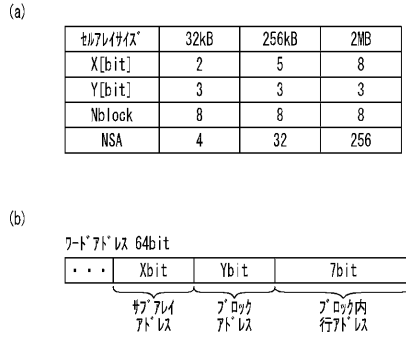
【図12】



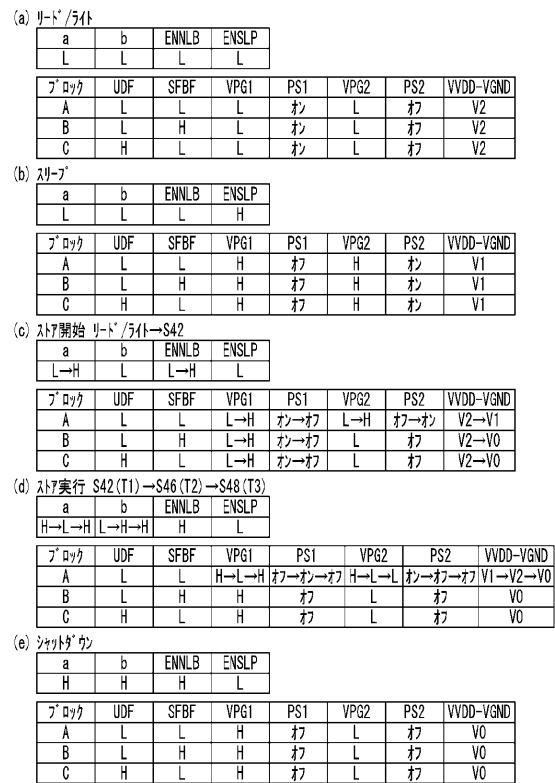
【図10】



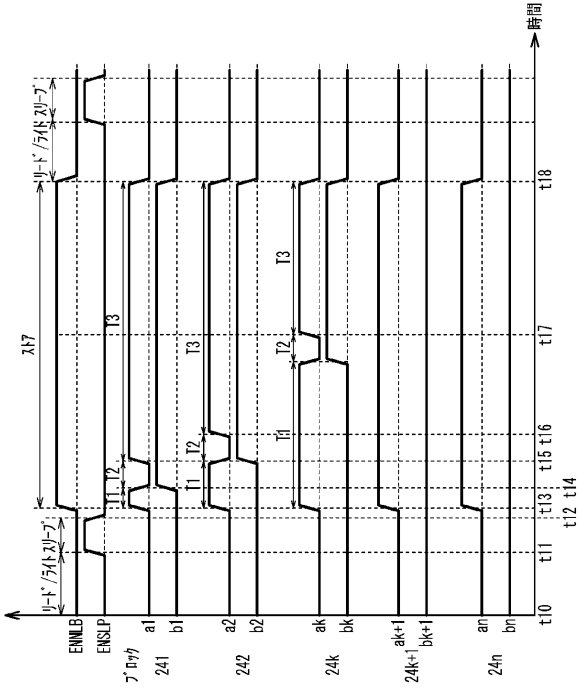
【図11】



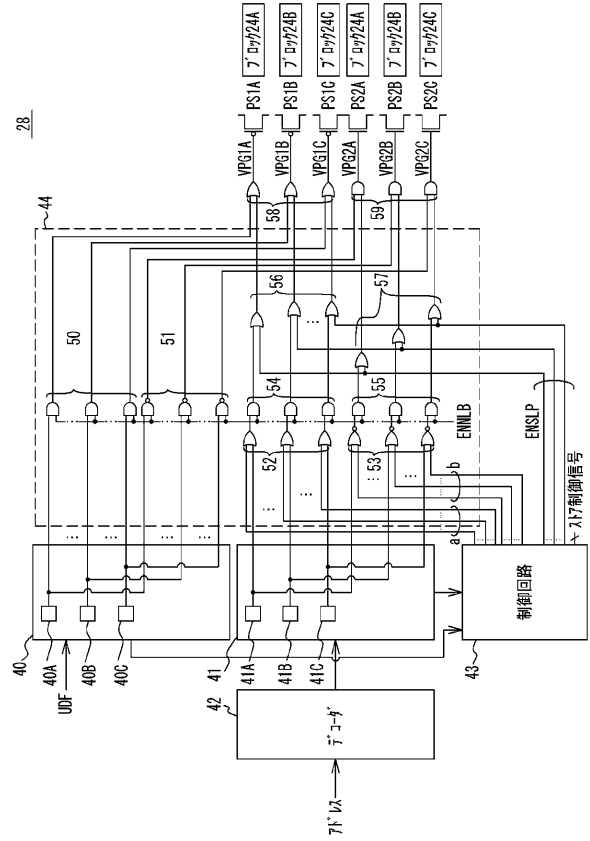
【図13】



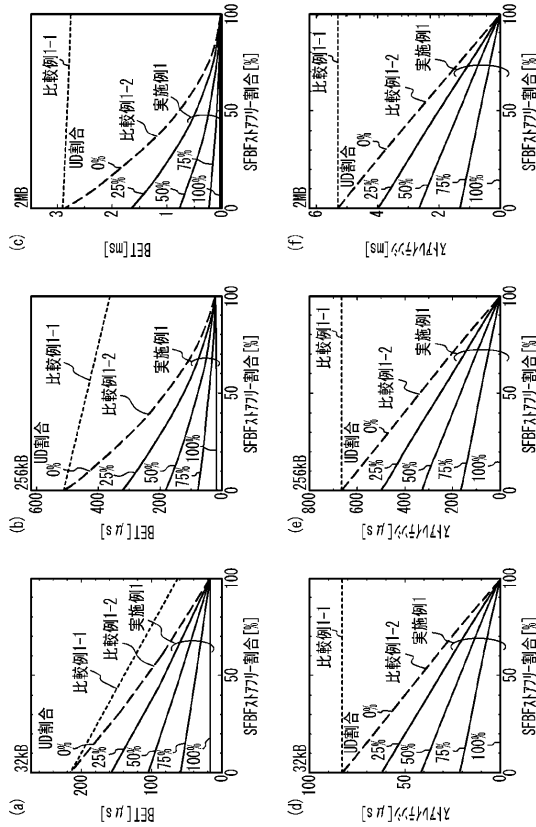
【図14】



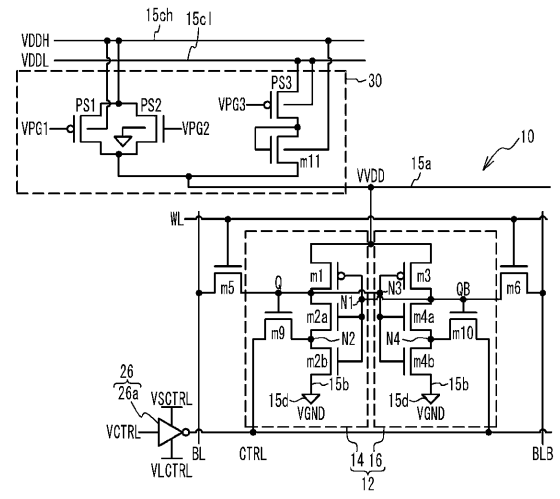
【図15】



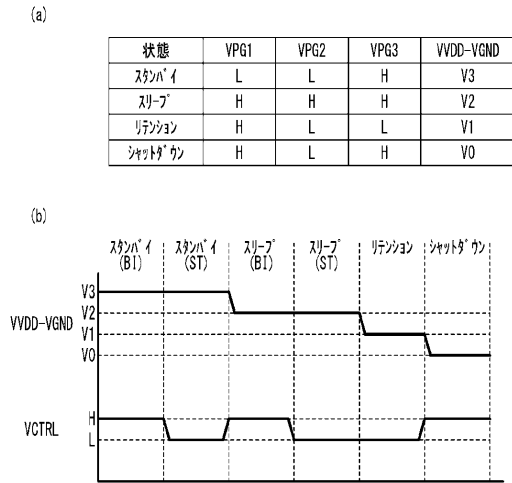
【図16】



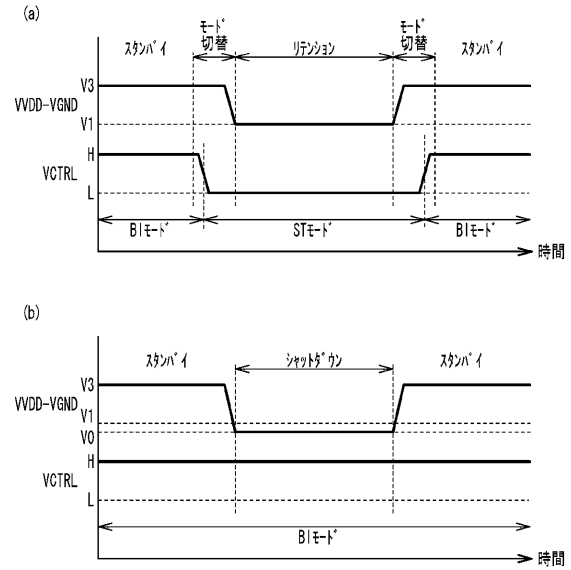
【図17】



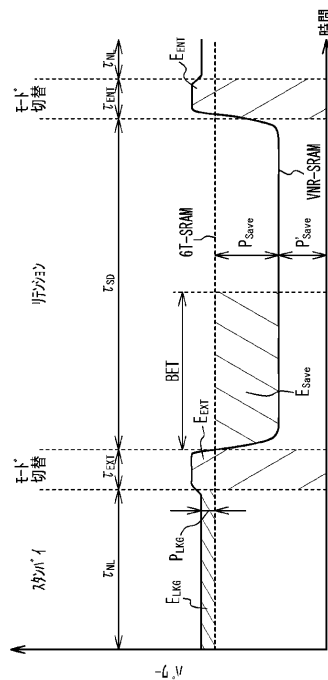
【図18】



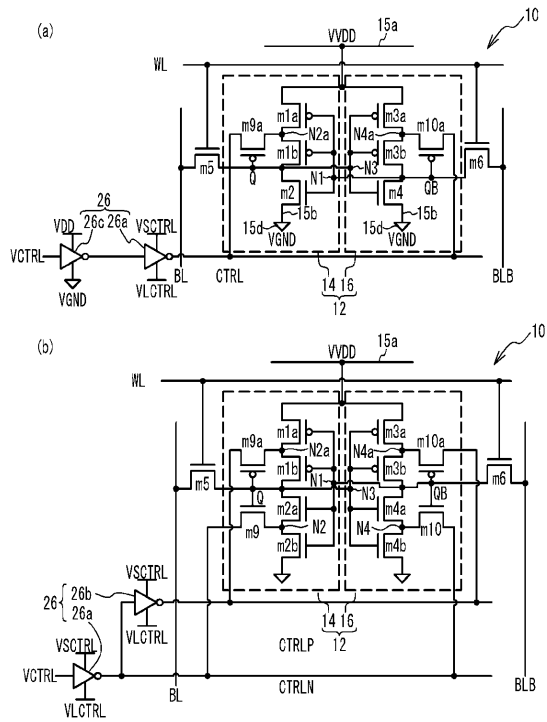
【図19】



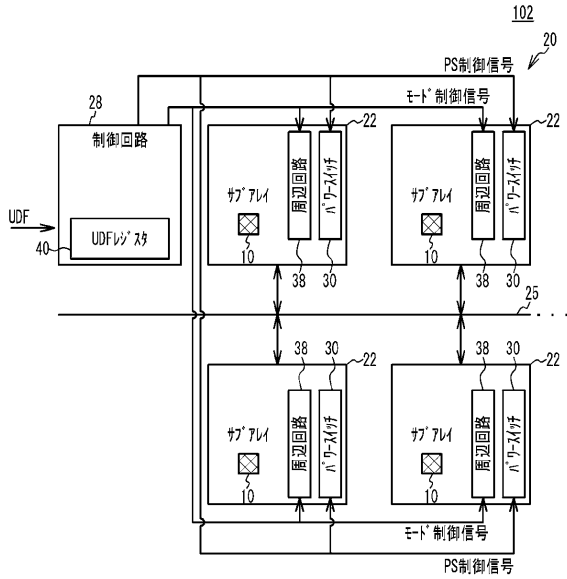
【図20】



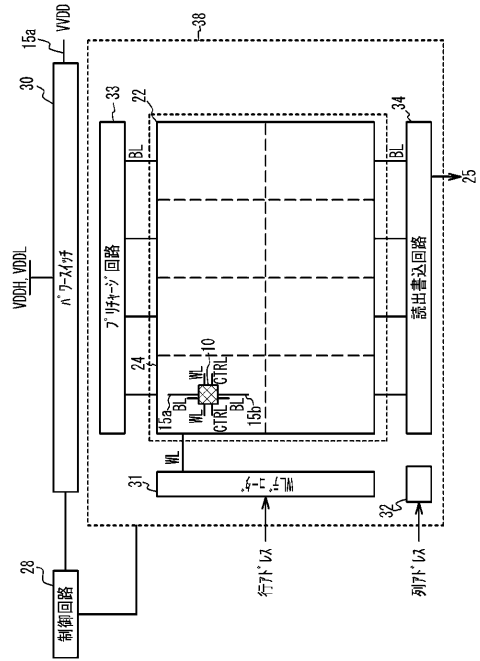
【図21】



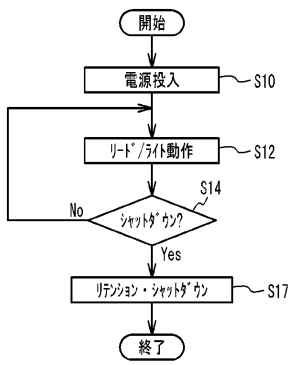
【図22】



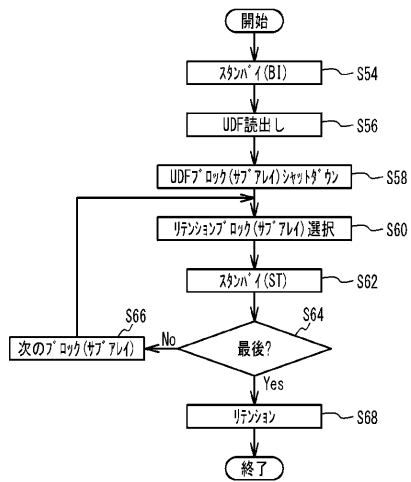
【図23】



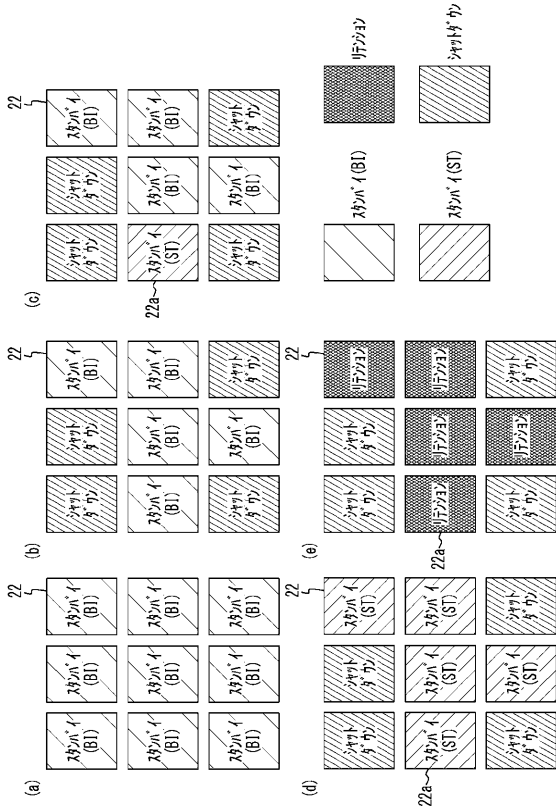
【図24】



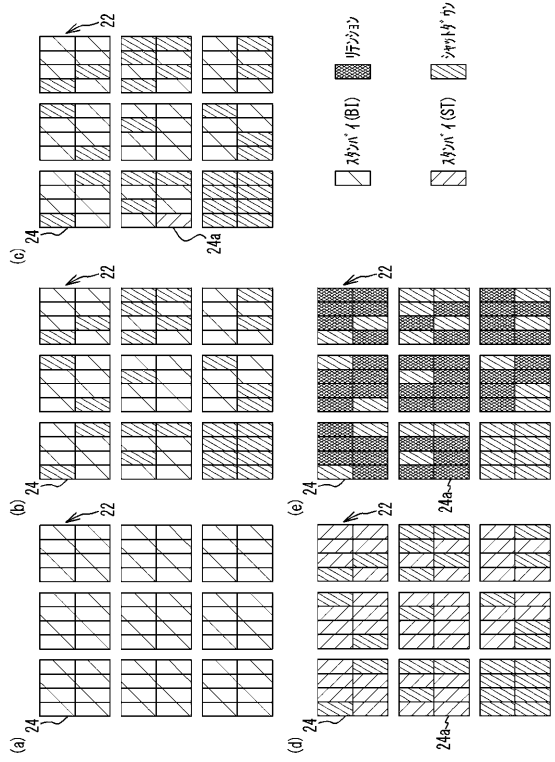
【図25】



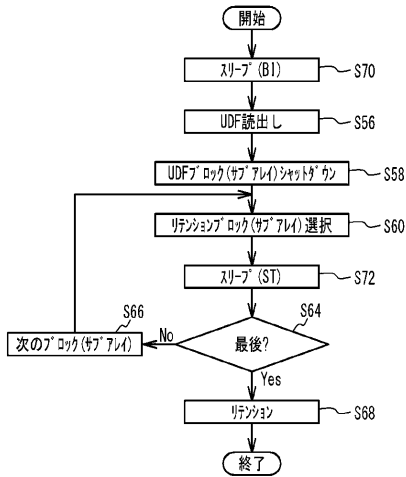
【図 26】



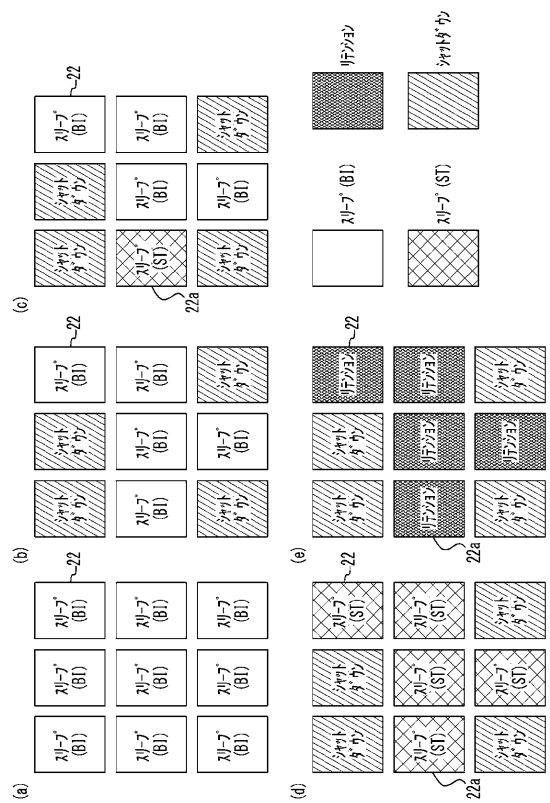
【図 27】



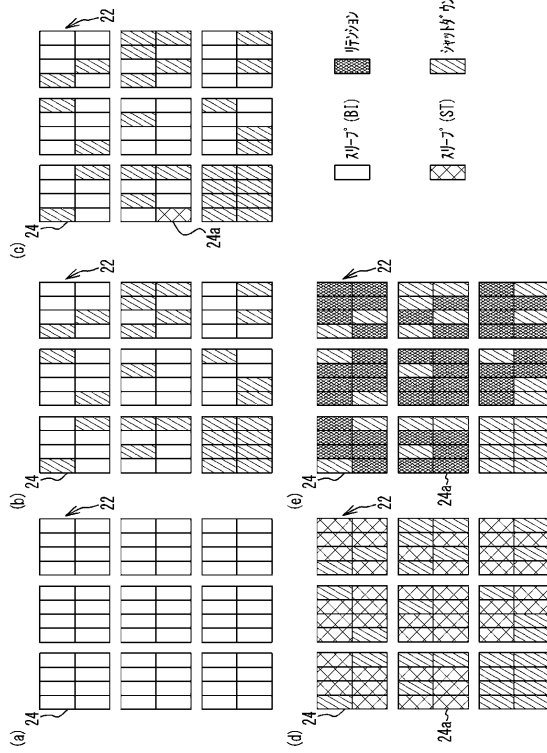
【図 28】



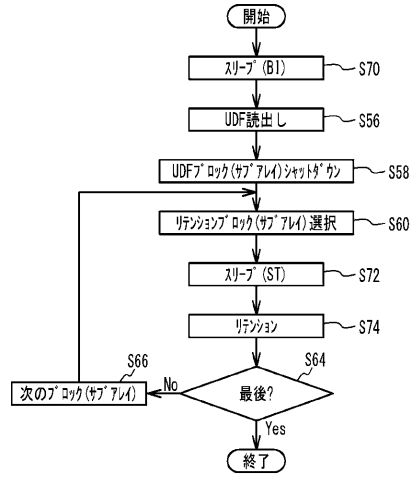
【図 29】



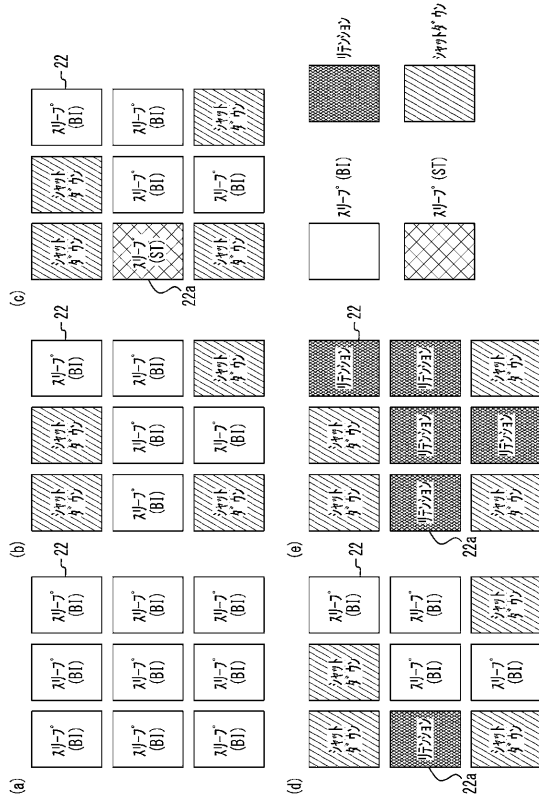
【図 30】



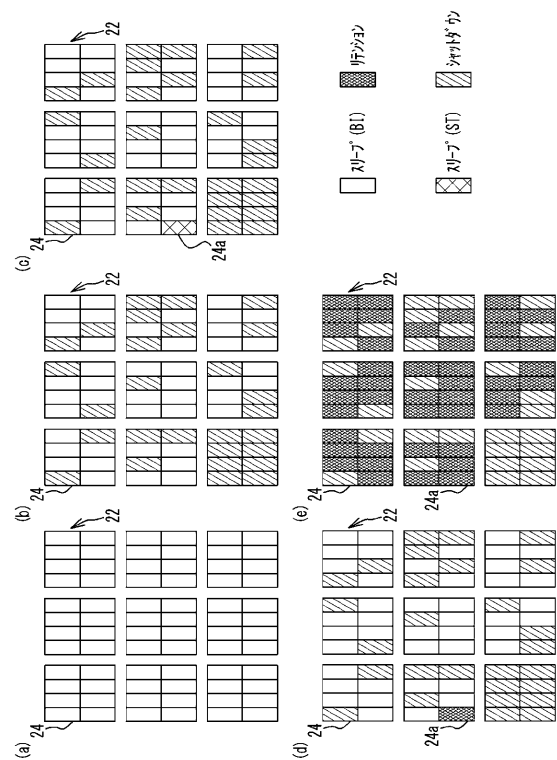
【図 31】



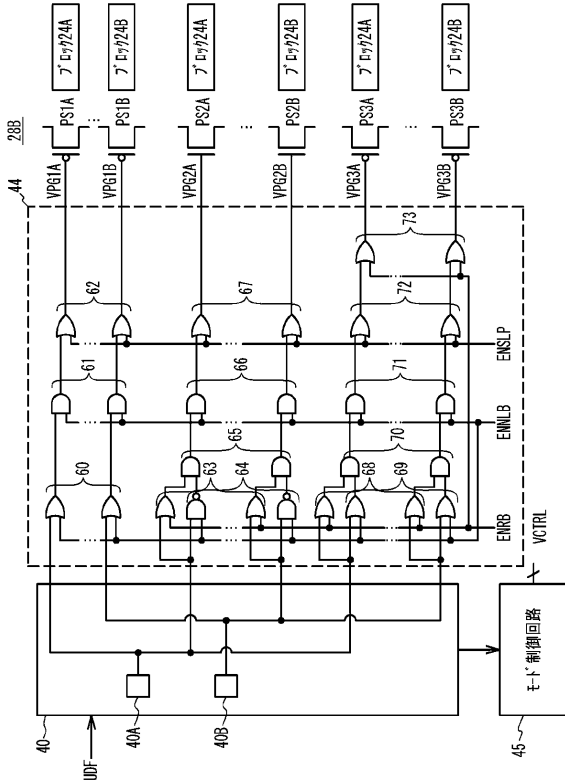
【図 32】



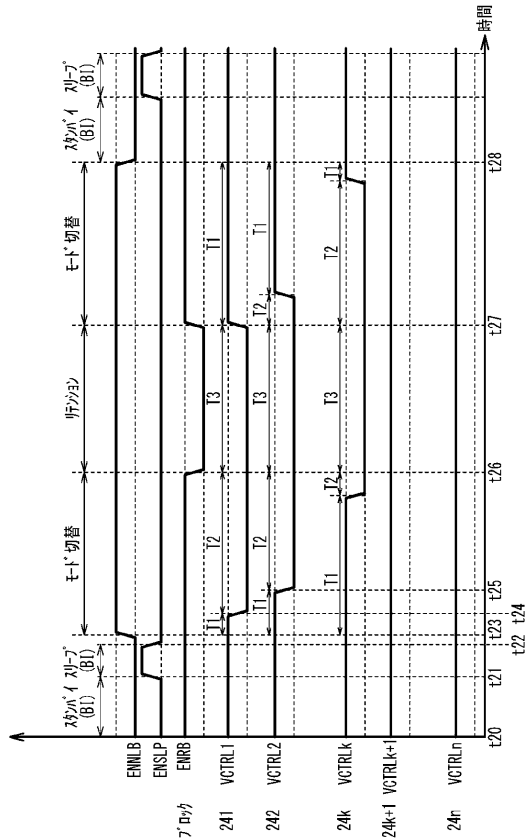
【図 33】



【図 3 4】



【図 3 6】



【図 3 5】

(a) スタグイ (B1)

ENRB	ENNLB	ENSLP	VCTRL
H	L	L	H

モード	UDF	VPG1	PS1	VPG2	PS2	VPG3	PS3	VDDJ-VGND
A	L	L	オン	L	オフ	H	オフ	V3
B	H	L	オフ	L	オフ	H	オフ	V3

(b) スリプ (B1) S70

ENRB	ENNLB	ENSLP	VCTRL
H	L	H	H

モード	UDF	VPG1	PS1	VPG2	PS2	VPG3	PS3	VDDJ-VGND
A	L	H	オフ	H	オン	H	オフ	V2
B	H	H	オフ	H	オン	H	オフ	V2

(c) UDFマスタスタグイ S70→S58

ENRB	ENNLB	ENSLP	VCTRL
H	L→H	L	H

モード	UDF	VPG1	PS1	VPG2	PS2	VPG3	PS3	VDDJ-VGND
A	L	L→H	オン→オフ	L→H	オン→オン	H	オフ	V3→V2
B	H	L→H	オン→オフ	L	オフ	H	オフ	V3→V0

(d) モード切替 S58 (T1)→S72 (T2)

ENRB	ENNLB	ENSLP	VCTRL
H	H	L	H→L

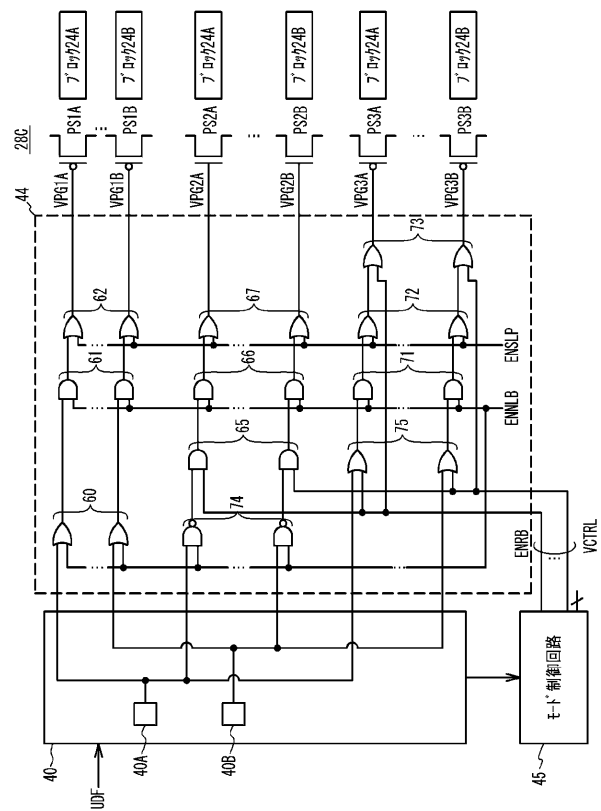
モード	UDF	VPG1	PS1	VPG2	PS2	VPG3	PS3	VDDJ-VGND
A	L	H	オフ	H	オン	H	オフ	V2
B	H	H	オフ	L	オフ	H	オフ	V0

(e) ジェンション S72 (T2)→S68 (T3)

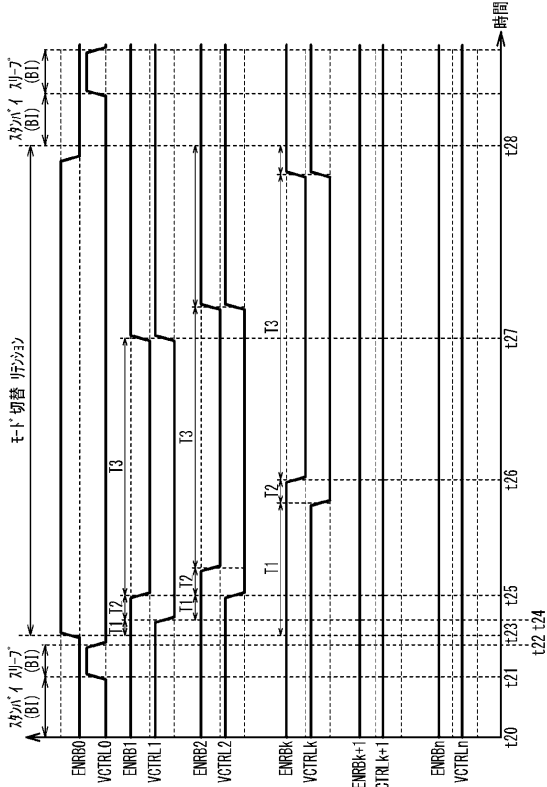
ENRB	ENNLB	ENSLP	VCTRL
H→L	H	L	L

モード	UDF	VPG1	PS1	VPG2	PS2	VPG3	PS3	VDDJ-VGND
A	L	H	オフ	H→L	オン→オフ	H→L	オン→オン	V2→V1
B	H	H	オフ	L	オフ	H	オフ	V0

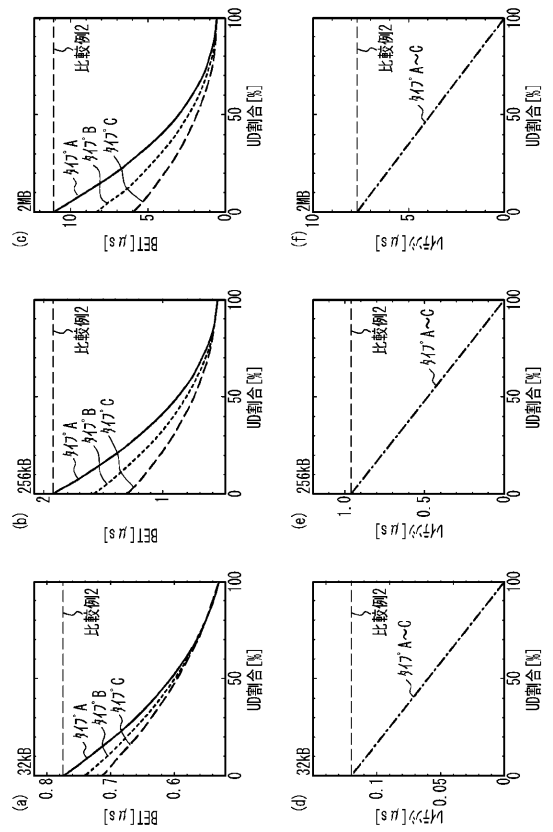
【図 3 7】



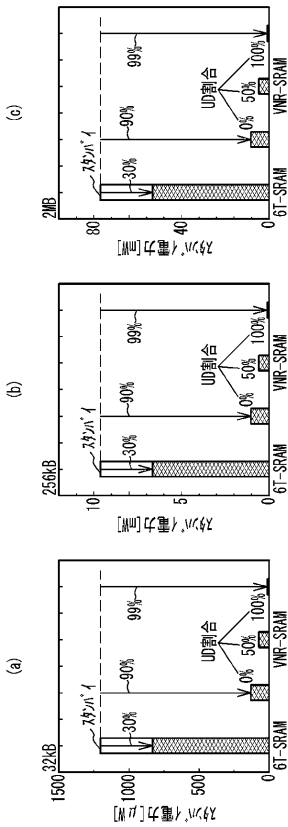
【図 38】



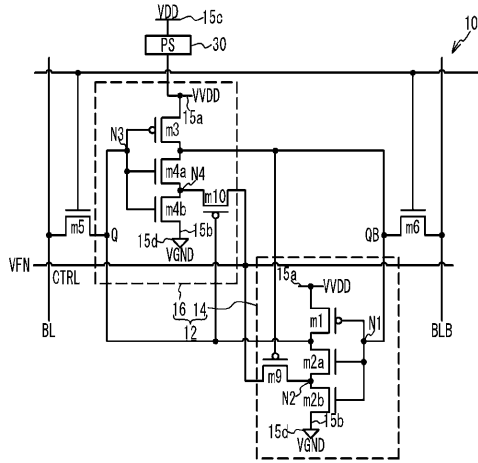
【図 39】



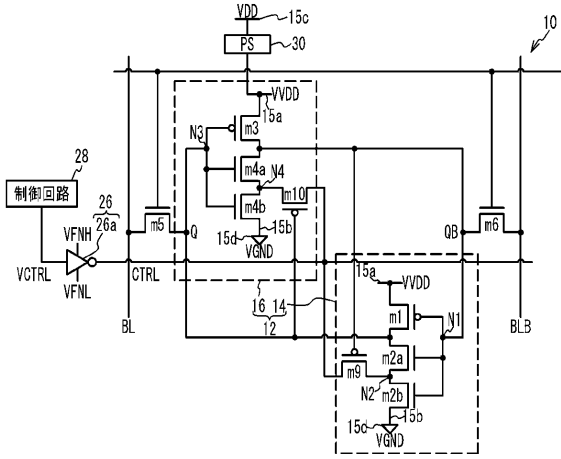
【図 40】



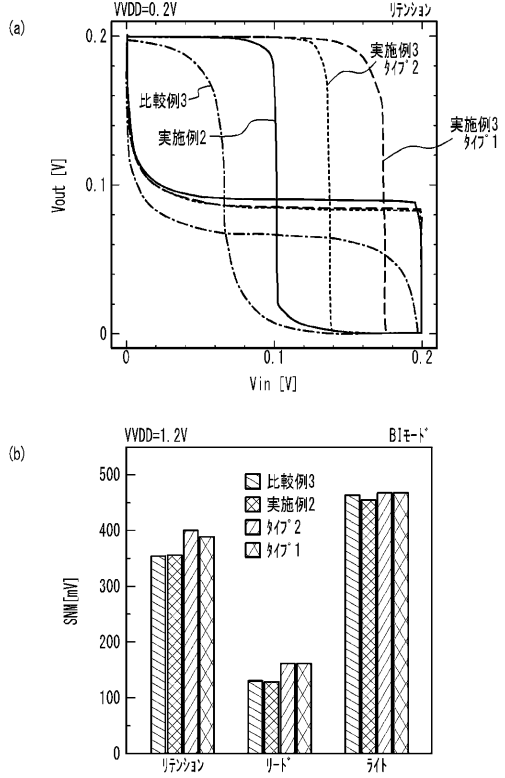
【図 41】



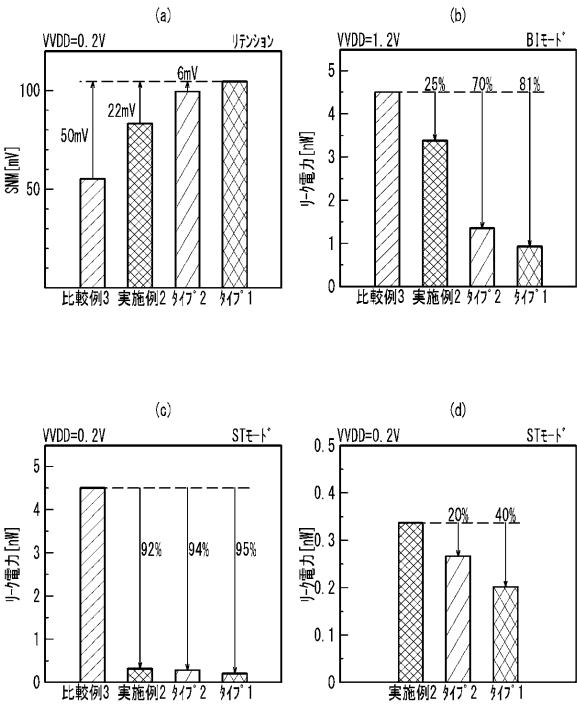
【図42】



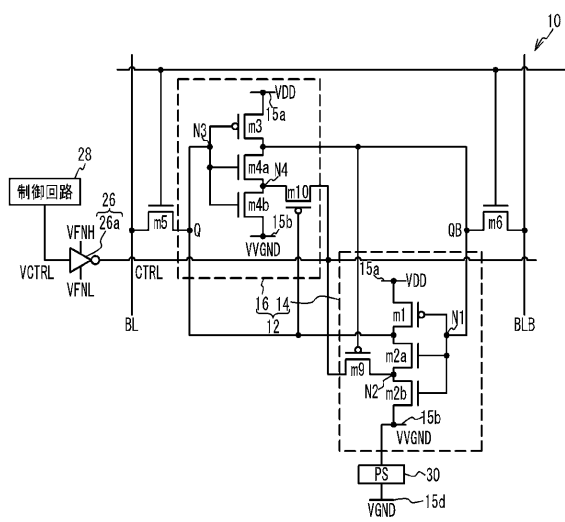
【図43】



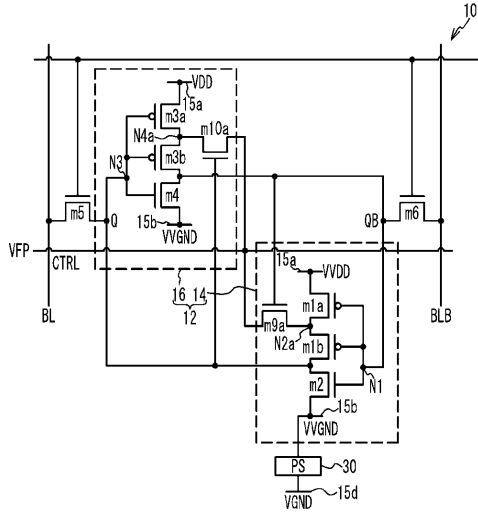
【図44】



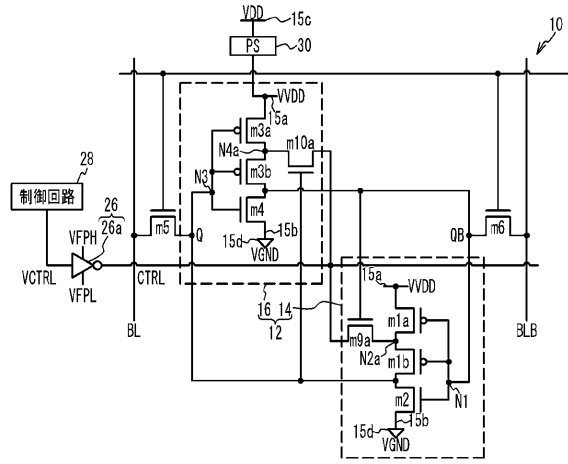
【図45】



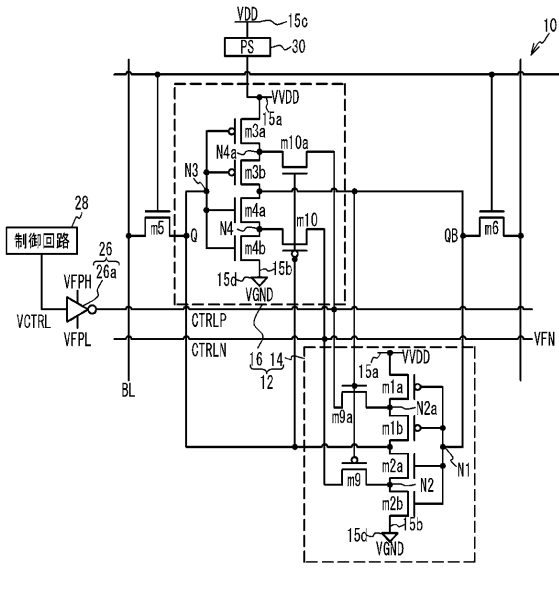
【 図 4 6 】



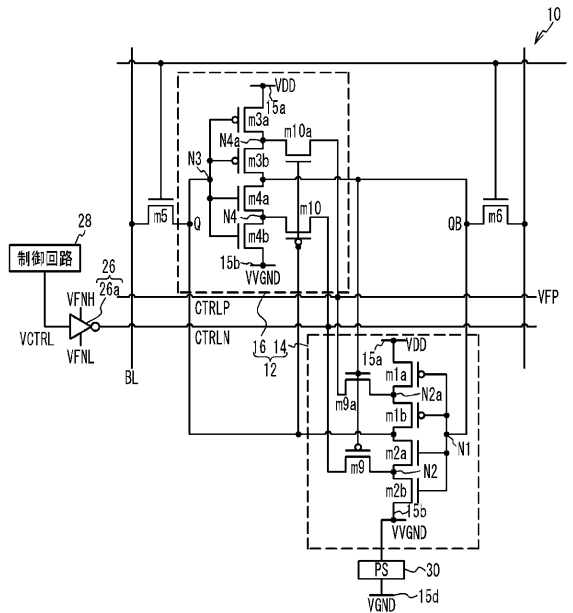
【 図 4 7 】



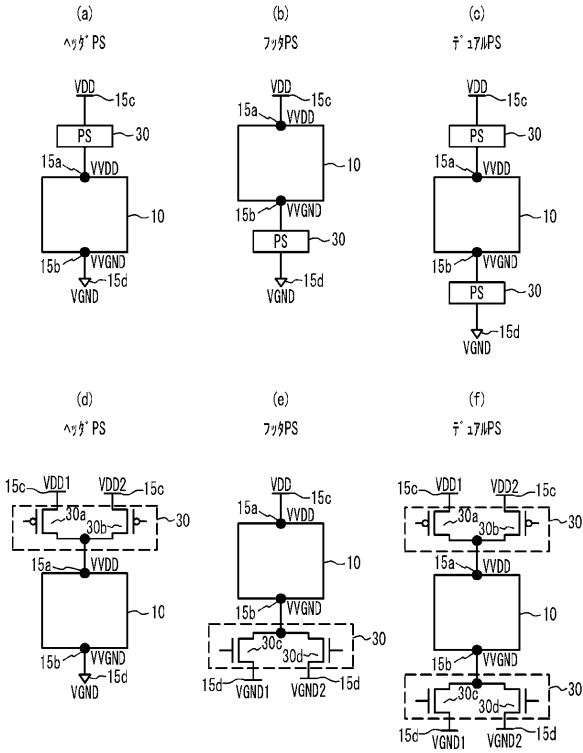
【 図 4 8 】



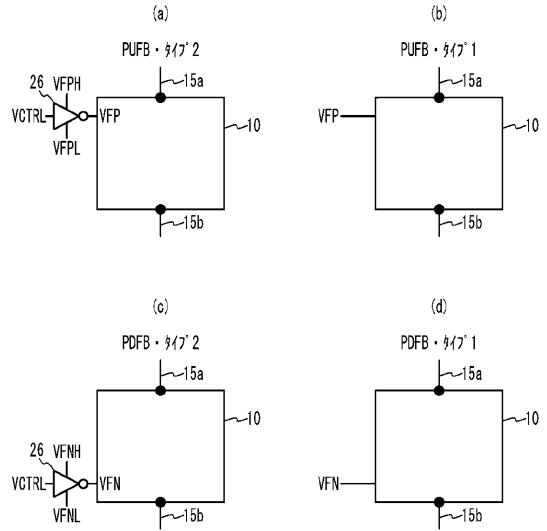
【 図 4 9 】



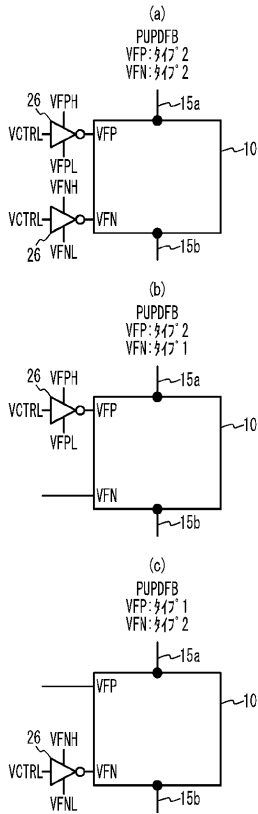
【図50】



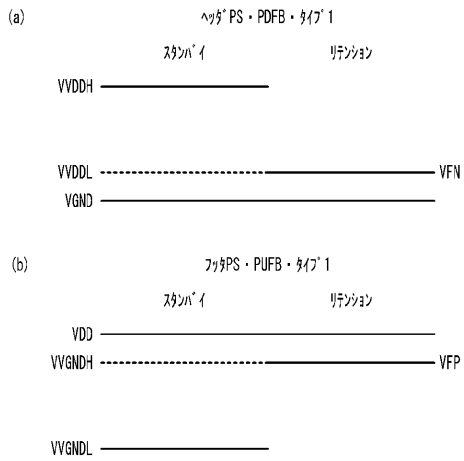
【図51】



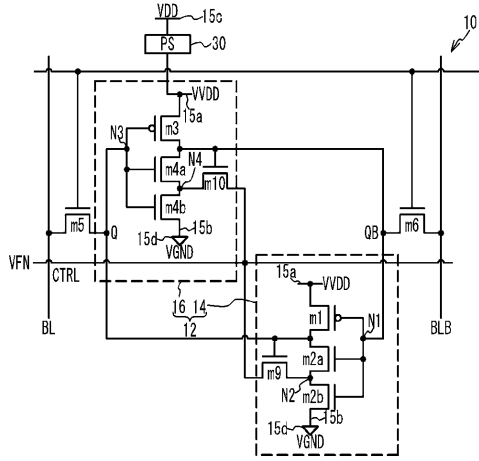
【図52】



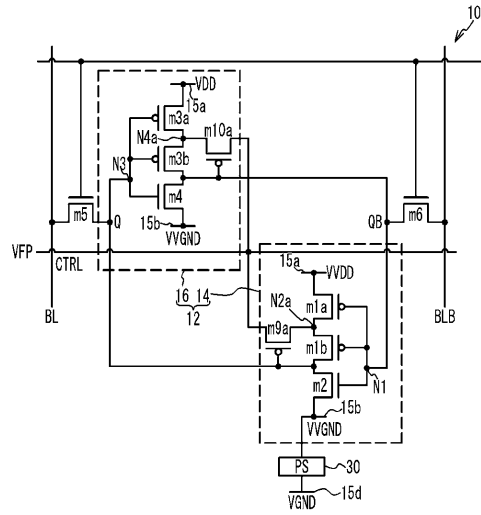
【図53】



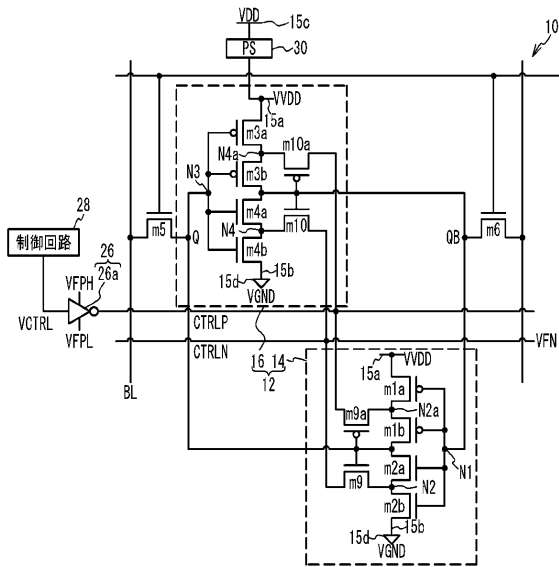
【 図 5 4 】



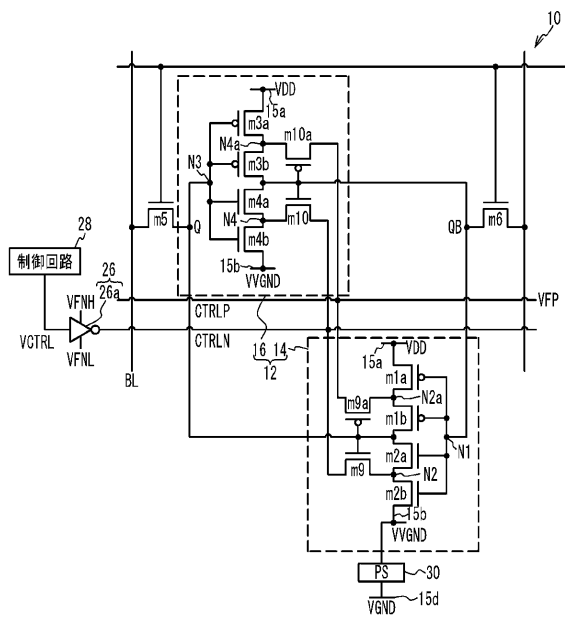
【 図 5 5 】



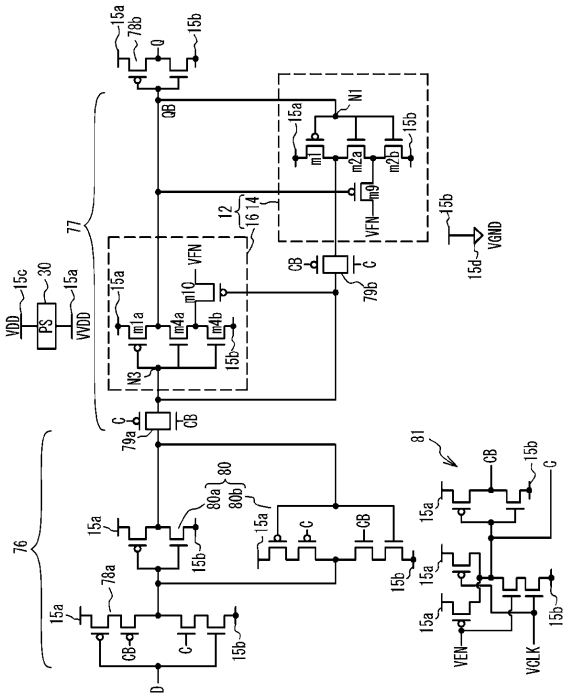
【 図 5 6 】



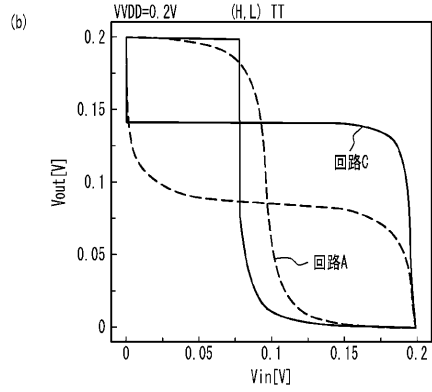
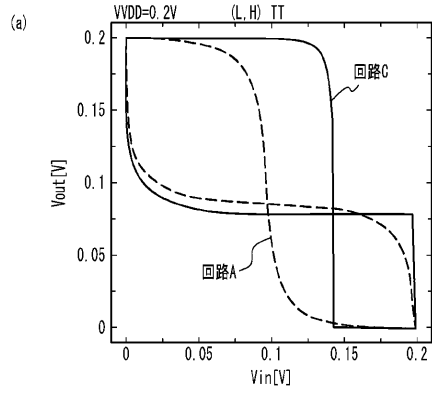
【 図 5 7 】



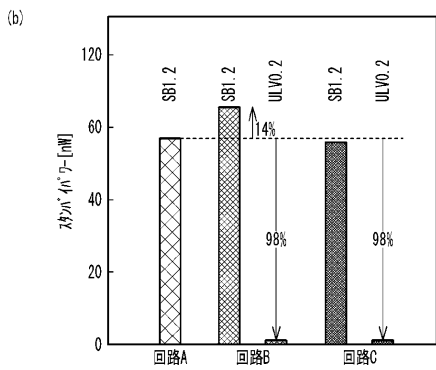
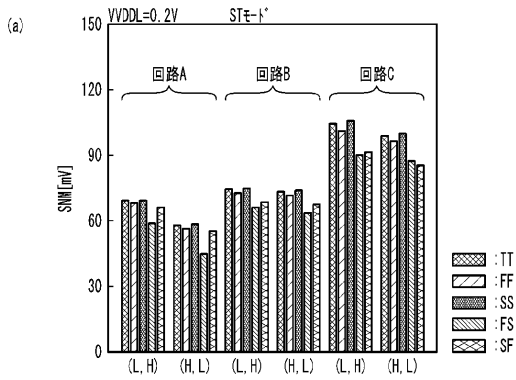
【図58】



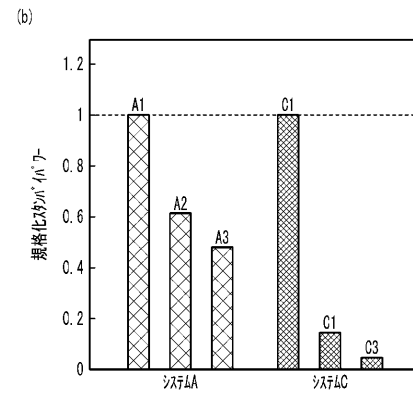
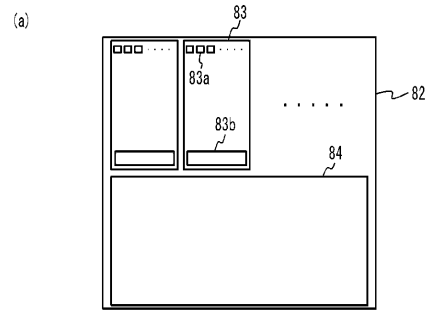
【図59】



【図60】



【図61】



フロントページの続き

審査官 後藤 彰

(56)参考文献 特開 2 0 1 9 - 1 0 2 1 1 1 (J P , A)
国際公開第 2 0 1 6 / 2 0 8 4 0 7 (W O , A 1)
国際公開第 2 0 1 6 / 1 5 8 6 9 1 (W O , A 1)
国際公開第 2 0 1 6 / 0 2 4 5 2 7 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)
G 1 1 C 1 4 / 0 0
G 1 1 C 1 1 / 4 1 2
G 1 1 C 1 1 / 4 1 7
H 0 3 K 3 / 3 5 6