### (19)日本国特許庁(JP)

# (12) 特許公報(B2)

(11)特許番号

特許第7360203号 (P7360203)

(45)発行日 令和5年10月13日(2023.10.13)

- (24)登録日 令和5年10月3日(2023.10.3)
- (51) Int. Cl.
   F I

   H10B 51/30
   (2023.01)

   H10B 51/20
   (2023.01)

   H10B 51/20
   (2023.01)

請求項の数 12 (全 29 頁)

(21)出願番号	特願2021-537601(P2021-537601)	(73)特許権者	<b>香 503360115</b>
(86)(22)出願日	令和2年6月3日(2020.6.3)		国立研究開発法人科学技術振興機構
(86)国際出願番号	PCT/JP2020/021963		埼玉県川口市本町四丁目1番8号
(87)国際公開番号	W02021/024598	(74)代理人	110000408
(87)国際公開日	令和3年2月11日(2021.2.11)		弁理士法人高橋・林アンドパートナーズ
審査請求日	令和4年2月2日(2022.2.2)	(72)発明者	小林 正治
(31)優先権主張番号	特願2019-146870(P2019-146870)		東京都文京区本郷七丁目3番1号 国立大
(32)優先日	令和1年8月8日(2019.8.8)		学法人東京大学内
(33)優先権主張国・地域又は機関		(72)発明者	莫 非
	日本国(JP)		東京都文京区本郷七丁目3番1号 国立大
			学法人東京大学内
		(72)発明者	平本 俊郎
			東京都文京区本郷七丁目3番1号 国立大
			学法人東京大学内
			最終頁に続く

(54) 【発明の名称】 不揮発性記憶装置及びその動作方法

- (57)【特許請求の範囲】
- 【請求項1】
  - 複数の不揮発性記憶素子を含む不揮発性記憶装置であって、
  - 各不揮発性記憶素子は、
  - 金属酸化物を含むチャネル層と、
  - 前記チャネル層に接する酸化ハフニウムを含む強誘電体層と、
  - 前記強誘電体層を介して前記チャネル層に対向する第1ゲート電極と、
  - 前記チャネル層を介して前記強誘電体層に対向する絶縁層と、
  - 前記絶縁層を介して前記チャネル層に対向する第2ゲート電極と、
- を備え、
- <u>前記チャネル層の厚みが10nm未満である、</u>不揮発性記憶装置。
- 【請求項2】
- 前記チャネル層のチャネル長が1μm以下である、請求項1に記載の不揮発性記憶装置
- 【請求項3】
- 前記絶縁層が、酸化シリコンを含む、請求項1又は2に記載の不揮発性記憶装置。
- 【請求項4】

前記チャネル層の膜厚に対する前記絶縁層の膜厚の比が、1.0以上1.8以下である、請求項1乃至3のいずれか一項に記載の不揮発性記憶装置。

【請求項5】

50

前記第2ゲート電極により前記チャネル層のボディポテンシャルが一定の電位に固定さ れている、請求項1乃至4のいずれか一項に記載の不揮発性記憶装置。 【請求項6】 複数の不揮発性記憶素子を含む不揮発性記憶装置であって、 各不揮発性記憶素子は、 金属酸化物を含むチャネル層と、 前記チャネル層に接する酸化ハフニウムを含む強誘電体層と、 前記強誘電体層を介して前記チャネル層に対向するゲート電極と、 を備え、 前記チャネル層のチャネル長が50nm以下であり、前記チャネル層の厚みが10nm 10 <u>未満であ</u>る、不揮発性記憶装置。 【請求項7】 前記金属酸化物が、IGZO、ITO、IZO、又はITZOである、請求項1乃至6 のいずれか一項に記載の不揮発性記憶装置。 【請求項8】 前記強誘電体層の膜厚が5nm以上20nm以下である、請求項1乃至7のいずれかー 項に記載の不揮発性記憶装置。 【請求項9】 複数の不揮発性記憶素子を含む不揮発性記憶装置の動作方法であって、 各不揮発性記憶素子は、 20 金属酸化物を含むチャネル層と、 前記チャネル層に接する酸化ハフニウムを含む強誘電体層と、 前記強誘電体層を介して前記チャネル層に対向する第1ゲート電極と、 前記チャネル層を介して前記強誘電体層に対向する絶縁層と、 前記絶縁層を介して前記チャネル層に対向する第2ゲート電極と、 前記チャネル層に接するソース電極と、 前記ソース電極と離間して前記チャネル層に接するドレイン電極と、 を備え、 前記チャネル層の厚みが10nm未満であり、 前記複数の不揮発性記憶素子の少なくとも一部に、前記第1ゲート電極に負電圧のゲー 30 ト電圧を印加し、前記ドレイン電極に第1ドレイン電圧を印加する消去動作と、 前記複数の不揮発性記憶素子の少なくとも一部に、前記第1ゲート電極に正電圧のゲー ト電圧を印加し、前記ドレイン電極に第2ドレイン電圧を印加するプログラム動作と、 を有し、 前記第1ドレイン電圧が正の電圧である、不揮発性記憶装置の動作方法。 【請求項10】 複数の不揮発性記憶素子を含む不揮発性記憶装置の動作方法であって、 各不揮発性記憶素子は、 金属酸化物を含むチャネル層と、 前記チャネル層に接する酸化ハフニウムを含む強誘電体層と、 40 前記強誘電体層を介して前記チャネル層に対向するゲート電極と、 前記チャネル層に接するソース電極と、 前記ソース電極と離間して前記チャネル層に接するドレイン電極と、 を備え、 前記チャネル層のチャネル長が50nm以下であり、前記チャネル層の厚みが10nm 未満であり、 前記複数の不揮発性記憶素子の少なくとも一部に、前記ゲート電極に負電圧のゲート電 圧を印加し、前記ドレイン電極に第1ドレイン電圧を印加する消去動作と、 前記複数の不揮発性記憶素子の少なくとも一部に、前記ゲート電極に正電圧のゲート電

圧を印加し、前記ドレイン電極に第2ドレイン電圧を印加するプログラム動作と、

を有し、

前記第1ドレイン電圧が正の電圧である、不揮発性記憶装置の動作方法。

【請求項11】

前記第2ドレイン電圧が正の電圧、または0Vである、請求項<u>9</u>又は<u>10</u>に記載の不揮 発性記憶装置の動作方法。

【請求項12】

前記第1ドレイン電圧は、前記第2ドレイン電圧よりも大きい、請求項<u>9</u>乃至<u>11</u>のい ずれか一項に記載の不揮発性記憶装置の動作方法。

【発明の詳細な説明】

【技術分野】

[0001]

本発明の一実施形態は、不揮発性記憶素子に関する。特に、ゲート絶縁層として強誘電 体を用いたトランジスタ型の不揮発性記憶素子(Ferroelectric Fiel d Effect Transistor:以下「FeFET」と表す。)に関する。

【背景技術】

【0002】

近年、半導体システムの高度化に伴い、日常生活の様々な場面において情報通信が必要 となっている。いわゆるIoT(Internet of Things)の実現には、 コンピュータ(例えば、サーバ)と家電製品(エッジデバイスとも呼ばれる)との間で高 速かつ大容量の情報通信が必要となる。そのためには、家電製品に対し、高速かつ大容量 なストレージメモリとしての不揮発性メモリが必要である。さらに、家電製品の小型化に 伴い、不揮発性メモリには、低消費電力であることが強く要求されている。

【0003】

不揮発性メモリの需要が拡大する中で、古くから知られている強誘電体メモリが新たな 脚光を浴びている。商品化されている強誘電体メモリは、電界効果トランジスタ(FET )をスイッチ、強誘電体をキャパシタとするセルを使用した素子である。この素子では、 PZT(チタン酸ジルコン酸鉛)等の圧電セラミックスを強誘電体材料として使用してい るが、PZTは薄くすると強誘電性を失うというサイズ効果があった。そのため、フラッ シュメモリの高密度化が進んできたのに対して、強誘電体メモリの高密度化はほとんど進 んでこなかった。

【 0 0 0 4 】

このような状況下で、2011年に、酸化ハフニウム(HfO<sub>2</sub>)にSi等の元素をド ーピングした材料が薄膜で強誘電性を示し、そのサイズ効果が公知のPZT等よりも大幅 に少ないことが公表された。これらの酸化ハフニウム系材料を使用した強誘電体メモリは 、CMOSプロセスとの整合性が高く、消去/プログラム速度が速く、かつ、低電圧動作 で低消費電力であるという特徴がある。そのため、最近では、酸化ハフニウム系材料をゲ ート絶縁層として利用するFeFETの開発が盛んである(例えば、非特許文献1及び非 特許文献2)。また、ストレージメモリのさらなる大容量化に向けて、複数のFeFET を三次元構造で集積化した高密度で低消費電力のメモリも提案されている(例えば、非特 許文献3)。

【先行技術文献】

【非特許文献】

[0005]

【非特許文献1】Min Kyu Kim、Jang Sik Lee、"Ferroelectric Analog Synaptic Transi stors"、[online]、2019年1月30日、American Chemical Society、[2019 年2月13日検索]、インターネット < URL: https://pubs.acs.org/doi/abs/10.1021 /acs.nanolett.9b00180 > (2019年)

【非特許文献 2】Yuxing Li、Renrong Liang、Jiabin Wang、Ying Zhang、He Tian、Houf ang Liu、Songlin Li、Weiquan Mao、Yu Pang、Yutao Li、Yi Yang、Tian Ling Ren、「A Ferroelectric Thin Film Transistor Based on Annealing Free HfZrO Film」、201 10

20



【非特許文献3】K. Florent、M. Pesic、A. Subirats、K. Banerjee、S. Lavizzari、A. Arreghini、L. Di Piazza、G. Potoms、F. Sebaai、S. R. C. McMitchell、M. Popovici 、G. Groeseneken、J. Van Houdt、「Vertical Ferroelectric Hf02 FET based on 3 D N AND Architecture: Towards Dense Low Power Memory」、2018 IEEE International Elec tron Devices Meeting (IEDM)、Page(s):2.5.1 2.5.4、(2018年)

#### 【発明の概要】

#### 【発明が解決しようとする課題】

[0006]

従来、FeFETのチャネル層としては、CMOSプロセスとの整合性が良好な単結晶 シリコンが用いられていた。しかしながら、三次元構造でFeFETを集積化する場合、 チャネル層として単結晶シリコンを用いることができない。そのため、上述の非特許文献 3では、FeFETを集積化して三次元構造のNAND型フラッシュメモリと同様の構造 のメモリを構成するために、チャネル層としてポリシリコン膜を用いている。 【0007】

しかしながら、チャネル層としてポリシリコン膜を用いたFeFETにはいくつかの課題がある。第1の課題は、高集積化するために薄膜化したポリシリコン膜は、キャリア移動度が低いため、読み出し電流が低くなる点である。第2の課題は、ゲート絶縁層である強誘電体とポリシリコン膜との間に誘電率の低い界面層(1ow-k層)が形成されてしまい、電圧損失が生じる点である。第3の課題は、低品質な界面層に起因する電荷トラップにより、FeFETの信頼性が劣化してしまう点である。したがって、これらの課題を解決する信頼性の高い強誘電体メモリの開発が求められている。

【0008】

本発明の課題の一つは、高集積化しても信頼性の高い不揮発性記憶素子を提供することにある。

#### 【課題を解決するための手段】

[0009]

本発明の一実施形態における不揮発性記憶素子は、金属酸化物を含むチャネル層と、前 記チャネル層に接する酸化ハフニウムを含む強誘電体層と、前記強誘電体層を介して前記 チャネル層に対向するゲート電極と、を備え、前記チャネル層のチャネル長が1µm以下 である。ここで、「Aを介してBに対向するC」とは、Aの少なくとも一部、Bの少なく とも一部、及びCの少なくとも一部が満たすべき関係であり、Aの全部、Bの全部、又は Cの全部が満たすべき関係に限定されるものではない。

 $\begin{bmatrix} 0 & 0 & 1 & 0 \end{bmatrix}$ 

本発明の一実施形態における不揮発性記憶素子は、金属酸化物を含むチャネル層と、前 記チャネル層に接する酸化ハフニウムを含む強誘電体層と、前記強誘電体層を介して前記 チャネル層に対向する第1ゲート電極と、前記チャネル層を介して前記強誘電体層に対向 する絶縁層と、前記絶縁層を介して前記チャネル層に対向する第2ゲート電極と、を備え る。ここで、前記絶縁層は、酸化シリコンを含んでいてもよい。前記チャネル層の膜厚に 対する前記絶縁層の膜厚の比は、1.0以上1.8以下(好ましくは、1.4以上1.6 以下)であってもよい。

[0011]

上記不揮発性記憶素子において、前記金属酸化物は、例えばIn、Ga、Zn、及びS nからなる群から選ばれる単数又は複数の金属からなる酸化物が好ましい。例えば、前記 金属酸化物は、IGZO(インジウム、ガリウム、亜鉛、酸素で構成される金属酸化物) 、ITO(Indium Tin Oxide)、IZO(Indium Zinc O xide)、ITZO(Indium Tin Zinc Oxide)、ZnO(Zi nc Oxide)であってもよい。ただし、これに限らず、前記金属酸化物と同様の特 性を有する金属酸化物であればチャネル層として用いることができる。前記チャネル層の

20



膜厚は、10nm未満(好ましくは、8nm以下、さらに好ましくは6nm以下)であってもよい。また、前記チャネル層の膜厚は1nm以上(好ましくは、2nm以上)であってもよい。また、前記強誘電体層の膜厚は、5nm以上20nm以下であってもよい。 【0012】

さらに、本発明の一実施形態における不揮発性記憶装置は、上記不揮発性記憶素子を複数含んで構成されてもよい。

【0013】

本発明の一実施形態における不揮発性記憶装置の動作方法は、複数の不揮発性記憶素子 を含む不揮発性記憶装置の動作方法であって、各不揮発性記憶素子は、金属酸化物を含む チャネル層と、前記チャネル層に接する酸化ハフニウムを含む強誘電体層と、前記強誘電 体層を介して前記チャネル層に対向する第1ゲート電極と、前記チャネル層を介して前記 強誘電体層に対向する絶縁層と、前記絶縁層を介して前記チャネル層に対向する第2ゲー ト電極と、前記チャネル層に接するソース電極と、前記ソース電極と離間して前記チャネ ル層に接するドレイン電極と、を備え、前記複数の不揮発性記憶素子の少なくとも一部に 、前記第1ゲート電極に負電圧のゲート電圧を印加し、前記ドレイン電極に第1ドレイン 電圧を印加する消去動作と、前記複数の不揮発性記憶素子の少なくとも一部に、前記第1 ゲート電極に正電圧のゲート電圧を印加し、前記ドレイン電極に第2ドレイン電圧を印加 するプログラム動作と、を有し、前記第1ドレイン電圧が正の電圧である。

【0014】

本発明の一実施形態における不揮発性記憶装置の動作方法は、複数の不揮発性記憶素子 を含む不揮発性記憶装置の動作方法であって、各不揮発性記憶素子は、金属酸化物を含む チャネル層と、前記チャネル層に接する酸化ハフニウムを含む強誘電体層と、前記強誘電 体層を介して前記チャネル層に対向するゲート電極と、前記チャネル層に接するソース電 極と、前記ソース電極と離間して前記チャネル層に接するドレイン電極と、を備え、前記 チャネル層のチャネル長が1µm以下であり、前記複数の不揮発性記憶素子の少なくとも 一部に、前記ゲート電極に負電圧のゲート電圧を印加し、前記ドレイン電極に第1ドレイ ン電圧を印加する消去動作と、前記複数の不揮発性記憶素子の少なくとも一部に、前記ゲ ート電極に正電圧のゲート電圧を印加し、前記ドレイン電極に第2ドレイン電圧を印加す るプログラム動作と、を有し、前記第1ドレイン電圧が正の電圧である。

【0015】

前記第2ドレイン電圧は、正の電圧、または0Vであってもよい。また、前記第1ドレイン電圧は、前記第2ドレイン電圧よりも大きくてもよい。

【図面の簡単な説明】

[0016]

【図1】第1実施形態の不揮発性記憶素子における素子構造を示す断面図である。

【図2】チャネル層の材料の違いによるトランジスタ特性の違いを説明するための概念図 である。

【図3】IGZO膜をチャネル層としたトランジスタにおけるチャネル層の膜厚に対する Id - Vg特性の依存性を示す図である。

【図4】図3に示すId-Vg特性から求めた閾値(Vth)とサブスレッショルド係数 (SS)を示す図である。

- 【図5】本実施形態の不揮発性記憶素子におけるチャネル部分の拡大TEM写真を示す図である。
- 【図6】結晶化後のHZO膜に対するGI-XRD測定の結果を示す図である。

【 図 7 】 H Z O 膜を誘電体とするキャパシタの P - V 特性及び I - V 特性を示す図である 。

- 【図9】第1実施形態の不揮発性記憶素子を用いて測定したId-Vg特性を示す図である。
- 【図10】図9に示したId-Vg特性から求めた電界効果移動度を示す図である。

10

20

<sup>【</sup>図8】HZO膜を誘電体とするキャパシタの書き込み耐性を示す図である。

【図11】チャネル層としてIGZO膜を用いたFeFETのId-Vg特性およびIg - Vg特性のシミュレーション結果を示す図である。 【図12】第1実施形態の不揮発性記憶素子における消去/プログラム動作の後のId-Vg特性を示す図である。 【図13】第1実施形態の不揮発性記憶素子におけるId-Vg特性及びIg-Vg特性 を示す図である。 【図14】第1実施形態の不揮発性記憶素子における書き込み電圧に対する閾値の依存性 を示す図である。 【図15】第1実施形態の不揮発性記憶素子における保護絶縁層の膜厚に対するメモリウ ィンドウの依存性を示す図である。 【図16】第2実施形態の不揮発性記憶素子における素子構造を示す断面図である。 【図17】IGZO膜をチャネル層とする不揮発性記憶素子におけるチャネル長に対する Id - Vg特性の依存性を示す図である。 【図18】チャネル層の内部における電位分布を示す図である。 【図19】チャネル層の内部における電位分布を示す図である。 【図20】第2実施形態の不揮発性記憶素子におけるチャネル層の膜厚に対するId-V g特性の依存性を示す図である。 【図21】第3実施形態の不揮発性記憶素子における素子構造を示す断面斜視図である。 【図22】第3実施形態の不揮発性記憶装置における装置構造を示す断面図である。 【図23】第1実施形態の不揮発性記憶素子におけるゲート絶縁層の膜厚に対するメモリ 【図26】第2実施形態の不揮発性記憶素子におけるソース近傍のチャネル層のポテンシ 【図27】第2実施形態の不揮発性記憶素子におけるチャネル層のポテンシャル分布を説 【図28】第4実施形態の不揮発性記憶素子における消去動作時のドレイン電圧に対する 【発明を実施するための形態】 [0017]以下、本発明の実施形態について、図面等を参照しつつ説明する。但し、本発明は、そ [0018]以下に説明する各実施形態において、測定又はシミュレーションの温度条件は、いずれ [0019]「素子構造 ] 本実施形態では、本発明の一実施形態における不揮発性記憶素子100について図1を

10

20

30

40

ウィンドウの依存性を示す図である。

【図24】第1実施形態の不揮発性記憶素子におけるチャネル層の膜厚に対するメモリウ ィンドウの依存性を示す図である。

【図25】第2実施形態の不揮発性記憶素子におけるチャネル層のチャネル長に対するメ モリウィンドウの依存性を示す図である。

ャル分布を説明するための図である。

明するための図である。

メモリウィンドウの依存性を示す図である。

の要旨を逸脱しない範囲において様々な態様で実施することができ、以下に例示する実施 形態の記載内容に限定して解釈されるものではない。図面は、説明をより明確にするため 、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、 あくまで一例であって、本発明の解釈を限定するものではない。本明細書と各図面におい て、既出の図面に関して説明したものと同様の機能を備えた要素には、同一の符号を付し て、重複する説明を省略することがある。

も室温である。

- (第1実施形態)

用いて説明する。ただし、図1は、本実施形態の不揮発性記憶素子100における素子構 造のコンセプトを示すものであり、この例に限られるものではない。

 $\begin{bmatrix} 0 & 0 & 2 & 0 \end{bmatrix}$ 

図1は、第1実施形態の不揮発性記憶素子100における素子構造を示す断面図である 。図1に示すように、不揮発性記憶素子100は、FeFETである。具体的には、不揮 発性記憶素子100は、少なくとも、第1ゲート電極120、ゲート絶縁層130、チャ ネル層140、保護絶縁層150、第2ゲート電極160、ソース電極170、及びドレ イン電極180を有する。

【0021】

基板110は、不揮発性記憶素子100を支持するベースとして機能する。本実施形態では、基板110として、シリコン基板上に酸化シリコンを設けた構造体を用いるが、これに限られるものではない。

【0022】

第1ゲート電極120は、不揮発性記憶素子100のフロントゲート電極として機能す る。本実施形態では、第1ゲート電極120として、20nmの膜厚の窒化チタン(Ti N)で構成される化合物層を用いる。しかし、これに限らず、第1ゲート電極120の材 料としては、タングステン、タンタル、モリブデン、アルミニウム、銅等を含む金属材料 、又は、それらの金属材料を含む化合物材料を用いることができる。第1ゲート電極12 0は、例えばスパッタ法により形成することができる。

[0023]

ゲート絶縁層130は、本実施形態の不揮発性記憶素子100における強誘電体層に相当する。本実施形態では、ゲート絶縁層130を構成する材料として、ジルコニウムを添加した酸化ハフニウム(以下「HZO」と表す。)を用いる。ただし、これに限らず、ゲート絶縁層130として、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、ストロンチウムなどを添加した酸化ハフニウム等の他の強誘電体層を用いても良い。本実施形態では、ゲート絶縁層130を250 の温度下におけるALD(Atomi c Layer Deposition)法を用いて、15nmの膜厚で形成する。ただし、ゲート絶縁層130の膜厚は、この例に限られるものではなく、例えば5nm以上20nm以下(好ましくは、10nm以上18nm以下)とすることができる。

チャネル層140は、不揮発性記憶素子100のチャネルとして機能する。本実施形態 では、チャネル層140を構成する材料として、IGZOと呼ばれる金属酸化物を用いる 。IGZOは、半導体特性を示す金属酸化物であり、インジウム、ガリウム、亜鉛、及び 酸素で構成される化合物材料である。具体的には、IGZOは、In、Ga及びZnを含 む酸化物、又は、このような酸化物の混合物である。IGZOの組成は、好ましくは、I naGaOi(ZnO)。(0 < x < 2、mは、0又は6未満の自然数)、より好ましく は、InGaOi(ZnO)。(mは、0又は6未満の自然数)、最も好ましくは、InG aOi(ZnO)である。後述するように、本実施形態の不揮発性記憶素子100は、チ ャネル層140としてIGZOを用いることにより、チャネル層としてポリシリコン膜を 用いた従来のFeFETに比べて高い信頼性を実現している。また、強誘電体層であるゲ ート絶縁層130とチャネル層140とが接することにより、従来例で述べた誘電率の低 い界面層の形成が抑制されている。なお、本実施形態では、チャネル層140として、8 nmの膜厚のIGZO膜をRFスパッタ法により形成している。本発明者らの知見では、 チャネル層140の膜厚は、10nm未満であることが望ましい。この点については、後 述する。

【0025】

保護絶縁層150は、チャネル層140を保護するパッシベーション層として機能する 誘電体である。本実施形態では、保護絶縁層150として、酸化シリコン膜(SiO)を RFスパッタ法により形成する。ただし、これに限らず、保護絶縁層150としては、窒 化シリコン膜(SiN)、酸化窒化シリコン膜(SiON)など、他の絶縁膜を用いても よい。また、本実施形態では、保護絶縁層150の膜厚(チャネル層140と第2ゲート 電極160との間の膜厚)を12nmとしたが、これに限られるものではない。なお、本 明細書中において、保護絶縁層150の膜厚は、シリコン酸化膜(SiO」)換算膜厚( 10

20



EOT: Equivalent Oxide Thickness)であるものとする。 【0026】

本実施形態では、保護絶縁層150を形成した後、後述するソース電極170及びドレイン電極180とチャネル層140とを接続するために、保護絶縁層150に対してコンタクトホールを形成する。コンタクトホールを形成した後、窒素及び酸素を含む雰囲気中で500、10秒間のRTA(Rapid Thermal Anneal)処理を行う。ただし、RTA処理の温度は、400 以下とすることも可能である。このRTA処理は、ゲート絶縁層130であるHZO膜を結晶化するためのアニールプロセスである。

第2ゲート電極160は、不揮発性記憶素子100のバックゲート電極として機能する 。具体的には、第2ゲート電極160はチャネル部分のボディポテンシャルを固定する役 割を有する。本実施形態では、第2ゲート電極160として、10nmの膜厚のチタン層 と100nmの膜厚のアルミニウム層とで構成される積層構造を有する電極を用いる。し かし、これに限らず、第2ゲート電極160の材料としては、タングステン、タンタル、 モリブデン、銅等を含む金属材料、又は、それらの金属材料を含む化合物材料を用いるこ とができる。第2ゲート電極160は、例えば電子ビーム蒸着法により形成することがで きる。

【0028】

ソース電極170及びドレイン電極180は、それぞれチャネル層140との電気的な 接続を得るための端子として機能する。本実施形態において、ソース電極170及びドレ イン電極180は、第2ゲート電極160と同一の金属層で構成される。すなわち、ソー ス電極170及びドレイン電極180は、10nmの膜厚のチタン層と100nmの膜厚 のアルミニウム層とで構成される積層構造を有する電極を用いる。ただし、この例に限ら ず、第2ゲート電極160とソース電極170及びドレイン電極180とを異なる金属材 料で構成することも可能である。

[0029]

なお、図1では、ボトムゲート(第1ゲート電極120)をフロントゲートとし、トッ プゲート(第2ゲート電極160)をバックゲートとする例を示した。しかしながら、こ れとは逆に、ボトムゲートをバックゲートとし、トップゲートをフロントゲートとしても よい。すなわち、IGZO膜で構成されるチャネル層の下に配置したゲート電極を用いて ボディポテンシャルを固定する構成としてもよい。

【0030】

[ポリシリコン膜とIGZO膜との比較]

前述のとおり、本実施形態の不揮発性記憶素子100は、ゲート絶縁層130として、 酸化ハフニウムを含む強誘電体を用い、チャネル層140として、IGZO膜を用いてい る。そこで、まずチャネル層140としてIGZO膜を用いる利点について説明する。 【0031】

図2(A)及び図2(B)は、チャネル層の材料の違いによるトランジスタ特性の違い を説明するための概念図である。図2(A)において、基板201の上には、チャネル層 202a、ゲート絶縁層203及びゲート電極204が配置されている。図2(A)と図 2(B)の違いは、図2(A)ではチャネル層202aとしてポリシリコン膜を用い、図 2(B)ではチャネル層202bとしてIGZO膜を用いている点である。 【0032】

図2(A)に示されるように、チャネル層202aとしてポリシリコン膜を用いた場合、膜の内部には、多くの結晶粒界205及び結晶欠陥206が存在する。これらの結晶粒 界205及び結晶欠陥206が、チャネル層202aのキャリア207の移動度の低下を 招く。また、ゲート絶縁層203である強誘電体層とチャネル層202aであるポリシリ コン膜との間に誘電率の低い界面層(1ow - k層)208が形成されてしまう。誘電率 の低い界面層208は、ゲート電極204に電圧を供給した際に、電圧損失の要因となる 。さらに低品質な界面層208が生成した電荷トラップも素子特性の劣化(例えば、閾値 10

20



のシフト、サブスレッショルド係数の劣化など)を招く要因となる。したがって、チャネ ル層202aとしてポリシリコン膜を用いた場合、不揮発性記憶素子として低電圧動作が 難しくなり、かつ信頼性が損なわれるという問題がある。

【 0 0 3 3 】

これに対し、図2(B)に示されるように、チャネル層202bとしてIGZO膜を用 いた場合、前述のような誘電率の低い界面層208はほとんど形成されない。また、IG ZO膜は、成膜した状態(すなわち、アモルファス状態)で十分なキャリア移動度を有す るため、アニール処理により多結晶とする必要性がなく、結晶粒界及び結晶欠陥の影響を 受けることがない。また、IGZO膜は、n型の半導体材料として機能する。さらにIG ZO膜を用いた不揮発性記憶素子は、ジャンクションレスFET(pn接合がないトラン ジスタ)として動作させることができる。そのため、図2(B)に示されるように、チャ ネルボディ(チャネルの中央付近)をキャリア207が移動し、キャリア207が界面層 付近の電荷トラップの影響を受けにくい。したがって、チャネル層202bとしてIGZ O膜を用いることにより、信頼性の高い不揮発性記憶素子を実現することができる。 【0034】

なお、チャネル層としてIGZO膜を用い、ゲート絶縁層として酸化ハフニウム系材料 を用いた場合、前述のとおり界面特性に優れたFeFETを構成することができる。した がって、ジャンクションレスFETとして動作する場合に限らず、p型の半導体材料と組 み合わせてインバージョンモードで動作するFETに適用することも可能である。

【 0 0 3 5 】

[素子特性]

本発明者らは、IGZO膜をチャネル層として用いた場合におけるトランジスタ特性に ついて、IGZO膜の膜厚に対する依存性を調べた。図3は、IGZO膜をチャネル層と したトランジスタにおけるチャネル層の膜厚に対するId-Vg特性の依存性を示す図で ある。図3に示される曲線は、ゲート絶縁層として二酸化シリコン膜を用い、チャネル層 としてIGZO膜を用いたトランジスタのId-Vg特性である。ここでは、ソース・ド レイン間の電圧(Vds)を50mVに設定した。また、IGZO膜の膜厚は、5nm、 10nm、20nm及び40nmに設定した。図4は、図3に示すId-Vg特性から求 めた閾値(Vth)とサブスレッショルド係数(SS)を示す図である。 【0036】

図3及び図4に示されるように、IGZO膜の膜厚が薄くなるにつれて、トランジスタ 特性に変化が見られた。具体的には、図4に示されるように、IGZO膜の膜厚が薄くな るにつれて、閾値が負から正へと変化し、サブスレッショルド係数が徐々に小さくなる傾 向が見られた。なお、膜厚が5nmの場合において、Id-Vg特性及びサブスレッショ ルド係数の劣化が見られたが、本発明者らは、何らかの要因により正常なトランジスタ特 性が得られなかった可能性が高いと考えている。

【0037】

理論上、室温における理想的なサブスレッショルド係数の値は60mV/decである ことが知られている。つまり、サブスレッショルド係数が60mV/decとなるときの IGZO膜の膜厚がチャネル層の膜厚として好適であると言える。図4に示される結果に よれば、IGZO膜の膜厚が10nm未満(好ましくは、8nm以下)となったとき、理 想的なサブスレッショルド係数が得られることが分かった。以上の結果に基づき、本実施 形態の不揮発性記憶素子100は、チャネル層140の膜厚を10nm未満(好ましくは 8nm以下、さらに好ましくは6nm以下)としている。

[0038]

図5は、本実施形態の不揮発性記憶素子100におけるチャネル部分の拡大TEM写真 を示す図である。不揮発性記憶素子100のチャネル部分は、第1ゲート電極(TiN膜) 120、ゲート絶縁層(HZO膜)130、チャネル層(IGZO膜)140、保護絶 縁層(SiO2膜)150が順に積層されている。図5に示されるように、各層は、高い 均一性で形成されている。図5に示す写真から、HZO膜は、結晶化されていることが分 10

かる。それに対し、IGZO膜は、アモルファス状態である。また、HZO膜とIGZO 膜との間に、誘電率の低い界面層は形成されていないことが分かる。ゲート絶縁層130 である強誘電体層(具体的には、HZO膜)の均一性及び結晶性には、チャネル層140 としてIGZO膜が接していることが寄与している。

【 0 0 3 9 】

図6は、結晶化後のHZO膜におけるGI-XRD(Grazing Inciden ce X-Ray Diffraction)測定の結果を示す図である。具体的には、 図6は、HZO膜の上にキャップ膜としてIGZO膜を設けた後に結晶化アニールを行っ た場合と、IGZO膜を設けずに結晶化アニールを行った場合とを比較した測定スペクト ルを示している。図6に示されるように、IGZO膜をキャップ膜として設けた場合には 、HZO膜に直方晶が形成されたことを示すピーク(例えば「1110」等のピーク)が 現れている。HZO膜が強誘電性を示すのは膜に直方晶が形成されたときであり、単斜晶 では強誘電性を示さないことが知られている。そのため、図6の測定スペクトルによれば 、IGZO膜によるキャッピングがHZO膜における強誘電層の形成に効果的に寄与して いることが分かる。

[0040]

図7は、HZO膜を誘電体とするキャパシタのP - V特性及びI - V特性を示す図であ る。具体的には、図7は、A1膜/Ti膜/IGZO膜/HZO膜/TiN膜で構成され る積層構造で構成されるキャパシタを用いて1kHzの測定周波数で測定したP - V特性 及びI - V特性を示している。図7に示されるように、測定結果において、良好な強誘電 体のヒステリシス特性と自発分極による反転電流とが観測された。このことは、上述の積 層構造が、強誘電体キャパシタとして良好な特性を示し得ることを意味する。

【0041】

図8は、HZO膜を誘電体とするキャパシタ(具体的には、図7に示した構造を有する キャパシタ)の書き込み耐性を示す図である。ここで、横軸は、ストレス・サイクルであ り、縦軸は、残留分極である。また、書き込み試験においては、振幅が±3Vの矩形波電 圧を周期1マイクロ秒で入力した。四角いドットで示される点は、正電圧を上記キャパシ タに印加してデータ「0」を書き込んだ後の残留分極であり、丸いドットで示される点は 、負電圧を上記キャパシタに印加してデータ「1」を書き込んだ後の残留分極である。図 8に示されるように、1×10<sup>5</sup>回程度まで安定した書き込み特性を示すことが分かった 。このように、上述の積層構造によって構成されるキャパシタは、劣化の抑制された信頼 性の高いキャパシタであると言える。

【0042】

ここで、「Karine Florent、「Reliability Study of Ferroelectric Al:Hf0: Thin Fi Ims for DRAM and NAND Applications」、2017年8月31日、IEEE Transactions on Electron Devices、Volume 64、Page(s):4091 4098、(2017年)」のFig.5( b)には、ポリシリコン膜及びA1:HfO:膜を用いたSIS構造のキャパシタについ ての書き込み耐性を示す測定結果が示されている。このとき、例えば3Vの電圧による測 定結果によれば、書き込み回数が10<sup>5</sup>回程度に到達すると劣化が見られ、最終的には1 0<sup>5</sup>回程度でブレイクダウンしている。すなわち、酸化ハフニウム膜とIGZO膜とで構 成されるキャパシタに比べ、酸化ハフニウム膜とポリシリコン膜とで構成されるキャパシ タは、書き込み最大回数が3桁以上低いことが分かる。この結果からも、FeFETのチ ャネル層として、ポリシリコン膜に代えてIGZO膜を用いることの優位性が分かる。 【0043】

次に、図9は、第1実施形態の不揮発性記憶素子100を用いて測定したId-Vg特性を示す図である。図9に示す特性は、チャネル幅(W)及びチャネル長(L)を50µmとしている。ソース-ドレイン間の電圧(Vds)は、50mVの場合と1Vの場合と に分けて測定した。ソース-ゲート間の電圧(以下、「ゲート電圧」と呼ぶ)(Vg)は、消去/プログラム動作が起こらない範囲で掃引した。その結果、図9に示されるように、ほぼ理想的なジャンクションレスFETの特性が得られた。 10

20



[0044]

図10は、図9に示したId-Vg特性から求めた電界効果移動度を示す図である。ここでは、比較例として、ゲート絶縁層に30nmの厚さの酸化シリコン膜を用いた場合についても示した。図10に示されるように、15nmの厚さのHZO膜をゲート絶縁層とした場合とで電界効果移動度に大きな差はなく、共に10cm<sup>2</sup>/Vs程度の値が得られた。また、10cm<sup>2</sup>/Vsという値は、IGZO膜のホール移動度(Hall mobility)と一致する。この結果は、本実施形態の不揮発性記憶素子100が、バルク伝導(bulk conduction)で動作することを意味する。すなわち、本実施形態の不揮発性記憶素子100は、ほぼ理想的なジャンクションレスFETとして動作することが確認された。

(11)

以上のように、図7から図10に示した測定結果によれば、本実施形態の不揮発性記憶 素子100が、強誘電体キャパシタとしても、電界効果トランジスタとしても良好な特性 を示すことが裏付けられた。

【0046】

次に、図11は、チャネル層としてIGZO膜を用いたFeFETのId-Vg特性およびIg-Vg特性のシミュレーション結果を示す図である。具体的には、図11の上側の図に示される特性は、ボディポテンシャル、すなわちチャネル部分の電位を固定しない場合の結果である。すなわち、上側の図においては、ボディポテンシャルがフローティング状態となっている。下側の図に示される特性は、ボディポテンシャルを固定した場合の結果である。すなわち、下側の図においては、バックゲート電極により、ボディポテンシャルが一定の電位(本実施形態では0V)に固定されている。なお、シミュレーションにおいては、チャネル長(Lg)を10μmとし、ソース - ドレイン間電圧(Vd)を50mVとした。

【0047】

図11に示されるId-Vg特性のシミュレーション結果によれば、ボディポテンシャルがフローティング状態にあるとき、メモリウィンドウ(MW)は確認されない。しかしながら、ボディポテンシャルを一定の電位に固定した場合には、十分な幅のメモリウィンドウを確認することができた。つまり、本実施形態の不揮発性記憶素子100において、ボディポテンシャルの固定は、メモリウィンドウの安定した形成に大きく影響することが確認された。

【0048】

以上のシミュレーション結果に基づき、本実施形態の不揮発性記憶素子100は、図1 に示されるように、バックゲート電極として第2ゲート電極160を設けた構成となって いる。具体的には、不揮発性記憶素子100は、第1ゲート電極120、ゲート絶縁層1 30及びチャネル層140で構成されるFeFETに対し、チャネル部分のボディポテン シャルを第2ゲート電極160で固定する構成を有する。

【0049】

図12は、本実施形態の不揮発性記憶素子100における消去/プログラム動作の後の Id - Vg特性を示す図である。具体的には、図12は、第1ゲート電極120のゲート 電圧としてVg=-3Vを供給して消去動作を行った後のId - Vg特性と、Vg=+2 .5Vでプログラム動作を行った後のId - Vg特性とを示している。チャネル幅は50 µmとし、チャネル長は20µmとした。ソース - ドレイン間電圧(Vds)は、50m Vである。また、第2ゲート電極160を用いてチャネル部分のボディポテンシャルは固 定した。なお、グラフ内には、消去状態とプログラム状態における、それぞれのサブスレ ッショルド係数を併せて示した。

【0050】

図12に示されるように、不揮発性記憶素子100は、正常に消去状態とプログラム状態の2つの状態に遷移することが確認された。また、その際のメモリウィンドウは、約0.5Vであった。これらの結果は、概ねシミュレーション結果から予想されたとおりの結

10

20

果である。また、消去状態及びプログラム状態の両方において、ほぼ理想的なサブスレッ ショルド係数が得られることも確認された。

【0051】

図13は、本実施形態の不揮発性記憶素子100におけるId - Vg特性及びIg - V g特性を示す図である。具体的には、図13は、第1ゲート電極120のゲート電圧を-2 Vから+3.5 Vの広い範囲で掃引した場合におけるId - Vg特性及びIg - Vg特 性を示している。チャネル幅は30µmとし、チャネル長は10µmとした。ソース - ド レイン間電圧(Vds)は、50mVである。また、第2ゲート電極160を用いてチャ ネル部分のボディポテンシャルを固定した。

【0052】

図13に示されるように、Id - Vg特性には、強誘電体に起因するヒステリシス特性が観測された。また、Ig - Vg特性には、強誘電体の自発分極反転に起因するピーク電流が観測された。具体的には、図13において、消去動作後の正の電圧掃引の際に2つの ピーク電流が表れている。

低い方の電圧で観測されるピーク電流は、第1ゲート電極120とソース電極170と の間、及び、第1ゲート電極120とドレイン電極180との間で観測される分極電流で ある。高い方の電圧で観測されるピーク電流は、第1ゲート電極120とチャネル層14 0との間で観測される分極電流である。この分極電流は、強誘電体(ゲート絶縁層130 )の自発分極に起因する。また、これら2つのピーク電流は、プログラム動作後の負の電 圧掃引では重なって観測される。

【0054】

図13に示す結果は、図11に示したシミュレーション結果と概ね一致しており、本実施形態の不揮発性記憶素子100が、強誘電体メモリとして正常に動作することを裏付けている。

【0055】

図14は、第1実施形態の不揮発性記憶素子100における書き込み電圧(消去電圧及 びプログラム電圧)に対する閾値の依存性を示す図である。図14に示すグラフによれば 、消去電圧(黒丸で示す)は、-0.5Vから-3.0Vの範囲でほぼ線形に制御可能で あることが分かる。また、プログラム電圧(白丸で示す)は、2.0Vから5.0Vの範 囲でほぼ線形に制御可能であることが分かる。以上のことから、本実施形態の不揮発性記 憶素子100は、5.0V以下の書き込み電圧で制御可能であると言える。したがって、 本実施形態の不揮発性記憶素子100は、一般的な集積回路で使用される5V電源を用い て動作可能であり、既存の集積回路に対して非常に親和性が高い。

【0056】

以上説明したとおり、本実施形態の不揮発性記憶素子100は、チャネル層140とし て膜厚が10nm未満のIGZO膜を用い、ゲート絶縁層130としてHZO膜を用いた 構造を有する。本実施形態の不揮発性記憶素子100は、チャネル層140としてIGZ O膜を用いることにより、チャネル層としてポリシリコン膜を用いた従来の不揮発性記憶 素子に比べて高い信頼性を実現している。

また、上述のように、本実施形態の不揮発性記憶素子100は、5.0V以下の電圧で 消去 / プログラム動作を制御できるため、低電圧で動作可能であるとともに消費電力を低 く抑えることができる。これに対し、従来のフラッシュメモリは、トンネル酸化物層を介 して基板とフローティングゲートとの間で電荷を移動させるために高電圧を与える必要が ある。その結果、フラッシュメモリは、高電圧を発生するための昇圧回路が必要になると いうデメリットを有する。

【0058】

さらに、本実施形態の不揮発性記憶素子100は、第2ゲート電極160を用いてチャ ネル部分のボディポテンシャルを固定することにより、良好なメモリウィンドウを確保す 10

ることができる。このように、本実施形態によれば、低電圧(例えばソース - ドレイン間の電圧が50mV以下)で動作可能であり、消費電力が低く、高い信頼性を有する不揮発 性記憶素子100を得ることができる。

【0059】

なお、本実施形態では、第2ゲート電極160を用いてボディポテンシャルを一定の電 位に固定する例を示したが、これに限らず、第2ゲート電極160の電位を可変としてプ ログラム動作と消去動作を補助することも可能である。

[0060]

また、上述のメモリウィンドウの幅は、チャネル層140及びゲート絶縁層130に形 成される電界強度の影響を受ける。すなわち、チャネル層140と第2ゲート電極160 とを絶縁分離する保護絶縁層150の膜厚に応じて変化する。

【0061】

図15(A)及び図15(B)は、本実施形態の不揮発性記憶素子100における保護 絶縁層150の膜厚に対するメモリウィンドウの依存性を示す図である。この例において 、ゲート絶縁層130の膜厚は15nmであり、チャネル層140の膜厚は8nmである 。保護絶縁層150の膜厚は、5nm、9nm、12nm及び15nmとした。

【0062】

図15(A)に示されるように、保護絶縁層150の膜厚が薄くなるにつれて消去動作後の閾値が高くなる傾向が観測された。すなわち、図15(B)に示されるように、保護絶縁層150の膜厚が薄くなるにつれてメモリウィンドウの幅が大きくなる方向にId-Vg特性が変化することが分かった。

【0063】

図15(B)に示される結果によれば、保護絶縁層150の膜厚を15nm以下とした 場合に、メモリウィンドウの幅として0.8V以上の幅を確保できる。つまり、保護絶縁 層150の膜厚は、薄い方が好ましい。しかしながら、本発明者らの知見によれば、保護 絶縁層150の膜厚を厚くするにつれてリーク電流が小さくなるため、メモリ動作の信頼 性を確保する点からは保護絶縁層150の膜厚は厚い方が好ましい。以上の事から、リー ク電流を抑えつつメモリウィンドウの幅を十分確保するためには、保護絶縁層150の膜 厚を8nm以上15nm以下(さらに好ましくは、11nm以上13nm以下)とするこ とが好ましいと言える。また、チャネル層140の膜厚と保護絶縁層150の膜厚は、チャネル部分への電界形成に関して密接に関連していると考えられる。したがって、本実施 形態の不揮発性記憶素子100は、チャネル層140の膜厚に対する保護絶縁層150の 膜厚の比が1.0以上1.8以下(好ましくは、1.4以上1.6以下)に設定されてい る。

[0064]

図23(A)及び図23(B)は、本実施形態の不揮発性記憶素子100におけるゲート絶縁層130の膜厚に対するメモリウィンドウの依存性を示す図である。この例において、保護絶縁層150の膜厚は12nmであり、チャネル層140の膜厚は8nmである。チャネル長は、10µmである。ゲート絶縁層130の膜厚は、10nm、15nm、20nm及び25nmである。

【0065】

図23(A)に示されるように、ゲート絶縁層130の膜厚が厚くなるにつれて閾値電 圧の変化が大きくなる傾向が観測された。すなわち、図23(B)に示されるように、ゲ ート絶縁層130の膜厚が厚くなるにつれてメモリウィンドウの幅が大きくなることが分 かった。このような特性を示す理由は、ゲート絶縁層130の膜厚が厚くなると、その分 だけ大きなゲート電圧を印加しないと、ゲート絶縁層130の中で分極が反転しないから である。したがって、適切なメモリウィンドウと閾値電圧とを得るためには、ゲート絶縁 層130の膜厚を適切に設計することが望ましい。

[0066]

図24(A)及び図24(B)は、本実施形態の不揮発性記憶素子100におけるチャ

20

10

40

ネル層140の膜厚に対するメモリウィンドウの依存性を示す図である。具体的には、図24(A)は、本実施形態の不揮発性記憶素子100のチャネル層140の膜厚を5 nm、6 nm、7 nm又は8 nmに設定した I d - V g 特性のシミュレーション結果を示している。この例において、保護絶縁層150の膜厚は、12 nmである。ゲート絶縁層13 0の膜厚は、15 nmである。チャネル長は、10 μmである。

【0067】

図24(A)及び図24(B)に示す結果によれば、チャネル層140の膜厚が薄くなるにつれて閾値が正の方向に大きくなり、メモリウィンドウの幅が大きくなることが分かった。すなわち、本実施形態の不揮発性記憶素子100は、バックゲート電極160を用いてメモリウィンドウを確保しつつ、チャネル層140の膜厚を適切に設定することにより、メモリウィンドウの幅も制御可能であることが分かった。

【 0 0 6 8 】

(第2実施形態)

第2実施形態では、第1実施形態とは異なる構造の不揮発性記憶素子200について説 明する。第1実施形態と異なる点は、不揮発性記憶素子200は、第1実施形態のように バックゲート電極を用いてボディポテンシャルを固定するのではなく、チャネル長を短く することによってボディポテンシャルを固定する点である。なお、図面を用いた説明にお いて、第1実施形態と共通する部分については、第1実施形態と同じ符号を付すことによ り詳細な説明を省略する場合がある。

【0069】

図16は、第2実施形態の不揮発性記憶素子200における素子構造を示す断面図であ る。第1実施形態と同様に、不揮発性記憶素子200は、FeFETである。ただし、本 実施形態の不揮発性記憶素子200におけるチャネル長(L)は、1µm以下に設計され ている。なお、本実施形態において「チャネル長」とは、ソース電極170とドレイン電 極180との間の距離をチャネル長とする。ここで、本実施形態の不揮発性記憶素子20 0がチャネル長を1µm以下とする理由を以下に説明する。

[0070]

図17は、IGZO膜をチャネル層とする不揮発性記憶素子におけるチャネル長に対す るId - Vg特性の依存性を示す図である。具体的には、図16に示した構造(ただし、 チャネル長を除く。)を有する不揮発性記憶素子のチャネル長(L)を、0.1µm、0 .5µm、1µm、2µm、3µm、4µm、5µm、又は10µmとした場合における Id - Vg特性である。ここでは、ソース - ドレイン間の電圧(Vds)を50mVに設 定した。また、IGZO膜の膜厚は8nmとし、HZO膜の膜厚は15nmとした。 【0071】

シミュレーション結果によれば、チャネル長が10µm、5µm及び4µmの場合は、 メモリウィンドウがほとんど観測されず、チャネル長が3µm以下になった辺りから徐々 にメモリウィンドウが観測されるようになった。そして、チャネル長が1µm、0.5µ m、0.1µmの場合は、ほぼメモリウィンドウの幅に変化はなかった。つまり、図17 の結果から、チャネル長が1µm以下であれば、十分にメモリウィンドウが開き、かつ、 その幅に変化がないことが分かった。

【0072】

以上のことから、図16に示した構造(ただし、チャネル長を除く。)を有する不揮発 性記憶素子の場合、チャネル長が1µm以下であれば、第1実施形態のようにバックゲー ト電極を用いてボディポテンシャルを固定しなくても、十分な幅を有するメモリウィンド ウを確保できることがわかった。本発明者らは、チャネル長を1µm以下としたときに十 分な幅を有するメモリウィンドウを確保できる理由として、ボディポテンシャルがソース 側電位及びドレイン側電位の影響を受けて固定されるためと考えている。 【0073】

ここで、図18及び図19は、チャネル層140及びゲート絶縁層130の内部における電位分布を示す図である。図18及び図19において、水平寸法X及び垂直寸法Yは、

10

20

それぞれµm単位で示されている。ゲート電位及びドレイン電位は、ソース電位に対し、 それぞれ - 1 0 V、5 0 m V として計算した。図18は、チャネル長が5 0 n m である場 合における強誘電体層(H Z O 膜)及びチャネル層(I G Z O 膜)の電位を、1 V ステッ プで示している。すなわち、図18は、メモリウィンドウが開く条件における不揮発性記 憶素子の電位分布に対応する。これに対し、図19は、チャネル長が5µmである場合に おける強誘電体層及びチャネル層の電位を、0.5 V ステップで示している。ただし、図 19では、説明の便宜上、ソースから120 n m の範囲までを図示している。図19は、 メモリウィンドウが開かない条件における不揮発性記憶素子の電位分布に対応する。

(15)

ここで、強誘電体層とチャネル層との界面近傍における電位(図18及び図19において、「Ea」で表される電位)に着目して説明する。図18に示されるように、チャネル 長が相対的に短い場合、電位Eaの分布は、ソース電位及びドレイン電位の影響を強く受けて強誘電体層の側に押し込まれたような形状となっている。これに対し、図19に示されるように、チャネル長が相対的に長い場合、電位Eaの分布は、ソースからある程度以 上離れると、チャネル層内において緩やかに変化するような形状となっている。

図18及び図19に示される結果は、チャネル長が50nmである場合、チャネル長が 5µmである場合に比べて、強誘電体層にかかる電圧が相対的に大きいことを意味する。 つまり、チャネル長が50nmである場合、強誘電体の自発分極反転がより大きく起こり 、FETの閾値が増加する(すなわち、メモリウィンドウが開く)。これに対し、チャネ ル長が5µmである場合、強誘電体層にかかる電圧が相対的に小さく、FETの閾値が増 加しない(すなわち、メモリウィンドウが開かない)。

【0076】

以上のように、チャネル層及び強誘電体層の内部における電位分布のシミュレーション 結果からも、チャネル長を短くすることによってチャネル部分のボディポテンシャルを固 定できることが分かる。すなわち、チャネル長を短くすることによってチャネル部分のボ ディポテンシャルが、ソース及びドレインの電位とカップリングする。これにより、強誘 電体層(ゲート絶縁層)に、より大きい電圧を印加することができ、より大きな自発分極 反転を起こすこと(閾値を増加させること)ができる。

【0077】

なお、図18及び図19では、ドレイン・ソース間電圧を50mVとして計算したが、 消去動作の際には、ドレイン電圧として、50mVよりも大きな正の電圧を印加すること も有効である。ドレイン電圧に大きな正の電圧を印加することにより、よりチャネル部分 のボディポテンシャルを正に引き上げることができる。例えば、本実施形態の不揮発性記 憶素子200を動作させる際、消去時のドレイン電圧としては、0V以上3.3V以下、 又は、0V以上5V以下とすることが好ましい。ここで、上限を3.3V又は5Vとした 理由は、回路設計のしやすさを考慮すると、電源電圧を上限とすることが好ましいからで ある。なお、この段落の説明において、「ドレイン・ソース間電圧」とは、ドレイン電位 とソース電位との間の電位差を指す。また、この段落の説明において、「ドレイン電圧」 とは、基準電位とドレイン電極の電位との間の電位差を指す。

【0078】

図20は、第2実施形態の不揮発性記憶素子200におけるチャネル層140の膜厚に 対するId-Vg特性の依存性を示す図である。具体的には、図20は、本実施形態の不 揮発性記憶素子200のチャネル層140の膜厚を4nm、5nm、6nm、7nm、又 は8nmに設定したId-Vg特性のシミュレーション結果を示している。ここでは、チ ャネル長は、1µmに固定した。また、HZO膜の膜厚は10nmとし、残留分極(Pr )は20µC/cm2とした。

[0079]

図20に示す結果によれば、チャネル層140の膜厚が薄くなるにつれて閾値が正の方向に大きくなり、メモリウィンドウの幅が大きくなった。すなわち、チャネル長が1µm

30

以下である本実施形態の不揮発性記憶素子200において、チャネル層140の膜厚を1 0nm未満(好ましくは、1nm以上8nm以下)とすることは、十分なメモリウィンド ウを確保する上で非常に有効であることが分かった。

【 0 0 8 0 】

なお、本発明者らの知見によれば、メモリウィンドウの幅は、強誘電体の自発分極を大 きくしたり、強誘電体の膜厚を厚くしたりしても大きくなる傾向にある。したがって、強 誘電体であるゲート絶縁層130の自発分極又は膜厚を制御することによりメモリウィン ドウの幅をある程度は制御することができる。しかしながら、経験上、メモリウィンドウ の幅の制御には、チャネル層140の膜厚が最も影響するため、上述のように、チャネル 層140の膜厚を10nm未満とすることが有効である。

【0081】

以上説明したとおり、本実施形態の不揮発性記憶素子200は、チャネル層140とし て膜厚が10nm未満のIGZO膜を用い、ゲート絶縁層130としてHZO膜を用いた 構造を有する。そのため、本実施形態の不揮発性記憶素子200は、第1実施形態と同様 に、高い信頼性を有する。

[0082]

また、本実施形態の不揮発性記憶素子200は、チャネル長(L)を1µm以下とする ことにより、ソース側電位及びドレイン側電位を利用してチャネル部分のボディポテンシ ャルを固定し、良好なメモリウィンドウを確保することができる。このように、本実施形 態によれば、第1実施形態と同様に、消費電力が低く、高い信頼性を有する不揮発性記憶 素子200を得ることができる。

20

30

10

【 0 0 8 3 】

なお、本実施形態の構成に対して第1実施形態の構成を組み合わせ、チャネル長を1µ m以下とした上で、さらにバックゲートを設けることも可能である。すなわち、図16に 示す構造において、図1に示されるように、保護絶縁層150を介してチャネル層140 に対向する他のゲート電極(図示せず)を設けてもよい。これにより、さらに安定してボ ディポテンシャルを固定することができる。

[0084]

図25(A)及び図25(B)は、本実施形態の不揮発性記憶素子200におけるチャ ネル層140のチャネル長に対するメモリウィンドウの依存性を示す図である。具体的に は、図25(A)は、本実施形態の不揮発性記憶素子200のチャネル層140のチャネ ル長(L)を、20m、30nm、40nm、50nm、100nm、200nm又は1 μmとした場合におけるId - Vg特性のシミュレーション結果を示している。この例に おいて、ゲート絶縁層130の膜厚は、15nmである。チャネル層140の膜厚は、8 nmである。

[0085]

図25(A)及び図25(B)に示されるように、チャネル長が100nmから1µm の範囲では、メモリウィンドウの幅に大きな変化は見られない。しかしながら、チャネル 長が50nm以下の範囲において、メモリウィンドウの幅が急激に大きくなる傾向が観ら れた。これは、チャネル長が50nm以下となると、ソース及びドレインのポテンシャル の影響がチャネル中央付近で強くなり、チャネル中央付近におけるポテンシャルの変動が 大きくなり、閾値も大きく変化することに起因していると考えられる。

【0086】

チャネル長が1µmを超える場合、ソース及びドレイン近傍のチャネル層140のポテ ンシャルは、ゲート絶縁層130の分極の影響を受けるものの、キャリアの伝導は、チャ ネル中央付近で律速される。したがって、ゲート絶縁層130の分極は、キャリアの伝導 には殆ど影響せず、閾値の変化も小さいため、メモリウィンドウを十分に確保できない。 これに対し、チャネル長が1µm以下の場合、ソース近傍及びドレイン近傍のポテンシャ ルがチャネル中央付近でカップリングを始める。したがって、ゲート絶縁層130の分極 が、キャリアの伝導に影響を与え、閾値の変化が大きくなるため、メモリウィンドウを十

50

分に確保することができる。チャネル長が50nm以下となると、ソース近傍及びドレイン近傍のポテンシャルのチャネル中央付近におけるカップリングが顕著となる。したがって、ゲート絶縁層130の分極が、チャネル中央付近のポテンシャルに大きな変化を与え、閾値を大きく変化させるため、メモリウィンドウの幅の変化も大きくなる。 【0087】

(17)

以上のように、本実施形態の不揮発性記憶素子200は、チャネル長を50nm以下と することにより、メモリウィンドウの幅をさらに大きく確保することが可能である。 【0088】

ここで、図26は、本実施形態の不揮発性記憶素子200におけるソース近傍のチャネ ル層140のポテンシャル分布を説明するための図である。具体的には、図26(A)は 、消去動作時におけるソース近傍のゲート絶縁層130の分極分布を示す図である。図2 6(B)は、消去動作時におけるソース近傍のチャネル層140のポテンシャル分布を示 す図である。なお、図26(A)及び図26(B)では、ソース近傍の挙動について説明 するが、ドレイン近傍におけるポテンシャル分布についても同様である。このシミュレー ションは、ゲート絶縁層130の膜厚を15nmとし、チャネル層140の膜厚を8nm として行った。

【0089】

図26(A)に示されるように、本実施形態の不揮発性記憶素子200は、消去動作時 において、ソース近傍におけるゲート絶縁層130で分極反転が生じる。また、図26( B)に示されるように、ゲート絶縁層130の分極反転に起因して、ソース近傍のチャネ ル層140には、高いポテンシャル障壁が形成される。これは、不揮発性記憶素子200 のチャネル部分のボディポテンシャルが、チャネル長を1µm以下とすることで固定され るようになり、分極反転が起こりやすくなることに起因している。 【0090】

また、図27は、本実施形態の不揮発性記憶素子200におけるチャネル層140のポ テンシャル分布を説明するための図である。具体的には、図27(A)は、チャネル長が 30nmの場合におけるチャネル層140のポテンシャル分布を示す図である。図27( B)は、チャネル長が100nmの場合におけるチャネル層140のポテンシャル分布を 示す図である。このシミュレーションは、ゲート絶縁層130の膜厚を15nmとし、チャネル層140の膜厚を8nmとして行った。

【0091】

図27(A)に示されるように、チャネル長が30nmの場合、チャネル中央付近にお いてチャネルのポテンシャルとソース及びドレインのポテンシャルが強くカップリングし 、チャネルのポテンシャルを強く固定している。他方、図27(B)に示されるように、 チャネル長が100nmの場合、チャネル中央付近におけるポテンシャルのカップリング は僅かである。すなわち、これらのシミュレーション結果は、図25(B)を用いて説明 した結果を裏付けるものである。すなわち、チャネル長が短くなることによって、チャネ ル中央付近でのポテンシャルのカップリングが強くなり、より広範囲で強く分極反転が起 こるようになり、メモリウィンドウが急増することを示している。

【0092】

(第3実施形態)

第3実施形態では、複数の不揮発性記憶素子300を三次元構造で集積化した不揮発性 記憶装置400について説明する。具体的には、本実施形態の不揮発性記憶装置400は 、複数の不揮発性記憶素子300がチャネルを共通にして直列に配置された3次元積層型 構造を有する不揮発性記憶装置の一例である。このような3次元積層型構造は、3D-N ANDフラッシュメモリと同様な構造である。

【0093】

図21は、第3実施形態の不揮発性記憶素子300における素子構造を示す断面斜視図である。図22は、第3実施形態の不揮発性記憶装置400における装置構造を示す断面図である。図21に示される断面斜視図は、図22の枠線40で示される領域を拡大した

20

図面に対応する。

【0094】

図21に示されるように、不揮発性記憶素子300は、少なくとも、チャネル層310 、ゲート絶縁層320、及びゲート電極330を有するFeFETである。本実施形態で は、複数の不揮発性記憶素子300において、チャネル層310及びゲート絶縁層320 が共通となっている。

【0095】

チャネル層310は、不揮発性記憶素子300のチャネルとして機能する。本実施形態 では、チャネル層310を構成する材料としてIGZO膜を用いるが、第1実施形態と同 様に、他の金属酸化物を用いてもよい。本実施形態において、チャネル層310の膜厚は 、10nm未満(好ましくは8nm以下)とする。なお、本実施形態では、チャネル層3 10は、ALD法を用いて形成する。

【0096】

ゲート絶縁層320は、本実施形態の不揮発性記憶素子300における強誘電体層に相当する。本実施形態では、ゲート絶縁層320を構成する材料として、HZO膜を用いるが、第1実施形態と同様に、他の強誘電体層を用いてもよい。

【0097】

ゲート電極330は、不揮発性記憶素子300のゲート電極として機能する。本実施形 態では、ゲート電極330として窒化チタン(TiN)で構成される化合物層を用いる。 しかし、これに限らず、ゲート電極330の材料としては、タングステン、タンタル、モ リブデン、アルミニウム、銅等を含む金属材料、又は、それらの金属材料を含む化合物材 料を用いることができる。

【0098】

本実施形態の不揮発性記憶素子300において、ゲート電極330の膜厚は、1µm以下(好ましくは50nm以下)とする。図21から明らかなように、ゲート電極330の 膜厚は、不揮発性記憶素子300の実効的なチャネル長(L)を画定する。そのため、第 2実施形態と同様に、本実施形態の不揮発性記憶素子300は、ゲート電極330の膜厚 (すなわち、チャネル長)を1µm以下とすることにより、チャネル部分のボディポテン シャルを固定する構造となっている。

【0099】

絶縁層340は、隣接するゲート電極330の間を絶縁分離するための絶縁膜である。 絶縁層340としては、酸化シリコン膜、窒化シリコン膜等の絶縁膜を用いることができ る。本実施形態において、絶縁層340の膜厚は、特に制限はないが、10nm以上50 nm以下(好ましくは、20nm以上40nm以下)とすることが好ましい。絶縁層34 0の膜厚が薄すぎると、隣接する不揮発性記憶素子300が互いに影響を及ぼし合い、動 作不良を起こす要因となり得る。また、絶縁層340の膜厚が厚すぎると、隣接する不揮 発性記憶素子300のチャネル間の距離が長くなり、キャリア移動の障壁となり得る。 【0100】

フィラー部材350は、円筒形状のチャネル層310の内側を充填する充填材として機 能する。フィラー部材350としては、酸化シリコン、窒化シリコン、樹脂等の絶縁材料 を用いることができる。

【0101】

図22において、基板410の上には、ソース電極420が設けられている。基板41 0としては、絶縁表面を有するシリコン基板又は金属基板等を用いることができる。ソー ス電極420としては、チタン、アルミニウム、タングステン、タンタル、モリブデン、 アルミニウム、銅等を含む金属材料、又は、それらの金属材料を含む化合物材料を用いる ことができる。なお、基板410として、n型半導体基板(例えば、n型シリコン基板) を用いてソースとして機能させ、図22に示すソース電極420を省略することも可能で ある。

【0102】

10

20

30

複数の不揮発性記憶素子300は、ソース電極420とドレイン電極430との間に直列に配置される。チャネル層310は、ソース電極420及びドレイン電極430に対し て電気的に接続される。すなわち、本実施形態の不揮発性記憶装置400において、複数 の不揮発性記憶素子300は、ソース電極420及びドレイン電極430も共有している と言える。

【0103】

ソース電極420は、金属材料で構成されるソース端子440に電気的に接続される。 ドレイン電極430は、金属材料で構成されるドレイン端子450に電気的に接続される 。ドレイン端子450は、不揮発性記憶装置400のビットライン(図示せず)に接続さ れる。また、複数のゲート電極330は、それぞれゲート端子460に電気的に接続され る。複数のゲート端子460は、不揮発性記憶装置400のワードライン(図示せず)に 接続される。ソース端子440、ドレイン端子450及びゲート端子460は、パッシベ ーション層470に設けられたコンタクトホールを介して、それぞれソース電極420、 ドレイン電極430及びゲート電極330と電気的に接続される。

【0104】

以上説明したように、本実施形態の不揮発性記憶装置400は、複数の不揮発性記憶素 子300を高密度で集積化した三次元構造を有する。個々の不揮発性記憶素子300は、 チャネル長を1µm以下とすることによりソース側電位及びドレイン側電位を用いてチャ ネル部分のボディポテンシャルを固定する。すなわち、第1実施形態及び第2実施形態と 同様に、消費電力が低く、高い信頼性を有する不揮発性記憶素子300を用いて不揮発性 記憶装置400を実現することができる。このように、本実施形態によれば、大容量、低 消費電力かつ高信頼性の不揮発性記憶装置400を得ることができる。

【0105】

(第4実施形態)

第4実施形態では、第1実施形態及び第2実施形態とは異なる構成の不揮発性記憶素子 にも適用可能な、不揮発性記憶装置の動作方法について説明する。第1実施形態及び第2 実施形態と異なる点は、本実施形態の不揮発性記憶装置の動作方法においては、バックゲ ート電極を有しておらず、チャネル長が1µmを超える不揮発性記憶素子にも適用できる 点である。本実施形態の不揮発性記憶装置の動作方法は、第1実施形態及び第2実施形態 で説明したシミュレーションでは、消去動作時のドレイン電圧を0Vとしている(シミュ レーションの便宜上、消去動作時にも読み出し動作時と同様の50mVのドレイン・ソー ス間電圧を印加したため消去動作時に50mVのドレイン電圧が印加されていたことにな るが、読み出し時のドレイン電流に与える影響はほぼ無視でき、実質的に消去動作時のド レイン電圧を0Vとした場合と変わりはない)のに対し、消去動作時に正のドレイン電圧 (少なくとも50mVを超える正のドレイン電圧)を印加することによってメモリウィン ドウを制御する点で異なる。

[0106]

本実施形態において、「ドレイン電圧」とは、基準電位とドレイン電極の電位との間の 電位差を指す。また、「ソース電圧」とは、基準電位とソース電極の電位との間の電位差 を指す。また、「ゲート電圧」とは、基準電位とゲート電極の電位との間の電位差を指す 。また、「ドレイン・ソース間電圧」とは、ドレイン電位とソース電位との間の電位差を 指す。本実施形態の不揮発性記憶装置の動作方法を、第1~3実施形態の不揮発性記憶装 置に適用することにより、メモリウィンドウがさらに広い不揮発性記憶装置として使用す ることができる。

[0107]

図28(A)は、第4実施形態の不揮発性記憶素子において、印加するドレイン電圧を かえて消去動作(負のゲート電圧を印加することにより強誘電体層の分極方向を特定方向 にそろえる動作)、またはプログラム動作(正のゲート電圧を印加することにより強誘電 体層の分極方向を該特定方向と逆向きにそろえる動作)を行った後に、ドレイン・ソース 間電圧を印加し、ゲート電圧を掃引して得たId - Vg特性を示す図である。プログラム

動作時のドレイン電圧(以下、「プログラムドレイン電圧」と呼ぶ)はId-Vg特性の ゲート電圧閾値にほとんど影響を与えないが、消去動作時のドレイン電圧(以下、「消去 ドレイン電圧」と呼ぶ)はId-Vg特性のゲート電圧閾値に影響を与えることがわかる

【0108】

図28(B)は、第4実施形態の不揮発性記憶素子における消去ドレイン電圧に対する メモリウィンドウの依存性を示す図である。具体的には、図28(B)は、消去ドレイン 電圧をVd=0V、2V、又は、3Vとして強誘電体層の自発分極を消去した後に、ドレ イン・ソース間電圧50mVを印加してゲート電圧を掃引した時のId-Vg特性のシミ ュレーション結果と、強誘電体層の自発分極をプログラムした後にドレイン・ソース間電 圧50mVを印加してゲート電圧を掃引した時のId-Vg特性のシミュレーション結果 との差から求められるメモリウィンドウの幅を示している。この例では、強誘電体層の膜 厚は15nm、チャネル層の膜厚は8nm、チャネル長は2µmとして、シミュレーショ ンを行った。

【0109】

本実施形態のシミュレーションでは、まず、負のゲート電圧と、消去ドレイン電圧を印 加した状態で強誘電体層の自発分極を消去して消去状態を形成した。次に、ドレイン・ソ ース間電圧50mVを印加した状態でゲート電圧の掃引を行い、図28(A)に示すId - Vg特性を得た。例えば、消去ドレイン電圧Vdが3Vの場合、負のゲート電圧を-5 V、ソース電圧を0V、として消去動作を行い、その後、ドレイン・ソース間電圧を50 mVとしてゲート電圧の掃引を行ってId - Vg特性を得た。消去ドレイン電圧Vdが0 Vの場合及び2Vの場合も同様の手順でId - Vg特性を得た。つまり、図28(A)で は、消去ドレイン電圧Vdが0V、2V及び3Vの場合に分けて消去動作を行い、ドレイ ン・ソース間電圧を50mVとしてゲート電圧の掃引を行った結果を示している。同様に 、正のゲート電圧とプログラムドレイン電圧を印加した状態で強誘電体層の自発分極をプ ログラムしてプログラムドレイン電圧を印加した状態で強誘電体層の自発分極をプ ログラムしてプログラムドレイン電圧を印加した状態で強誘電体層の自発分極をプ して、この振引を行い、図28(A)に示すId - Vg特性を得た。 【0110】

図28(B)に示されるように、消去ドレイン電圧が大きいほど、メモリウィンドウが 大きくなることが分かった。このことは、消去ドレイン電圧が大きいほど、負のゲート電 圧による消去動作の際に、より大きな消去が起こっていることを意味する。これは、消去 ドレイン電圧が大きいほど、ゲート電極とドレイン近傍のチャネル層との間のゲート絶縁 層に、大きな電圧が印加されることに起因すると考えられる。なお、消去ドレイン電圧は 大きい方が好ましいが、回路設計のしやすさを考慮すると、電源電圧を上限とすることが 好ましい。例えば、電源電圧が3.3 V又は5 Vである場合には、消去ドレイン電圧は、 0 Vより大きく3.3 V以下、又は、0 Vより大きく5 V以下とすることが好ましい。た だし、消去ドレイン電圧は、ゲートとドレインとの間のリーク電流の影響が問題とならな い範囲とすることが望ましい。

[0111]

本実施形態では、消去動作時のソース電圧を0Vに固定したが、より強い消去動作を行うために、消去ドレイン電圧と同様に、消去動作時のソース電圧を正の電圧(例えば、消 去ドレイン電圧と同じ電圧)としてもよい。特に第3実施形態においては、チャネル層は、基板の表面と略平行な方向において強誘電体層を介してゲート電極と重なる部分がチャ ネル、基板の表面と略平行な方向において絶縁層と重なる部分がソース及びドレインとし て動作する不揮発性記憶素子が、ソース電極とドレイン電極との間に、複数個直列に配列 された構造となっている。ある素子のソースが隣接する素子のドレインを兼ねる構成とな っているため、各素子の消去ドレイン電圧を正の電圧とすることは、各素子の消去動作時 のソース電圧も正の電圧にすることになる。

[0112]

以上のシミュレーション結果によれば、消去ドレイン電圧を正の電圧として消去状態を 50

20

10

形成すれば、第1実施形態のようにバックゲート電極を設けたり、第2実施形態のように チャネル長を1µm以下としたりしなくても、十分なメモリウィンドウを確保し得ること が分かる。さらに、消去ドレイン電圧を大きくするほど、大きなメモリウィンドウを確保 できることが分かる。また、プログラムドレイン電圧は正の電圧でも0Vでも良いことが わかる。

#### 【0113】

- 以上のように、本実施形態から次の事項が把握される。
- (1) 複数の不揮発性記憶素子を含む不揮発性記憶装置の動作方法であって、
- 各不揮発性記憶素子は、
- 金属酸化物を含むチャネル層と、
- 前記チャネル層に接する酸化ハフニウムを含む強誘電体層と、
- 前記強誘電体層を介して前記チャネル層に対向するゲート電極と、
- 前記チャネル層に接するソース電極と、
- 前記ソース電極と離間して前記チャネル層に接するドレイン電極と、
- を備え、
- 前記複数の不揮発性記憶素子の少なくとも一部に、前記ゲート電極に負電圧のゲート電 圧を印加し、前記ドレイン電極に第1ドレイン電圧を印加する消去動作と、
- 前記複数の不揮発性記憶素子の少なくとも一部に、前記ゲート電極に正電圧のゲート電 圧を印加し、前記ドレイン電極に第2ドレイン電圧を印加するプログラム動作と、
  - を有し、
  - 前記第1ドレイン電圧が正の電圧である、不揮発性記憶装置の動作方法。
- 【0114】
- (2)前記第2ドレイン電圧が正の電圧、または0Vである、上記(1)に記載の不揮発 性記憶装置の動作方法。
- [0115]
- (3)前記第1ドレイン電圧は、前記第2ドレイン電圧よりも大きい、上記(1)に記載 の不揮発性記憶装置の動作方法。

[0116]

本実施形態では、バックゲート電極を有しておらず、チャネル長が1µmを超える不揮 発性記憶素子を含む不揮発性記憶装置の動作方法について説明したが、この例に限られる ものではない。本実施形態の動作方法は、第1実施形態及び第2実施形態に記載された不 揮発性記憶素子を含む不揮発性記憶装置の動作方法として適用することも可能である。

【0117】

本発明の実施形態として上述した各実施形態は、相互に矛盾しない限りにおいて、適宜 組み合わせて実施することができる。各実施形態の不揮発性記憶素子又は不揮発性記憶装 置を基にして、当業者が適宜構成要素の追加、削除もしくは設計変更を行ったもの、又は 、工程の追加、省略もしくは条件変更を行ったものも、本発明の要旨を備えている限り、 本発明の範囲に含まれる。

[0118]

また、上述した各実施形態の態様によりもたらされる作用効果とは異なる他の作用効果 であっても、本明細書の記載から明らかなもの、又は、当業者において容易に予測し得る ものについては、当然に本発明によりもたらされるものと解される。 【符号の説明】

【0119】

100、200、300 不揮発性記憶素子、110 基板、120 第1ゲート電極、
130 ゲート絶縁層、140 チャネル層、150 保護絶縁層、160 第2ゲート
電極、170 ソース電極、180 ドレイン電極、201 基板、202a、202b
チャネル層、203 ゲート絶縁層、204 ゲート電極、205 結晶粒界、206
結晶欠陥、207 キャリア、208 界面層(10w - k層)、310 チャネル層
、320 ゲート絶縁層、330 ゲート電極、340 絶縁層、350 フィラー部材

20

、400 不揮発性記憶装置、410 基板、420 ソース電極、430 ドレイン電 極、440 ソース端子、450 ドレイン端子、460 ゲート端子、470 パッシ ベーション層

【図1】



【図2】



【図3】









【図7】









(24)



【図11】



【図12】











# 【図16】











【図18】





-2

-3



-1 Vg[V] 0

【図21】



【図22】



2



## 【図25】







【図26】







【図28】





(A) Potential barrier connected







フロントページの続き

特許法第30条第2項適用 (1)発行者:IEEE、刊行物名:2019 Symposium on VL SI Technology Digest of Technical Papers、掲載ページ:T42 - 43、発行年月日(ダウンロード可能日):令和1年6月9日 (2)掲載年月日:令和1年6月10日、掲 載場所:東京大学生産技術研究所ホームページ、掲載アドレス: h t t p s : / / w w w . i i s . u - t o k yo.ac.jp/ja/news/3125/ (3)掲載年月日:令和1年6月10日、掲載場所:国立研 究開発法人科学技術振興機構ホームページ、掲載アドレス:https://www.jst.go.jp/p r/announce/20190610/index.html/ (4)集会名:2019 Sympos ium on VLSI Technology、開催日:令和1年6月11日、発表名:Experimen tal Demonstration of Ferroelectric HfO 2 FET with Ultrathin-body IGZO for High-Density and Low-Powe r Memory Application (5)発行者:電子情報通信学会、刊行物名:電子情報通信学会 技術研究報告2019、巻数:119、号数:161、掲載ページ:59-62、発行年月日:令和1年7月3 1日 (6)集会名:シリコン材料・デバイス研究会(SDM研究会)、開催日:令和1年8月9日、発表名: 極薄IGZOチャネルを有する強誘電体トランジスタメモリの検討 (7)発行者:応用物理学会、刊行物名: 第80回応用物理学会秋季学術講演会講演予稿集、18p-B11-2、発行年月日:令和1年9月4日 (8 )集会名:第80回応用物理学会秋季学術講演会、開催日:令和1年9月18日、発表名:Demonstra tion of HfO 2 based Ferroelectric FET with Ultrat hin-body IGZO for High-Density Memory Application (9) 集会名:第8回半導体界面制御国際シンポジウム、開催日:令和1年11月28日、発表名: Emerg ing ferroelectric memory devices enabled by materi al innovation

審查官 宮本 博司

(56)参考文献 国際公開第2010/097862(WO,A1) 特開2018-067664(JP,A) 特開2010-267705(JP,A) 特開2010-267705(JP,A) 国際公開第2018/125118(WO,A1) 特開2004-228121(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 1 0 B	51/30
H 1 0 B	51/20