## (19)日本国特許庁(JP)

## (12) 特許公報(B2)

(11)特許番号

特許第7257712号 (P7257712)

(45) 発行日 令和5年4月14日(2023.4.14)

- (24)登録日 令和5年4月6日(2023.4.6)
- (51) Int. Cl.
   F I

   G01R 15/09
   (2006.01)

   G01R 15/00
   (2006.01)

   G01R 15/00
   500

請求項の数 12 (全 27 頁)

(21)出願番号 特願2021-553653(P2021-553653)	(73)特許権者 503360115
(86)(22)出願日 令和2年10月28日(2020.10.28)	国立研究開発法人科学技術振興機構
(86)国際出願番号 PCT/JP2020/040436	埼玉県川口市本町四丁目1番8号
(87)国際公開番号 W02021/085475	(74)代理人 100087480
(87)国際公開日 令和3年5月6日(2021.5.6)	弁理士 片山 修平
審査請求日 令和4年4月13日(2022.4.13)	(72)発明者 矢嶋 赳彬
(31)優先権主張番号 特願2019-200205(P2019-200205)	福岡県福岡市西区元岡744 九州大学内
(32)優先日 令和1年11月1日(2019.11.1)	(72)発明者 烏海 明
(33)優先権主張国・地域又は機関	東京都文京区本郷七丁目3番1号 国立大
日本国(JP)	学法人東京大学内
	審査官 田口 孝明
	最終頁に続く

(54)【発明の名称】電流センサおよび電力変換回路

(57)【特許請求の範囲】

【請求項1】

第1端と第2端との間を流れる電流の絶対値が第1範囲のとき高抵抗状態であり、前記 電流の絶対値が前記第1範囲を越えるときに前記高抵抗状態より抵抗値の低い低抵抗状態 に変化する素子と、

前記素子に測定対象の電流を供給し、前記第1端<u>の電圧と与えられた参照電圧と</u>に基づ いて前記測定対象の電流の値をセンシングする回路と、

を備える電流センサ。

【請求項2】

前記素子は、前記第1端と前記第2端との間に接続された抵抗体を有する2端子素子で ある請求項1に記載の電流センサ。

【請求項3】

<u>第1端と第2端との間を流れる電流の絶対値が第1範囲のとき高抵抗状態であり、前記</u> 電流の絶対値が前記第1範囲を越えるときに前記高抵抗状態より抵抗値の低い低抵抗状態 に変化し、前記第1端と前記第2端との間に接続された抵抗体を有する2端子素子である 素子と、

<u>前記素子に測定対象の電流を供給し、前記第1端と前記第2端の少なくとも一方の電圧</u> に基づいて前記測定対象の電流の値をセンシングする回路と、

<u>を備え、</u>

前記抵抗体は、その温度が第1温度範囲のときは高抵抗状態であり、前記抵抗体の温度 2

20

が前記第1温度範囲より高いときに低抵抗状態に変化する抵抗体である<u>電流センサ。</u> 【請求項4】

<u>第1端と第2端との間を流れる電流の絶対値が第1範囲のとき高抵抗状態であり、前記</u> <u>電流の絶対値が前記第1範囲を越えるときに前記高抵抗状態より抵抗値の低い低抵抗状態</u> <u>に変化し、前記第1端と前記第2端との間に接続された抵抗体を有する2端子素子である</u> <u>素子と、</u>

(2)

<u>前記素子に測定対象の電流を供給し、前記第1端と前記第2端の少なくとも一方の電圧</u> に基づいて前記測定対象の電流の値をセンシングする回路と、

を備え、

前記抵抗体は、VO2、NbO2またはTi2〇3を含む電流センサ。

【請求項5】

第1端と第2端との間を流れる電流の絶対値が第1範囲のとき高抵抗状態であり、前記 電流の絶対値が前記第1範囲を越えるときに前記高抵抗状態より抵抗値の低い低抵抗状態 に変化する素子と、

<u>前記素子に測定対象の電流を供給し、前記第1端と前記第2端の少なくとも一方の電圧</u> に基づいて前記測定対象の電流の値をセンシングする回路と、

<u>を備え、</u>

前記素子は、

各々一端から他端に流れる電流が閾値電流以下のとき外部から制御されることなく高抵 抗状態となり、前記一端から他端に流れる電流が閾値電流より大きいとき外部から制御さ れることなく低抵抗状態となり、前記第1端と前記第2端との間に並列接続された第1素 子および第2素子を備え、

20

30

10

前記第1素子の一端は前記第1端に接続され、前記第1素子の他端は前記第2端に接続 され、前記第2素子の一端は前記第2端に接続され、前記第2素子の他端は前記第1端に 接続されている<u>電流センサ</u>。

【請求項6】

前記回路は、前記第1端と前記第2端との両方の電圧の差に基づき前記電流の値をセン シングする請求項3から5のいずれか一項に記載の電流センサ。

【請求項7】

前記回路は、前記第1端の電圧と、与えられた参照電圧とに基づき前記電流の値をセン シングする請求項<u>3から5のいずれか一項</u>に記載の電流センサ。

【請求項8】

第1端と第2端との間を流れる電流の絶対値が第1範囲のとき外部から制御されること なく高抵抗状態となり、前記電流の絶対値が前記第1範囲より高い第2範囲のとき外部か ら制御されることなく前記高抵抗状態より抵抗値の低い低抵抗状態となる素子または回路 を備え、

<u>前記第1端の電圧と与えられた参照電圧とに基づき</u>前記電流をセンシングする電流セン サ。

【請求項9】

スイッチ素子と、

請求項1から8のいずれか一項に記載の電流センサの出力に基づき前記スイッチ素子の オンおよびオフを制御する制御部と、

を備える電力変換回路。

【請求項10】

<u>スイッチ素子と、</u>

<u>電流センサの出力に基づき前記スイッチ素子のオンおよびオフを制御する制御部と、</u> を備え、

前記電流センサは、

<u>第1端と第2端との間を流れる電流の絶対値が第1範囲のとき高抵抗状態であり、前記</u> 電流の絶対値が前記第1範囲を越えるときに前記高抵抗状態より抵抗値の低い低抵抗状態 に変化する素子と、

<u>前記素子に測定対象の電流を供給し、前記第1端と前記第2端の少なくとも一方の電圧</u> に基づいて前記測定対象の電流の値をセンシングする回路と、

<u>を備える</u>電力変換回路。

【請求項11】

<u>スイッチ素子と、</u>

電流センサの出力に基づき前記スイッチ素子のオンおよびオフを制御する制御部と、

<u>を備え、</u>

前記電流センサは、

<u>第1端と第2端との間を流れる電流の絶対値が第1範囲のとき外部から制御されること</u> なく高抵抗状態となり、前記電流の絶対値が前記第1範囲より高い第2範囲のとき外部か ら制御されることなく前記高抵抗状態より抵抗値の低い低抵抗状態となる素子または回路</u> を備え、

<u>前記電流をセンシングす</u>る電力変換回路。

【請求項12】

前記スイッチ素子は、

【発明の詳細な説明】

第1端子と第2端子との間に接続された第1スイッチ素子と、

第3端子と第4端子との間に接続された第2スイッチ素子と、

前記第1端子と前記第4端子との間に接続された第3スイッチ素子と、

前記第2端子と前記第3端子との間に接続された第4スイッチ素子と、

を含み、

前記素子は、前記第1端子と前記第1スイッチ素子および前記第3スイッチ素子との間 と、前記第2端子と前記第1スイッチ素子および前記第4スイッチ素子との間と、のいず れか一方に接続され、

前記制御部は、前記電流の符号の変化に基づき、前記第1スイッチ素子および前記第2 スイッチ素子をオフからオンとし、前記第3スイッチ素子および前記第4スイッチ素子を オンからオフとし、前記電流の次の符号の変化に基づき、前記第1スイッチ素子および前 記第2スイッチ素子をオンからオフとし、前記第3スイッチ素子および前記第4スイッチ 素子をオフからオンとする請求項9<u>から請求項11のいずれか一項</u>に記載の電力変換回路

30

10

20

【技術分野】 [0001]本発明は、電流センサおよび電力変換回路に関する。 【背景技術】 [0002]電流が流れる抵抗の両端をセンスすることで電流をセンシングする電流センサが知られ ている(例えば非特許文献1)。FET(Field Effect Transistor)のオン抵抗を用い 電流を検出する検出器において、FETのゲートに印加される電圧を切り替えることによ り測定レンジを切り替えることが知られている(例えば特許文献1)。 【先行技術文献】 【特許文献】 [0003]【特許文献1】特開2006-300677号公報 【非特許文献】 [0004]【非特許文献1】Extended Abstracts of the 2019 International Conference on Solid State Devices and Materials, 2019, pp707 708 【発明の概要】

【発明が解決しようとする課題】

[0005]

非特許文献1は一例であり、抵抗の両端の電圧降下等を検出した値等に基づき抵抗を流 れる電流をセンシングする電流センサは一般的に用いられている。このような電流センサ では、電流が流れたときの電圧降下および損失を抑制するため低い抵抗を用いる。しかし 、抵抗が低い場合電圧降下の値が小さくなり、検出精度を高くしづらい。また、特許文献 <u>1</u>では、測定レンジを切り替えるためのFETのゲートに印加される電圧を切り替える回 路を用いるため、電流センサを小型化しにくい。

【0006】

本発明は、上記課題に鑑みなされたものであり、小型化可能であり、損失を抑制しかつ 検出精度が高い電流センサを提供することを第1の目的とする。

また本発明は係る電流センサを用いた電力変換回路を提供することを第2の目的とする

【課題を解決するための手段】

【 0 0 0 7 】

本<u>願の第1の</u>発明は、第1端と第2端との間を流れる電流の絶対値が第1範囲のとき高 抵抗状態であり、前記電流の絶対値が前記第1範囲を越えるときに前記高抵抗状態より抵 抗値の低い低抵抗状態に変化する素子と、前記素子に測定対象の電流を供給し、前記第1 端<u>の電圧と与えられた参照電圧と</u>に基づいて前記測定対象の電流の値をセンシングする回 路と、を備える電流センサである。

【 0 0 0 8 】

上記構成において、<u>前記素子は、前記第1端と前記第2端との間に接続された抵抗体を</u> <u>有する2端子素子である</u>構成とすることができる。

【 0 0 0 9 】

本願の第2の発明は、第1端と第2端との間を流れる電流の絶対値が第1範囲のとき高 抵抗状態であり、前記電流の絶対値が前記第1範囲を越えるときに前記高抵抗状態より抵 抗値の低い低抵抗状態に変化し、前記第1端と前記第2端との間に接続された抵抗体を有 する2端子素子である素子と、前記素子に測定対象の電流を供給し、前記第1端と前記第 2端の少なくとも一方の電圧に基づいて前記測定対象の電流の値をセンシングする回路と、 を備え、前記抵抗体は、その温度が第1温度範囲のときは高抵抗状態であり、前記抵抗 体の温度が前記第1温度範囲より高いときに低抵抗状態に変化する抵抗体である電流セン サである。

本願の第3の発明は、第1端と第2端との間を流れる電流の絶対値が第1範囲のとき高 抵抗状態であり、前記電流の絶対値が前記第1範囲を越えるときに前記高抵抗状態より抵 抗値の低い低抵抗状態に変化し、前記第1端と前記第2端との間に接続された抵抗体を有 する2端子素子である素子と、前記素子に測定対象の電流を供給し、前記第1端と前記第 2端の少なくとも一方の電圧に基づいて前記測定対象の電流の値をセンシングする回路と 、を備え、前記抵抗体は、VO2、NbO2またはTi2O3を含む電流センサである。 【0011】

本願の第4の発明は、第1端と第2端との間を流れる電流の絶対値が第1範囲のとき高 抵抗状態であり、前記電流の絶対値が前記第1範囲を越えるときに前記高抵抗状態より抵 抗値の低い低抵抗状態に変化する素子と、前記素子に測定対象の電流を供給し、前記第1 端と前記第2端の少なくとも一方の電圧に基づいて前記測定対象の電流の値をセンシング する回路と、を備え、前記素子は、各々一端から他端に流れる電流が閾値電流以下のとき 外部から制御されることなく高抵抗状態となり、前記一端から他端に流れる電流が閾値電 流より大きいとき外部から制御されることなく低抵抗状態となり、前記第1端と前記第2 端との間に並列接続された第1素子および第2素子を備え、前記第1素子の一端は前記第 1端に接続され、前記第1素子の他端は前記第2端に接続されている電流センサであ る。 10



[0012]

上記構成において、<u>前記回路は、前記第1端と前記第2端との両方の電圧の差に基づき</u> 前記電流の値をセンシングする構成とすることができる。

(5)

[0013]

上記構成において、<u>前記回路は、前記第1端の電圧と、与えられた参照電圧とに基づき</u> <u>前記電流の値をセンシングする</u>構成とすることができる。

【0014】

本<u>願の第5の</u>発明は、第1端と第2端との間を流れる電流の絶対値が第1範囲のとき外部から制御されることなく高抵抗状態となり、前記電流の絶対値が前記第1範囲より高い 第2範囲のとき外部から制御されることなく前記高抵抗状態より抵抗値の低い低抵抗状態 となる素子または回路を備え、<u>前記第1端の電圧と与えられた参照電圧とに基づき</u>前記電 流をセンシングする電流センサである。

本<u>願の第6の</u>発明は、スイッチ素子と、<u>本願の第1から第5の発明の</u>電流センサの出力 に基づき前記スイッチ素子のオンおよびオフを制御する制御部と、を備える電力変換回路 である。

本願の第7の発明は、スイッチ素子と、電流センサの出力に基づき前記スイッチ素子の オンおよびオフを制御する制御部と、を備え、前記電流センサは、第1端と第2端との間 を流れる電流の絶対値が第1範囲のとき高抵抗状態であり、前記電流の絶対値が前記第1 範囲を越えるときに前記高抵抗状態より抵抗値の低い低抵抗状態に変化する素子と、前記 素子に測定対象の電流を供給し、前記第1端と前記第2端の少なくとも一方の電圧に基づ いて前記測定対象の電流の値をセンシングする回路と、を備える電力変換回路電力変換回 路である。

本願の第8の発明は、スイッチ素子と、電流センサの出力に基づき前記スイッチ素子の オンおよびオフを制御する制御部と、を備え、前記電流センサは、第1端と第2端との間 を流れる電流の絶対値が第1範囲のとき外部から制御されることなく高抵抗状態となり、 前記電流の絶対値が前記第1範囲より高い第2範囲のとき外部から制御されることなく前 記高抵抗状態より抵抗値の低い低抵抗状態となる素子または回路を備え、前記電流をセン シングする電力変換回路である。

[0016]

本願の第6から第8の発明において、前記スイッチ素子は、第1端子と第2端子との間に接続された第1スイッチ素子と、第3端子と第4端子との間に接続された第2スイッチ素子と、前記第1端子と前記第4端子との間に接続された第3スイッチ素子と、前記第2端子と前記第3端子との間に接続された第4スイッチ素子と、を含み、前記素子は、前記第1端子と前記第1スイッチ素子および前記第3スイッチ素子との間と、前記第2端子と前記第1スイッチ素子および前記第4スイッチ素子との間と、のいずれか一方に接続され、前記制御部は、前記電流の符号の変化に基づき、前記第1スイッチ素子および前記第2スイッチ素子をオフからオンとし、前記第3スイッチ素子および前記第4スイッチ素子をオフからオフとし、前記第3スイッチ素子および前記第4スイッチ素子をオフからオフとし、前記第3スイッチ素子および前記第4スイッチ素子をオフからオフとし、前記第3スイッチ素子および前記第4スイッチ素子をオフからオンとする構成とすることができる。

【発明の効果】

【0017】

本発明によれば、小型化可能であり、損失を抑制しかつ検出精度が高い電流センサを提供することができる。また、かかる電流センサを用いた電力変換回路を提供することがで きる。

【図面の簡単な説明】

【0018】

【図1】図1(a)は、二酸化バナジウムの温度に対する電気伝導度を示す図、図1(b 5



)は、二酸化バナジウムを抵抗体とする素子を示す図、図1(c)は、二酸化バナジウム を用いた素子の電流I(対数表示)に対する電圧Vを示す図である。 【図2】図2(a)は、実施例1に係る素子の平面図、図2(b)は、図2(a)のA-A断面図である。 【図3】図3は、測定した素子の電流に対する電圧を示す図である。 【図4】図4(a)および図4(b)は、実施例1に係る電流センサの回路図を示す図で ある。 【図5】図5は、実施例1に係る電流センサのタイミングを示す図である。 【図6】図6(a)は、比較例1に係る電流センサの回路図、図6(b)は、実施例1お よび比較例1における電流Iinに対する電圧差 Vを示す模式図である。 【図7】図7(a)および図7(b)は、実施例1の変形例1に係る電流センサの回路図 を示す図である。 【図8】図8は、実施例1の変形例1に係る電流センサのタイミングを示す図である。 【図9】図9は、実施例1の変形例2に係る電流センサの回路図である。 【図10】図10は、実施例1の変形例2における電流センサのタイミングを示す図であ る。 【図11】図11は、実施例2に係る同期整流回路を示す回路図である。 【図12】図12は、実施例2に係る同期整流回路のタイミングを示す図である。 【図13】図13は、実施例2の変形例1に係る同期整流回路を示す回路図である。 【図14】図14は、実施例2の変形例1に係る同期整流回路のタイミングを示す図であ る。 【図15】図15(a)から図15(c)は、実施例2の変形例2における降圧回路の模 式図である。 【図16】図16(a)は、実施例2の変形例2における降圧回路の回路図、図16(b )は、フリップフロップ回路を示す図である。 【図17】図17は、実施例2の変形例2における降圧回路の各ノードの電圧および電流 のタイミングを示す図である。 【図18】図18(a)から図18(d)は、図2(a)および図2(b)の素子の製造 方法を示す断面図である。 【図19】図19は、実施例3に用いるトランジスタを示す平面図である。 【図20】図20(a)は、実施例3におけるトランジスタの接続例を示す回路図、図2 0 (b)は、電圧に対する電流を示す模式図である。 【図21】図21(a)は、実施例3に用いる素子30の構成を示す図、図21(b)は 、電圧に対する電流を示す模式図である。 【図22】図22は、実施例2およびその変形例の電力変換回路が用いられるシステムを 示すブロック図である。 【発明を実施するための形態】 [0019]以下、図面を参照し実施例について説明する。 【実施例1】  $\begin{bmatrix} 0 & 0 & 2 & 0 \end{bmatrix}$ 実施例1に用いる素子の例として二酸化バナジウム(VOュ)について説明する。図1 (a)は、二酸化バナジウムの温度に対する電気伝導度を示す図である。  $\begin{bmatrix} 0 & 0 & 2 & 1 \end{bmatrix}$ 図1(a)に示すように、二酸化バナジウムは、温度が高くなると電気伝導度が大きく なる。図1( a )の例では温度が30 を越えると電気伝導度が急激に大きくなる。30 以下では電気伝導度が低い。これは、二酸化バナジウムは高温では正方晶系の金属相で あるのに対し、低温では単斜晶系の絶縁体相となることに起因する。 [0022]図1(b)は、二酸化バナジウムを抵抗体とする素子を示す図である。素子10では、

(6)

50

10

20

30

電極16aと16bとの間に抵抗体14が接続されている。抵抗体14を流れる電流をI 、電極16aと16bとの間の電圧をVとする。

【 0 0 2 3 】

図1(c)は、二酸化バナジウムを用いた素子の電流I(対数表示)に対する電圧Vを 示す図である。図1(c)に示すように、電流Iが閾値電流Ithより小さい範囲50の とき、抵抗体14の温度は低く、二酸化バナジウムは絶縁体相である。よって、抵抗体1 4は抵抗の高い高抵抗状態である。このため、電流Iが大きくなるにしたがい電圧Vが大 きくなる。電流Iが大きくなると、抵抗体14の温度が上昇する。電流Iが閾値電流It hとなったとき二酸化バナジウムの温度が絶縁体相から金属相に相転移する温度となる。 このため、電流Iが閾値電流Ith以上の範囲52では抵抗体14は低抵抗状態となる。 よって、電流が増加しても電圧はほぼ0である。なお、電流 - 電圧特性にヒステリシスが ある特性をもつ抵抗体を用いてもよい。すなわち、閾値電流Ithは電流Iを増加させる ときと電流Iを低下させるときとで異なっていてもよい。

【0024】

図2(a)は、実施例1に係る素子の平面図、図2(b)は、図2(a)のA-A断面 図である。図2(a)および図2(b)に示すように、素子10は、基板12、抵抗体1 4、電極16aおよび16bを有する。基板12上に抵抗体14からなる薄膜15が形成 されている。抵抗体14の両端上に電極16aおよび16bが形成されている。抵抗体1 4は、活性部14aおよび引き出し部14bを有している。活性部14aの電流が流れる 方向の長さをL、幅をWとする。引き出し部14bは各々活性部14aと電極16aまた は16bとを電気的に接続する。引き出し部14bは、各々活性部14aから電極16a または16bに向かうにしたがい幅が徐々に広くなる。電極16aおよび16b間の電圧 は主に活性部14aも集中する。このため、素子10の抵抗の変化は主に活性部14aの 抵抗の変化である。

【0025】

基板12は、例えば酸化シリコン(SiO2)を上面に設けたシリコン(Si)基板、酸化チタン(TiO2)基板または酸化アルミニウム(Al2O3)基板等の絶縁性の基板である。基板12は、所望の特性を有する抵抗体14が形成できればよい。抵抗体14は、二酸化バナジウム(VO2)薄膜である。電極16は、例えば金(Au)層、銅(Cu)層またはアルミニウム(Al)層等の金属である。

【0026】

抵抗体14から基板12に熱が放出されにくくするため、基板12と抵抗体14との間 に基板12より熱伝導率の低い低熱伝導層を設けてもよい。低熱伝導層としては例えば非 晶質SiO2等の非晶質層または多孔質層を用いる。基板12および低熱伝導層の材料、 活性部14aの長さL、幅Wおよび厚さTを適宜設計することで、閾値電流Ithを所望 の値とすることができる。

[0027]

素子10を作製し、電流 - 電圧特性を測定した。基板12は(101)を主面とする単 結晶 T i O 2 基板である。抵抗体14はパルスレーザデポジション(Pulsed Laser Depos ition)法を用い形成した V O 2 膜である。活性部14 a の長さ L 、幅Wおよび厚さ T は 、それぞれ10μm、40μmおよび90 n mとした。電極16 a および16 b は金層で ある。

【0028】

図3は、測定した素子の電流に対する電圧を示す図である。電流Iを増加させ、電圧V を測定している。図3に示すように、電流Iが閾値電流Ith以下の微小電流の範囲50 では、素子10は高抵抗状態であり、電流Iが大きくなると電圧Vが大きくなる。電流I が閾値電流Ith以上の範囲52では、電圧Vが小さく低抵抗状態である。このように、 作製した素子10では、図1(c)と同様の電流 - 電圧特性が得られた。また、閾値電流 Ithを1µA以下にできる。電流Iが1µA以下の微小電流において、電圧Vを数Vと することができた。これらの閾値電流Ith、その際の電圧Vの値は前述の活性部14a

10



の長さL、幅Wを変えることにより、調整することができる。

【 0 0 2 9 】

図4(a)および図4(b)は、実施例1に係る電流センサの回路図を示す図である。 図4(a)に示すように端子T1とT2との間に素子10が接続されている。端子T1に 電流Iinが流れる。検出器20は、素子10の電極16aと端子T1との間のノードN 1と、素子10の電極16bと端子T2との間のノードN2と、の電圧に基づき電流Ii nを検出する。検出器20は、例えば差動増幅回路であり、ノードN1とN2との電圧差 Vを電流Iinに関する情報Infとして出力する。電圧差 Vは電流Iinにほぼ比 例する。

[0030]

10

図4(b)に示すように、検出器20はコンパレータ22でもよい。コンパレータ22 はノードN1の電圧がノードN2の電圧より高いとハイレベルを出力し、ノードN1の電 圧がノードN2の電圧より低いとローレベルを出力する。

【0031】

図5は、実施例1に係る電流センサのタイミングを示す図である。電流Iinは端子T 1に入力する電流値を示す。抵抗状態Rは素子10の低抵抗状態RLおよび高抵抗状態R Hを示す。電圧差 Vは図4(a)における検出器20の入力電圧差を示す。電圧Vou tは図4(b)におけるコンパレータ22の出力を示す。閾値電流Ithにヒステリシス はないと仮定し、電流Iinが正のときの閾値電流Ithと負のときの閾値電流-Ith の絶対値は同じと仮定する。閾値電流Ithと-Ithとの間は範囲50に相当し、閾値 電流Ith以上および閾値電流-Ith以下は範囲52に相当する。

【0032】

図5に示すように、時刻t1の前では、電流Iinは閾値電流-Ithより小さい負で あり、素子10は低抵抗状態RLであり、電圧差 Vはほぼ0Vの負の値であり、電圧V outはローレベルである。時刻t1において、電流Iinが閾値電流-Ithとなると 、抵抗状態Rは高抵抗状態RHに切り替わる。電圧差 Vは電流Iinに対応する負の値 となる。ノードN1の電圧はノードN2の電圧より低いため電圧Voutはローレベルを 維持する。

【0033】

時刻 t 1 と t 2 との間において電流 I i n が増加すると、 V は増加する。電圧 V o u t はローレベルを維持する。時刻 t 2 となると、電流 I i n は 0 となり、電圧差 V は 0 となる。時刻 t 2 の後に電圧 V o u t はローレベルからハイレベルに切り替わる。 【 0 0 3 4 】

時刻 t 2 と t 3 との間において電流 I i n がさらに増加すると、電圧差 V は増加し、 電圧 V o u t はハイレベルを維持する。時刻 t 3 において、電流 I i n が閾値電流 I t h となると、抵抗状態 R は低抵抗状態 R L に切り替わる。電圧差 V はほぼ 0 V の正の値と なる。電圧 V o u t はハイレベルを維持する。

【0035】

時刻 t 4 において、電流 I i n は増加から減少に切り替わる。時刻 t 3 と t 5 の間にお いて、電流 I i n は閾値電流 I t h より大きく、抵抗状態 R は低抵抗状態 R L、電圧差 V は、ほぼ 0 V (小さい正の値)であり、時刻 t 3 から t 4 において時間とともにやや増 加し、時刻 t 4 から t 5 において時間とともにやや減少する。 【 0 0 3 6 】

時刻 t 5 において電流 I i n が閾値電流 I t h となり、時刻 t 6 において電流 I i n が 0 となり、時刻 t 7 において電流 I i n が閾値電流 - I t h となる。時刻 t 5 と t 6 の間 では、抵抗状態 R は高抵抗状態 R H、電圧差 V は電流 I i n に対応する正の値、および 電圧 V o u t はハイレベルである。時刻 t 6 と t 7 の間では、抵抗状態 R は高抵抗状態 R H、電圧差 V は電流 I i n に対応する負の値、および電圧 V o u t はローレベルである 。時刻 t 7 以降では、抵抗状態 R は低抵抗状態 R L、電圧差 V はほぼ 0 V の負の値、お よび電圧 V o u t はローレベルを維持する。

50

40



(9)

[0037]

実施例1の電流センサは、素子10を流れる電流Iinが0付近の範囲50では電流I inをセンシングする。範囲52では素子10は低抵抗状態となり電流をセンシングしない。

【 0 0 3 8 】

[比較例1]

図6(a)は、比較例1に係る電流センサの回路図である。図6(a)に示すように、 比較例1では、実施例1の図4(a)に示した素子と比べ、素子10の代わりに抵抗11 が端子T1とT2との間に接続されている。その他の構成は実施例1と同じであり説明を 省略する。

【 0 0 3 9 】

図6(b)は、実施例1および比較例1における電流に対する電圧差を示す模式図であ る。図6(b)に示すように、比較例1では、抵抗11の抵抗値を低くする。これは、抵 抗11の抵抗値が高い場合、電流Iinが大きい範囲52では抵抗11による電圧降下が 大きくなりジュール熱等による損失が大きくなるためである。しかし、電流が小さい範囲 50では、ノードN1とN2との間の電圧差 Vが小さくなる。これにより、検出器20 の検出精度が低くなる。検出精度を向上させるため、ノードN1とN2との間の電圧差 Vを増幅させる増幅回路を用いることが考えられる。増幅回路を設けると、電流センサが 大型化、高コスト化する。また、電流センサの消費電力が増加する。

【0040】

微小電流をセンシングするが、大電流でのセンシングが不要な場合に、比較例1の電流 センサを用いると、微小電流の精度向上と大電流における損失の両立が難しい。

**[**0041**]** 

実施例1では、検出器20またはコンパレータ22を含む回路は、素子10に測定対象 の電流Iinを供給し、測定対象の電流Iinの値をセンシングする。素子10は電極1 6a(第1端)と電極16b(第2端)との間を流れる電流Iin(電流値)の絶対値が 閾値電流Ithより低い範囲50(第1範囲)のとき外部(例えば外部の回路)から制御 されることなく高抵抗状態となる。例えば電流Iinの絶対値が閾値電流Ith以下のと き、素子10は高抵抗状態となる。これにより、範囲50における電圧差 Vを大きくで きる。よって、増幅回路を用いなくても電流Iinを高精度に検出できる。例えば図3で は、電流Iが10nAにおいて電圧Vは0.1V程度であり、電流を高精度に検出可能で ある。例えばコンパレータ22は一般的に増幅回路より消費電力が小さい。よって、電流 センサの消費電力を低減できる。

[0042]

電流 I i n の絶対値が範囲 5 0 より大きい範囲 5 2 (第 2 範囲)のとき外部から制御さ れることなく素子 1 0 は高抵抗状態より抵抗値の低い低抵抗状態である。詳しくは、電流 I i n の絶対値が範囲 5 0 を越えた、範囲 5 2 (第 2 範囲)に達すると、素子 1 0 は高抵 抗状態より抵抗値の低い低抵抗状態へ変化する。これにより、範囲 5 2 においては、素子 1 0 による電圧降下を抑制でき、ジュール熱等による損失を抑制できる。例えば図 3 では 、電流 I が閾値電流 I t h 以上流れると電圧は 1 V 程度であり、損失を抑制できる。高抵 抗状態における素子 1 0 の抵抗値は低抵抗状態における素子 1 0 の抵抗値の 1 0 倍以上が 好ましく、 1 0 0 倍以上がより好ましい。また、特許文献 2 のように、抵抗状態を切り替 えるための回路を用いなくてもよいため、電流センサの小型化が可能となる。

【0043】

[実施例1の変形例1]

図7(a)および図7(b)は、実施例1の変形例1に係る電流センサの回路図を示す 図である。図7(a)に示すように端子T1とグランドとの間に素子10が接続されてい る。端子T1に電流Iinが流れる。検出器20は、素子10の電極16aと端子T1と の間のノードN1と参照電圧Vrefとの電圧に基づき電流Iinを検出する。検出器2 0は、例えば差動増幅回路であり、ノードN1の電圧と参照電圧Vrefとの電圧差 V 10

を電流Iinに関する情報Infとして出力する。

【0044】

図7(b)に示すように、検出器20はコンパレータ22でもよい。コンパレータ22 はノードN1の電圧が参照電圧Vrefより高いとハイレベルを出力し、ノードN1の電 圧が参照電圧Vrefより低いとローレベルを出力する。

【 0 0 4 5 】

図8は、実施例1の変形例1に係る電流センサのタイミングを示す図である。電圧差 Vは図7(a)における検出器20の出力電圧を示す。電圧Voutは図7(b)におけ るコンパレータ22の出力を示す。図8に示すように、時刻t11において、電流Iin は0であり、素子10は高抵抗状態RH、電圧差 Vはほぼ0Vであり、電圧Voutは ローレベルである。時刻t11とt12との間において電流Iinが増加すると、電圧差 Vは増加する。時刻t12において、電圧差 Vが参照電圧Vrefとなると、電圧V outはハイレベルとなる。このときの電流Iinは参照電流Irefである。 【0046】

時刻 t 1 2 と t 1 3 との間において電流 I i n が増加すると、電圧差 V は増加する。 時刻 t 1 3 において、電流 I i n が閾値電流 I t h となると、抵抗状態 R は低抵抗状態 R L に切り替わる。電圧差 V はほぼ 0 V の正の値となる。電圧 V o u t はハイレベルを維 持する。

[0047]

時刻 t 1 4 において、電流 I i n は増加から減少に切り替わる。時刻 t 1 3 と t 1 5 の 間において、電流 I i n は閾値電流 I t h より大きく、抵抗状態 R は低抵抗状態 R L 、電 圧差 V はほぼ 0 V (小さい正の値)であり、時刻 t 1 3 から t 1 4 において時間ととも にやや増加し、時刻 t 1 4 から t 1 5 において時間とともにやや減少する

【0048】

時刻 t 1 5 において電流 I i n が閾値電流 I t h となり、時刻 t 1 6 において電圧差 Vが参照電圧 V r e f となり、時刻 t 1 7 において電流 I i n が 0 となる。時刻 t 1 5 と t 1 6 の間では、抵抗状態 R は高抵抗状態 R H、電圧差 V は電流 I i n に対応する値、 および電圧 V o u t はハイレベルである。時刻 t 1 6 と t 1 7 の間では、抵抗状態 R は高 抵抗状態 R H、電圧差 V は電流 I i n に対応する値、および電圧 V o u t はローレベル である。

【0049】

実施例1の変形例1の電流センサは、素子10を流れる電流Iinが0付近の範囲50 では電流Iinをセンシングする。範囲52では素子10は低抵抗状態となり電流をセン シングしない。これにより、範囲50では高精度に電流をセンシングでき、範囲52では 損失を抑制できる。さらに、図7(b)の電流センサでは、電流Iinが参照電流Ire f以上か以下かを判定できる。

[0050]

実施例1のように、検出器20は電極16aと16bとの両方の電圧差 Vに基づき電流Iinをセンシングしてもよい。実施例1の変形例1のように、検出器20は電極16aと与えられた参照電圧Vrefとに基づき電流Iinをセンシングしてもよい。このように、検出器20は、電極16aおよび16bの少なくとも一方の電圧値に基づき電流I inをセンシングする。また、電流Iinのセンシングには、例えば電流Iinを測定すること、電流Iinが所望の電流値以上か以下かを判定すること、が含まれる。

【0051】

[実施例1の変形例2]

実施例1の変形例2は、素子10を流れる電流をパルス信号の周期(周波数)に変換す る電流センサの例である。図9は、実施例1の変形例2に係る電流センサの回路図である 。図9に示すように、端子T1とグランドとの間に素子10が接続されている。検出器2 0aは、非特許文献1に記載されている回路を用いる。検出器20aは、抵抗R1、R2 、スイッチS1、S2、差動積分回路24およびヒステリシス判定器26を備えている。 10



端子T1と素子10の電極16aとの間のノードN1はスイッチS1を介しノードN3に 接続され、グランドと素子10の電極16bとの間のノードN2はスイッチS2を介しノ ードN3に接続されている。抵抗R1およびR2は、ノードN1とN2との間に素子10 と並列に接続されている。ノードN4の電圧はノードN1とN2との間の電圧差を抵抗R 1およびR2で抵抗分割した電圧となる。

【0052】

差動積分回路24は、ノードN3の電圧とノードN4の電圧の差を積分し、電圧Voを 出力する。ヒステリシス判定器26は、電圧Voが参照電圧VrefH以上となると制御 信号FC1およびFC2をそれぞれローレベルおよびハイレベルとし、電圧Voが参照電 圧VrefL以下となるまで制御信号FC1およびFC2を維持する。ヒステリシス判定 器26は、電圧Voが参照電圧VrefL以下となると制御信号FC1およびFC2をハ イレベルおよびローレベルとし、電圧Voが参照電圧VrefH以上となるまでFC1お よびFC2を維持する。制御信号FC1およびFC2はそれぞれスイッチS1およびS2 を制御する信号である。制御信号FC1およびFC2がローレベルのときそれぞれスイッ チS1およびS2はオンし、制御信号FC1およびFC2がローレベルのときそれぞれスイッ

【0053】

電流 I i n が小さく、素子10が高抵抗状態の場合について説明する。図10は、実施 例1の変形例2における電流センサのタイミングを示す図である。時刻t21以前では、 制御信号 F C 1 および F C 2 はそれぞれハイレベルおよびローレベルであり、スイッチ S 1 および S 2 はそれぞれオンおよびオフとなる。ノードN3はノードN1に接続され、ノ ードN2とは遮断される。これにより、ノードN3とN4との電圧差は正となり、電圧 V oは上昇する。

【 0 0 5 4 】

時刻 t 2 1 において電圧 V o が参照電圧 V r e f H となると、 F C 1 および F C 2 はそ れぞれローレベルおよびハイレベルとなる。スイッチ S 1 および S 2 はそれぞれオフおよ びオンとなる。ノード N 3 はノード N 1 とは遮断され、ノード N 2 に接続される。これに より、ノード N 3 とN 4 との電圧差は負となり、電圧 V o は下降する。

【 0 0 5 5 】

時刻 t 2 2 において電圧 V o が参照電圧 V r e f L となると、 F C 1 および F C 2 はそ れぞれハイレベルおよびローレベルとなり、電圧 V o は上昇する。以降、上記を繰り返す

【0056】

ノードN1とN2との電圧差が小さいと制御信号FC1およびFC2の周期Pが長くな り、ノードN1とN2との電圧差が大きいと制御信号FC1とFC2との周期Pが短くな る。検出器20aは、素子10が高抵抗状態のとき、電流Iinの大きさを制御信号FC 1の周期(周波数)として出力する。

【0057】

電流 I i n が閾値電流 I t h 以上の場合、素子 1 0 は低抵抗状態となる。このため、 ノードN 1 とN 2 との電圧差はほぼ 0 V となり、制御信号 F C 1 および F C 2 の周期 P は非常に長くなる。

【0058】

このように、微小電流の範囲では高精度に電流を周期に変換し出力でき、大電流の範囲 では、損失を抑制できる。実施例1の変形例2のように、検出器20aは電流Iinを電 圧以外の情報として出力してもよい。電流センサの電流のセンシングには、電流Iinを 電圧以外の情報とする場合も含まれる。

【0059】

実施例1およびその変形例では、抵抗体14の温度が第1温度範囲のとき素子10は高抵抗状態となり、抵抗体14の温度が第1温度範囲より高い第2温度範囲のとき素子10 は低抵抗状態となるような相転移が起こる抵抗体14を用いた。このような抵抗体14と 10



しては、二酸化バナジウム(VO2)以外にも酸化ニオブ(NbO2)または酸化チタン (Ti2〇3)を用いることができる。二酸化バナジウムでは、高抵抗状態と低抵抗状態 とが切り替わる相転移温度は30~70 程度である。酸化ニオブでは、相転移温度は 840 程度である。酸化チタンでは、相転移温度は130~330 程度である。抵 抗体14は上記以外の材料でもよい。また、上記材料に不純物が添加されていてもよい。 例えばVO2にWを添加すると相転移温度が下がり、A1、CrまたはGeを添加すると 相転移温度が上がる。Tiを添加しても相転移温度はほとんど変わらない。

(12)

[0060]

抵抗体14は、温度相転移以外の機構により高抵抗状態と低抵抗状態が切り替わっても よい。例えば、抵抗体14は電極間に電気化学的なフィラメントが形成されると低抵抗状 態となり、フィラメントが切断されると高抵抗状態となってもよい。抵抗体14は、銅化 合物、カルコゲナイド、酸化タングステンまたはアモルファス酸化物でもよい。素子10 の電流 - 電圧特性はヒステリシスを有してもよいが、電流の絶対値が0のとき高抵抗状態 となる。

【実施例2】

[0061]

実施例2およびその変形例は、実施例1およびその変形例に係る電流センサを電力変換 回路に用いる例である。実施例2およびその変形例1は同期整流回路の例であり、実施例 2の変形例2は降圧回路(DC - DCコンバータ)の例である。例えば橋梁の振動エネル ギーを用いて発電する振動発電のような環境発電機では、微小な電力を発電する。このよ うな発電機が発電した電力を変換する電力変換回路に用いられる電流センサには微小電流 を検出することが要求される。また、電流センサによる損失を小さくすることが求められ る。

[0062]

図11は、実施例2に係る同期整流回路を示す回路図である。図11に示すように、ス イッチSW1(第1スイッチ素子)は端子T01(第1端子)とT02(第2端子)との 間に接続され、スイッチSW2(第2スイッチ素子)は端子T03(第3端子)とT04 (第4端子)との間に接続され、スイッチSW3(第3スイッチ素子)は端子T01とT 04との間に接続され、スイッチSW4(第4スイッチ素子)は端子T03とT02との 間に接続されている。ノードN01においてスイッチSW1とSW3が接続され、ノード N02においてスイッチSW1とSW4とが接続され、ノードN03においてスイッチS W2とSW4とが接続され、ノードN04においてスイッチSW2とSW3とが接続され ている。

[0063]

電流センサ21は、素子10および検出器20を備えている。端子T01とノードN0 1との間に素子10が接続されている。端子T01と素子10の電極16aとの間がノー ドN1であり、ノードN01と素子10の電極16bとの間がノードN2である。検出器 20は、ノードN1とN2との電圧差 Vを出力する。制御部28は、電圧差 Vに基づ き、制御信号CT1をスイッチSW1およびSW2に出力し、制御信号CT2をスイッチ SW3およびSW4に出力する。

[0064]

図12は、実施例2に係る同期整流回路のタイミングを示す図である。端子T01に入 力する電流を電流Iin、端子T02から出力される電流を電流Ioutとする。端子T 03から電流Iinの電流が出力され、端子T04に電流Ioutの電流が出力する。端 子T01とT03との間には交流電流が入力し、端子T02とT04との間から整流され た電流が出力される。電流Iinは例えば環境発電機が発電した電力に相当する。 【0065】

環境発電では電流の波形は三角関数とは限らないが、図12では電流Iinの波形を三 角関数として便宜的に説明する。図12に示すように、時刻t31前では、電流Iinは 負であり、電流Iinは閾値電流 - Ithより小さい。素子10は低抵抗状態であり、電 10

20

圧差 Vはほぼ0Vである。スイッチSW1およびSW2はオフであり、スイッチSW3 およびSW4はオンである。端子T01は端子T04に接続されており、端子T03は端 子T02に接続されている。端子T01に入力する電流は端子T04から出力される。端 子T02から出力される電流Ioutの符号は電流Iinとは反対、すなわち正となる。 【0066】

時刻 t 3 1 において電流 I i n は閾値電流 - I t h より大きくなる。素子10は高抵抗 状態となり、電圧差 V は電流 I i n に相当する値となる。時刻 t 3 2 において、電流 I i n は 0 となる。電圧差 V は 0 V となる。電流 I o u t はほぼ 0 となる。時刻 t 3 4 に おいて、電流 I i n は閾値電流 I t h より大きくなる。素子 10 は低抵抗状態となり、電 圧差 V はほぼ 0 V となる。

【0067】

制御部28は、時刻t31からt34の間のいずれかの時刻において、電圧差 Vが負から正に変化したと判断する。図12では、時刻t33において制御部28は電圧差 V が負から正に変化したと判断し、スイッチSW1およびSW2をオフからオンに切り替え 、スイッチSW3およびSW4をオンからオフに切り替える。端子T01は端子T02に 接続され、端子T03は端子T04に接続される。端子T01に入力する電流は端子T0 2から出力される。端子T02から出力される電流Ioutの符号は電流Iinと同じ、 すなわち正となる。

[0068]

時刻 t 3 4 と t 3 5 との間の期間では、電流 I i n は閾値電流 I t h より大きいため、 電圧差 Vはほぼ 0 V (小さい正の値)であり、時間とともにやや増加し、その後時間と ともにやや減少する。スイッチ S W 1 および S W 2 はオン状態を維持し、スイッチ S W 3 および S W 4 はオフ状態を維持する。電流 I o u t は正である。

【0069】

時刻 t 3 5 において電流 I i n は閾値電流 I t h より小さくなる。素子10は高抵抗状態となり、電圧差 V は電流 I i n に相当する値となる。時刻 t 3 6 において、電流 I i n は0 となり、時刻 t 3 8 において、電流 I i n は閾値電流 - I t h より小さくなる。素子10は低抵抗状態となり、電圧差 V はほぼ0V となる。

【 0 0 7 0 】

制御部28は、時刻t35からt38の間のいずれかの時刻において、電圧差 Vが正から負に変化したと判断する。図12では、時刻t37において制御部28は電圧差 V が正から負に変化したと判断し、スイッチSW1およびSW2をオンからオフに切り替え 、スイッチSW3およびSW4をオフからオンに切り替える。端子T01は端子T04に 接続され、端子T03は端子T02に接続される。端子T01に入力する電流は端子T0 4から出力される。端子T04から出力される電流Ioutの符号は電流Iinと反対、 すなわち正となる。以上のように、端子T01から入力される電流Iinは半波整流され て端子T02から出力される。

【0071】

実施例2では、制御部28は、電流Iinの負から正への変化に基づき、スイッチSW 1およびSW2をオフからオンとし、スイッチSW3およびSW4をオンからオフとし、 電流Iinの正から負への変化に基づき、スイッチSW1およびSW2をオンからオフと し、スイッチSW3およびSW4をオフからオンとする。このように、電流Iinの符号 が切り替わったことを判定し、電流Ioutが正の値の状態を略保つようにスイッチSW 1~SW4を切り替える。言い換えると、制御部28およびスイッチSW1からSW4は 整流器として機能する。電流センサは電流Iinの絶対値が小さい範囲50において電流 Iinを高精度にセンシングできる。電流Iinの絶対値の大きい範囲52では、素子1 0は低抵抗状態となるため、素子10による損失を抑制できる。

【 0 0 7 2 】

[実施例2の変形例1]

図13は、実施例2の変形例1に係る同期整流回路を示す回路図である。図13に示す 50

10

20



ように、電流センサ21はノードN02と端子T02との間に接続されている。実施例2 では、電流センサ21は整流前の電流Iinをセンシングするが、実施例2の変形例1で は、電流センサ21は整流後の電流Iinをセンシングする。その他の構成は実施例2の 図11と同じであり説明を省略する。

【0073】

図14は、実施例2の変形例1に係る同期整流回路のタイミングを示す図である。図1 4に示すように、時刻t31以前において、スイッチSW1およびSW2がオフ、スイッ チSW3およびSW4がオンであり、電流Ioutは電流Iinと逆符号である。時刻t 31において、電流Ioutが閾値電流Ithとなると、素子10が高抵抗状態となる。 電圧差 Vは電流Ioutに相当する正の値となる。時刻t32において電流Ioutは 0となり Vは0となる。時刻t33において、制御部28は電圧差 Vが正から負に変 化したと判断し、スイッチSW1およびSW2をオフからオンに切り替え、スイッチSW 3およびSW4をオンからオフに切り替える。これにより、電流Ioutは電流Iinと 同符号となり、電圧差 Vは負から正となる。時刻t34において、電流Ioutが閾値 電流Ithとなり、素子10は低抵抗状態となる。

【0074】

時刻 t 3 5 から t 3 8 は、時刻 t 3 1 から t 3 4 と同様であり、時刻 t 3 7 において、 制御部 2 8 は電圧差 Vが正から負に変化したと判断し、スイッチ S W 1 および S W 2 を オンからオフに切り替え、スイッチ S W 3 および S W 4 をオフからオンに切り替える。こ れにより、電流 I o u t は電流 I i n と逆符号となり、電圧差 V は負から正となる。そ の他のタイミングは実施例 2 の図 1 2 と同じであり説明を省略する。 【0075】

実施例2の変形例1では、電流センサ21は整流後の電流Ioutをセンシングする。 この場合、制御部28は、電流Ioutの正から負への変化に基づき、スイッチSW1お よびSW2をオフからオンとし、スイッチSW3およびSW4をオンからオフとし、次に 電流Ioutの正から負への変化に基づき、スイッチSW1およびSW2をオンからオフ とし、スイッチSW3およびSW4をオフからオンとする。このように、電流Ioutの 符号が切り替わったことを判定し、スイッチSW1~SW4を切り替える。これにより、 電流センサ21は電流Ioutの絶対値が小さい範囲50において電流Ioutを高精度 にセンシングできる。電流Ioutの絶対値の大きい範囲52では、素子10は低抵抗状 態となるため、素子10による損失を抑制できる。

[0076]

実施例2およびその変形例1のように、素子10は、端子T1とスイッチSW1および SW3との間と、端子T2とスイッチSW1およびSW4との間と、のいずれか一方に接 続されていればよい。また、制御部28は、電流IinまたはIoutの符号の変化に基 づき、スイッチSW1およびSW2をオフからオンとし、スイッチSW3およびSW4を オンからオフとし、電流IinまたはIoutの次の符号の変化に基づき、スイッチSW 1およびSW2をオンからオフとし、スイッチSW3およびSW4をオフからオンとすれ ばよい。

[0077]

「実施例2の変形例2]

図15(a)から図15(c)は、実施例2の変形例2における降圧回路の模式図であ る。図15(a)に示すように、電流I1がノードAに入力する。ノードAとグランドと の間にキャパシタC1およびPFET(Field Effect Transistor)M4が直列に接続さ れている。キャパシタC1は一次キャパシタである。PFETM4はスイッチである。ノ ードAとグランドとの間にインダクタL1およびキャパシタC4が直列に接続されている 。キャパシタC4は2次キャパシタである。インダクタL1とキャパシタC4との間にス イッチとしてNFETM3が接続されている。キャパシタC1とインダクタL1との間の ノードとグランドとの間にスイッチとしてNFETM2が接続されている。 【0078】 10



キャパシタC1およびC4の容量値をそれぞれ100pFおよび10nFとし、インダ クタL1のインダクタンスを0.3nHとする。NFETM4のオン抵抗(例えば10k))の電圧降下が無視できるようにこれらの値を設定する。これらの値は適宜設定できる

【0079】

降圧回路の動作時においてNFETM3はオンし、PFETM4がオンしNFETM2 がオフする。これにより、図15(b)のように、キャパシタC1に蓄電されていた電荷 が電流IaとしてインダクタL1を通過しキャパシタC4に充電される。このとき、イン ダクタL1には磁束エネルギーが蓄積される。

【0080】

キャパシタC1内の電荷が少なくなると、PFETM4がオフしNFETM2がオンする。図15(c)のように、インダクタL1の磁東エネルギーが電流Ibを流し、キャパシタC4に蓄電される。これにより、インダクタL1の磁東エネルギーがキャパシタC4 に回収される。

【0081】

例えば、キャパシタC1およびC4の充電時の電圧をそれぞれ10Vおよび1Vとする と、キャパシタC4にはキャパシタC1から移動する電荷の10倍の電荷が蓄積されるこ とになる。図15(b)では、キャパシタC1に蓄積されていた電荷の一部の電荷がキャ パシタC4に充電される。このとき、インダクタL1の磁束エネルギーとしてエネルギー を蓄積する。図15(c)では、磁束エネルギーとして蓄積されていたエネルギーを電流 Ibに変えキャパシタC4を充電する。これにより、キャパシタC1から移動する電荷の 約10倍の電荷をキャパシタC4に蓄積できる。

【0082】

図16(a)は、実施例2の変形例2における降圧回路の回路図、図16(b)は、フ リップフロップ回路を示す図である。実施例2の変形例2の降圧回路では、電流センサ2 1は、NFETM2とグランドとの間に接続され、NFETM2を流れる電流をセンシン グする。電流センサ21は、素子10とコンパレータ22を備えている。

【0083】

図16(a)におけるフリップフロップ(FF)回路X1からX4の動作を説明する。 図16(b)に示すように、フリップフロップ(FF)回路25は、入力端子25a、2 5b、出力端子25cおよび25dを備えている。入力端子25aにハイレベルの信号が 入力すると、FF回路25は出力端子25cにローレベルを、出力端子25dにハイレベ ルを出力する。FF回路25は、次に入力端子25bにハイレベルの信号が入力するまで 、出力端子25cをローレベルに、出力端子25dをハイレベルに維持する。入力端子2 5bにハイレベルの信号が入力すると、FF回路25は出力端子25cにハイレベルを、 出力端子25dにローレベルを出力し、次に入力端子25aにハイレベルの信号が入力す るまで、出力端子25cにハイレベルに、出力端子25dにローレベルに維持する。 【0084】

図16(a)におけるスパイク生成回路X5はノードAの電圧が8V以上となるとノードBを介しFF回路X1およびFF回路X4に正のスパイク信号を出力する。スパイク生成回路X8はノードCがハイレベルとなると、1µ秒後にノードEに正のスパイク信号を出力する。なお、スパイク生成回路X5がスパイク信号を出力するノードAの電圧、およびスパイク生成回路X8はノードCがハイレベルとなってからノードEにスパイク信号を出力する時間は適宜設定することができる。

[0085]

図17は、実施例2の変形例2における降圧回路の各ノードの電圧および電流のタイミングを示す図である。ノードAは降圧回路への入力電圧に対応し、ノードPは降圧回路の出力電圧に対応する。図16(a)および図17に示すように、電流源X6からノードAに電流I1が供給される。電流源X6は例えば環境発電機のような発電機である。時刻t 41からt42の間では、電流I1がノードAに流入するためノードAの電圧が7Vから 10



8 Vまで徐々に上昇する。なお、ノードAの電圧の上昇速度が小さいため図17では、時 刻t41とt42の間でノードAの電圧はほぼ一定に見えている。時刻t42の前では、 ノードAの電圧は8Vに達していない。この間、ノードBはローレベルである。FF回路 X4はノードQをローレベルに維持する。ノードQがローレベルのときNFETM3はオ フし、ノードQがハイレベルのときNFETM3はオンする。よって、時刻t41とt4 2の間では、NFETM3はオフする。インダクタL1を右方向に通過する電流ILは0 である。電流I1はキャパシタC1を充電し、ノードAの電圧が高くなっていく。 【0086】

NFETM3の動作について説明する。NFETM3およびM7の閾値電圧を0.4V とする。NFETM7はノードQからPの方向が順方向のダイオードとして機能する。ノ ードQがローレベルのとき、NFETM3のゲートは、キャパシタC4の一端のノードP の電圧よりダイオードのターンオン電圧に相当する約-0.3V低くなる。よって、NF ETM3はオフする。

【0087】

ノードAの電圧が上昇し、時刻 t 4 2 において、ノードAの電圧が 8 Vを越えると、ス パイク生成回路 X 5 はスパイク信号 2 9 aをノード B に出力する。 F F 回路 X 4 はノード Qにハイレベルを出力する。 N F E T M 3 のゲートは、ノード P の電圧より約 + 0 . 7 V 高くなり、N F E T M 3 はオンする。これにより、インダクタL 1 に電流 I L が流れ始め る。

【0088】

さらに、時刻 t 4 2 において、ノード B から F F 回路 X 1 にスパイク信号 2 9 a が入力 する。F F 回路 X 1 はノード C にハイレベルを出力し、キャパシタ C 2 の一端にローレベ ルを出力する。スパイク生成回路 X 8 はノード C がハイレベルとなった時刻 t 4 2 から 1 µ秒後の時刻 t 4 3 にノード E にスパイク信号 2 9 b を出力する。これにより、時刻 t 4 3 において F F 回路 X 1 はノード C にローレベルを出力し、キャパシタ C 2 の一端にハイ レベルを出力する。これにより、ノード C は時刻 t 4 2 と t 4 3 の間の 1 µ s の期間にお いてハイレベルとなり、他の期間においてローレベルとなる。

[0089]

ノードDはダイオードとして機能するNFETM6を介しグランドに接続されている。 ノードDは時刻t42とt43の間において負の電圧となり、他の期間(時刻t43以降 を含む)において0Vとなる。これにより、ゲートがノードDに接続されたPFETM4 は時刻t42とt43の間においてオンする。NFETM3はオンを維持しているため、 図15(b)の接続関係となる。キャパシタC1に充電されていた電荷の一部が電流IC としてノードAに流れる。電流ICはインダクタL1を通過する電流ILとなり、キャパ シタC4を充電する。ノードAの電圧は低下する。インダクタL1に磁束エネルギーが蓄 積される。

[0090]

時刻 t 4 3 以前においてノード F はローレベルであり、N F E T M 2 はオフである。素子10を流れる電流 I R は0 であり、素子10の抵抗状態 R は高抵抗状態 R H である。ノードN1とN2との間の電圧差はほぼ0Vであるため、ノードG はほぼ0V である。コンパレータ22はノードHにローレベルを出力する。

【0091】

時刻 t 4 3 において、ノード E からスパイク信号 2 9 b が F F 回路 X 3 に入力すると、 F F 回路 X 3 はノード F をハイレベルとする。 N F E T M 2 はオンする。前述のように時 刻 t 4 3 において P F E T M 4 はオフする。これにより、図 1 5 (c)の接続関係となる 。電流 I R はグランドからノード A に流れる。電流 I R は閾値電流 I t h より大きい。こ のため、抵抗状態 R は低抵抗状態 R L となる。ノード N 1 と N 2 の電圧差は非常に小さく 、ノード G の電圧は小さい負の値である。コンパレータ 2 2 はノード H をローレベルに維 持する。

【0092】

20

10

20

30

40

時刻 t 4 3 以降において、インダクタ L 1 に蓄積された磁束エネルギーより電流 I R お よび電流 I L が流れキャパシタ C 4 を充電する。これにより、ノード P の電圧が上昇する 。インダクタ L 1 の電流 I L および I R は時間とともに減少する。ノード G の電圧は時間 とともに 0 V に近づく。

【0093】

時刻 t 4 4 において、素子10の電流IR が閾値電流Ithとなると、素子10の抵抗 状態Rは高抵抗状態RHとなる。ノードN1とN2との電圧差 Vは負となり、ノードG は負となる。ノードGが負のためコンパレータ22はノードHをローレベルに維持する。 【0094】

時刻 t 4 5 において、素子 1 0 の電流 I R が 0 となると、ノード G は 0 V となる。その後、電流 I L は負となり、電流 I R は負となる。時刻 t 4 5 以降ノード P の電圧は増加から減少へと切り替わる。時刻 t 4 6 においてコンパレータ 2 2 は、ノード G が 0 V より高くなったと判定し、ノード H をハイレベルとする。F F 回路 X 4 はノード Q をローレベルとする。これにより、N F E T M 3 はオフする。F F 回路 X 3 はノード F をローレベルとする。これにより、N F E T M 2 はオフする。電流 I L および I R は 0 となる。ノード G は 0 V となるためノード H はローレベルに戻る。これにより、降圧動作が終了する。

実施例2の変形例2では、時刻t44からt46のように、電流IRの絶対値が小さい ときに素子10は高抵抗状態RHとなり、コンパレータ22は、電流IRがほぼ0となっ たことを精度よく判定できる。時刻t43からt44のように、電流IRの絶対値が大き いときに素子10は低抵抗状態RLとなるため、素子10による抵抗損を抑制できる。 【0096】

実施例2およびその変形例1では、制御部28は電流センサ21の出力に基づきスイッ チSW1~SW4のオンおよびオフを制御する。実施例2の変形例2では、FF回路X3 およびX4(制御部)は、電流センサ21の出力に基づきNFETM2およびM3(スイ ッチ素子)を制御する。これにより、電流センサ21は素子10を流れる微小電流を精度 よくセンシングでき、かつ素子10を流れる電流が大きいときの損失を抑制できる。 【0097】

実施例2およびその変形例では、実施例1およびその変形例に係る電流センサを用いる 電力変換回路として、同期整流回路および降圧回路を例に説明したが、電力変換回路は、 他の回路構成の降圧回路、昇圧回路、直流 - 交流電力変換回路または交流 - 直流電力変換 回路でもよい。電力変換回路では、電流をセンシングしてスイッチ素子を切り替える制御 が行われる。電流のセンシングは電流の絶対値が小さい範囲で行う場合が多い。よって、 実施例1およびその変形例の電流センサを用いることで、微小電流のセンシングを精度よ く行い、かつ大電流の範囲における損失を抑制できる。実施例1およびその変形例の電流 センサは電力変換回路以外の電気回路および電子回路に用いることもできる。

【0098】

[素子10の製造方法]

実施例1、2およびその変形例に用いる図2(a)および図2(b)の素子10の製造 方法について説明する。図18(a)から図18(d)は、図2(a)および図2(b) の素子の製造方法を示す断面図である。図18(a)に示すように、基板12上に薄膜1 5を形成する。基板12は、例えば単結晶TiO2基板であり、薄膜15は、例えばVO 2膜である。VO2膜の成膜にはスパッタ法またはパルスレーザデポジション法を用いる 。成膜条件は、例えば基板12の温度が300 であり酸素分圧が1Paである。

【0099】

図18(b)に示すように、薄膜15上に開口41を有するマスク層40を形成する。 マスク層40は例えばフォトレジストである。フォトレジストを塗布し、露光現像するこ とにより、開口41を有するマスク層40が形成される。

[0100]

図 1 8 ( c ) に示すように、マスク層 4 0 をマスクに薄膜 1 5 を除去する。薄膜 1 5 の 50

除去には例えばウェットエッチング法またはドライエッチング法を用いる。マスク層40 を除去することにより、薄膜15がパターニングされ抵抗体14が形成される。 【0101】

図18(d)に示すように、基板12および抵抗体14上に開口43を有するマスク層 42を形成する。マスク層42は例えばフォトレジストである。フォトレジストを塗布し 、露光現像することにより、開口43を有するマスク層42が形成される。その後、例え ば真空蒸着法を用い電極となる金属膜を形成する。マスク層42を除去することによりマ スク層42上の金属膜をリフトオフする。これにより、図2(b)の電極16aおよび1 6bが形成される。

【実施例3】

[0102]

実施例3は、実施例1およびその変形例に用いる素子10として、S. Momose et. Al. "Gate Controlled Diode Characteristics of Super Steep Subthreshold Slope PN Bod y Tied SOI FET for High Efficiency RF Energy Harvesting " 2017 IEEE SOI 3D Subth reshold Microelectronics Technology Unified Conferenceに記載されたPN Body Tied S OI FETを用いる例である。

【0103】

図19は、実施例3に用いるトランジスタを示す平面図である。トランジスタ54は、 SOI(Semiconductor On Insulator)基板に形成されている。SOIの絶縁層上に形成 された半導体層(例えばシリコン層)に領域44~48が形成されている。領域44(第 1半導体領域)および46(第2半導体領域)はn<sup>\*</sup>領域(第1導電型の領域)、領域4 5(第3半導体領域)はp<sup>\*</sup>領域(第2導電型の領域)、領域47(第4半導体領域)は n 領域、領域48(第5半導体領域)はp<sup>\*</sup>領域である。領域45にソース端子Sが接 続され、領域46にドレイン端子Dが接続され、領域48にボディ端子Bが接続されてい る。領域45にゲート絶縁膜49を介しゲート端子Gが接続されている。ドレイン端子D とゲート端子Gとは電気的に接続され短絡されている。

[0104]

図20(a)は、実施例3におけるトランジスタの接続例を示す回路図、図20(b) は、電圧に対する電流を示す模式図である。図20(a)に示すように、トランジスタ5 4のソース端子Sがグランドに接続され、ドレイン端子Dが端子T1に接続されている。 電圧供給回路からボディ端子Bに一定の電圧Vbが印加されている。電圧Vbは例えば1 Vである。電圧Vbの好ましい電圧は、各領域44~4<u>8</u>のドープ量に依存するが、例え ば1V以上である。また、昇圧回路を設けないですむように、電圧Vbは電流センサが用 いられる電源電圧以下が好ましい。すなわち電圧供給回路は電源電圧から電圧Vbを抵抗 分圧等で生成する。端子T1に印加される電圧をVinとし、端子T1からグランドに流 れる電流をIinとする。

[0105]

図20(b)では、縦軸を電流 I i n の絶対値の対数1 o g | I i n | を用い示してい る。電圧 V i n が負では電流 I i n の絶対値 | I i n | は非常に小さい。電圧 V i n が正 では電圧 V i n が 0 付近では | I i n | は小さい。電圧 V i n が閾値電圧 V t h を越える と | I i n | は急激に大きくなる。言い換えると電流 I i n の値が所定範囲を越えたとき に高抵抗状態より抵抗値の低い低抵抗状態に変化する。なお、閾値電圧 V t h は例えば 0 .05 V である。

【0106】

図21(a)は、実施例3に用いる素子30の詳細を示す図、図21(b)は、電圧に 対する電流を示す模式図である。図21(a)に示すように、素子30は、2つのトラン ジスタ54aおよび54bを備えている。素子30の一端31(第1端)および他端32 (第2端)はそれぞれ端子T1およびグランドに接続されている。トランジスタ54a( 第1素子)と54b(第2素子)は一端31と他端32との間において並列接続されてい る。トランジスタ54aのソース端子Sは他端32に接続され、ドレイン端子Dは一端3 10

1に接続されている。トランジスタ54bのソース端子Sは一端31に接続され、ドレイ ン端子Dは他端32に接続されている。トランジスタ54aおよび54bのボディ端子B に一定の電圧Vbが印加されている。トランジスタ54aを一端31から他端32に流れ る電流をIa、トランジスタ54bを一端31から他端32に流れる電流をIbとする。 電流Iin=Ia+Ibである。

【0107】

図21(b)では、縦軸を電流の絶対値の対数として1og | Iin |、1og | Ia |および1og | Ib | を用い示している。電圧 Vin に対する1og | Ia | は図20 (b)の1og | Iin | と同じとなる。電圧 Vin が正の閾値電圧 Vthより大きくな ると | Ia | は急激に大きくなる。電圧 Vin に対する1og | Ib | は図20(b)の log | Iin | の電圧 Vinを反転させた電流となる。電圧 Vinが負の閾値電圧 - V thより小さくなると | Ib | は急激に大きくなる。電圧 Vinの絶対値が閾値電圧 Vt h以下(すなわち電流 Iinの絶対値が閾値電流 Ith以下)の範囲 50とき | Iin | は小さい。すなわち素子30における端子 T1とグランドとの間の抵抗が低くなる。電圧 Vinの絶対値が閾値電圧 Vthより大きい(すなわち電流 Iinの絶対値が閾値電流 I thより大きい)範囲 52とき | Iin | は大きい。すなわち素子30における端子 T1 とグランドとの間の抵抗が高くなる。すなわち、図21(a)に示される素子30は、電 流の絶対値が所定範囲を超えた際に前記高抵抗状態より抵抗値の低い低抵抗状態に変化す る。

【0108】

実施例1、2およびその変形例に用いる素子または回路は、図1(c)の素子10のように、電流Iinの絶対値が<u>範囲52</u>より低い範囲50のとき外部から制御されることなく高抵抗状態となり、電流Iinの絶対値が範囲52のとき外部から制御されることなく低抵抗状態となる2端子素子でもよい。2端子素子を用いることで抵抗状態を切り替えるための回路を用いなくてもよい。これにより、回路規模の小さい電流センサを実現できる

[0109]

実施例3のように、素子は、図21(a)の素子30のように、並列接続された2つの 第1素子および第2素子でもよい。これにより、図21(b)のように、素子10と同様 のI-V特性を有する。よって、実施例1、2およびその変形例の素子10の代わりに素 子30を用いてもよい。実施例1の素子10では、VO2のように半導体プロセスにおい てあまり用いない材料を用いる。一方、トランジスタ54を用いる素子30は通常の半導 体プロセスを用い形成することができる。

[0110]

素子30は、図21(a)に示すように、電流IaおよびIbが流れる端子以外のゲート端子Gはドレイン端子Dに短絡され、ボディ端子Bには定バイアスが印加されている。 これにより、外部回路から制御電圧を印加することなく、電流IaおよびIbの大きさに より抵抗状態を切り替えることができる。よって、抵抗状態を切り替えるための回路を用 いなくてもよく、電流センサを小型化できる。

【0111】

「電力変換回路が用いられるシステムの例)

図22は、実施例2およびその変形例の電力変換回路が用いられるシステムを示すブロック図である。図22に示すように、システムは、発電素子60、整流回路61、62、 整合回路63、電圧変換回路64、充電管理回路65、蓄電器66、コールドスタート回路67および昇圧回路68を備えている。

【0112】

発電素子60は、例えば環境発電素子でありMEMS(Micro Electro Mechanical Systems)等の振動発電素子である。発電素子60は微小電流の交流電力を発電する。整流回路61は例えばダイオードブリッジであり、整流回路62は例えば同期整流回路である。 整合回路63は整流回路61および62の出力インピーダンスと電圧変換回路64の入力 10

インピーダンスとを整合させる。電圧変換回路64は例えばDC(Direct Current)-D Cコンバータである。充電管理回路65は複数の蓄電器66のうち適切な蓄電器66に蓄 電する。蓄電器66は例えばキャパシタである。充電管理回路65は複数の蓄電器66の 両端の電圧をモニターし、適切な蓄電器に発電電力を充電する。コールドスタート回路6 7は、蓄電器66がほとんど充電されていないときに整流回路61の出力電流を蓄電器6 6に充電する。昇圧回路68は例えばチャージポンプであり、整流回路62および電圧変 換回路64等に用いる電圧を生成する。

【0113】

システムの動作について説明する。蓄電器66がほとんど充電されていない状態におい て、発電素子60が微小電力を生成すると、整流回路61が微小電力を整流する。整流回 路61はダイオードブリッジのように外部電源がなくとも整流を行うことができる。整流 回路61が整流した電流はコールドスタート回路67を介し充電管理回路65に至り蓄電 器66に蓄電される。蓄電器66が十分な電圧まで充電されると、昇圧回路68は、蓄電 器66の電圧から整流回路62および電圧変換回路64に使用する電圧に昇圧する。蓄電器 66の電圧は例えば1Vであり、昇圧回路68の出力電圧は例えば2Vである。蓄電器 66の電圧を用い整流回路62および電圧変換回路64が動作する場合には昇圧回路68 はなくてもよい。

【0114】

整合回路63は、発電素子60の発電量に応じ、整流回路61および62の入力電圧を 変化させる。これにより、発電素子60の出力インピーダンスと整流回路61および62 の入力インピーダンスを整合させる。整合回路63は入力電圧により整流回路61と62 を切り替える。例えば整流回路61および62がそれぞれダイオードブリッジおよび同期 整流回路の場合、入力電圧が1V以下となるとダイオードの電圧降下による損失が大きく なる。このため、整流回路62を用いる。入力電圧が1V以上の場合、整流回路61を用 いる。

【0115】

電圧変換回路64は、整合回路63が設定した入力電圧を蓄電器66が充電する電圧に 変換する。蓄電器66の電圧は例えば1Vまたは3.3Vである。充電管理回路65は、 複数の蓄電器66の電圧をモニターし、適切な蓄電器66に発電電力を充電する。

【0116】

このような微小電力を発電する発電素子60を用いたシステムでは損失を小さくすることが求められている。そこで、例えば整流回路62として実施例2およびその変形例1の同期整流回路を用い、電圧変換回路として実施例2の変形例2の降圧回路を用いる。これにより、電流センサの損失を抑制でき、システムにおける損失を抑制できる。 【0117】

以上、本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定 されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々 の変形・変更が可能である。

- 【符号の説明】
- [0118]
  - 10、30 素子
  - 12 基板
  - 14 抵抗体
  - 14a 活性部
  - 14b 引き出し部
  - 16a、16b 電極
  - 20、20a 検出器
  - 21 電流センサ
  - 22 コンパレータ
  - 2 4 差動積分回路

40

10

20

- 2.6 ヒステリシス判定器
- 28 制御部
- 54、54a、54b トランジスタ











,













(a)

(b)







(a)

(b)





【図8】



【図9】



【図10】







【図12】



【図13】



【図14】





(a)







【図16】







(a)









(26)





## 【図21】



【図22】



フロントページの続き

 (56)参考文献
 特開 2 0 0 9 - 1 6 4 5 8 0 ( J P , A )

 特開 2 0 1 0 - 2 8 7 5 8 2 ( J P , A )

 特開 2 0 1 7 - 5 0 5 9 1 4 ( J P , A )

 特開 2 0 1 5 - 1 8 5 8 4 2 ( J P , A )

 特開 2 0 0 8 - 2 3 5 4 2 7 ( J P , A )

 特開 2 0 0 7 - 2 7 1 4 0 1 ( J P , A )

 特開 2 0 0 7 - 0 6 8 1 9 4 ( J P , A )

 特開 2 0 0 7 - 1 9 8 1 4 3 ( J P , A )

 特開 2 0 0 7 - 5 3 7 6 2 7 ( J P , A )

 特開 2 0 0 7 - 5 3 7 6 2 7 ( J P , A )

 特現 2 0 0 7 - 5 0 0 7 0 7 ( J P , A )

(58)調査した分野(Int.Cl., DB名)

IPC G01R 15/00-17/22、 19/00-19/32、 H01L 29/78、 H01L 27/04