

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7164204号
(P7164204)

(45)発行日 令和4年11月1日(2022.11.1)

(24)登録日 令和4年10月24日(2022.10.24)

(51)Int. Cl.	F I
H O 1 L 29/66 (2006.01)	H O 1 L 29/66 T
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 3 0 1 J
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 6 2 2
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 8 B

請求項の数 21 (全 47 頁)

(21)出願番号 特願2019-557267(P2019-557267)	(73)特許権者 503360115
(86)(22)出願日 平成30年11月28日(2018.11.28)	国立研究開発法人科学技術振興機構
(86)国際出願番号 PCT/JP2018/043787	埼玉県川口市本町四丁目1番8号
(87)国際公開番号 W02019/107411	(74)代理人 110000408
(87)国際公開日 令和1年6月6日(2019.6.6)	弁理士法人高橋・林アンドパートナーズ
審査請求日 令和3年9月6日(2021.9.6)	(72)発明者 加藤 公彦
(31)優先権主張番号 62/591,798	東京都文京区本郷七丁目3番1号国立大学
(32)優先日 平成29年11月29日(2017.11.29)	法人東京大学内
(33)優先権主張国・地域又は機関 米国(US)	(72)発明者 高木 信一
特許法第30条第2項適用 平成29年12月2日 T	東京都文京区本郷七丁目3番1号国立大学
echnical Digest of 2017 I	法人東京大学内
EEE International Electro	(72)発明者 竹中 充
n Devices Meeting, pp. 377-	東京都文京区本郷七丁目3番1号国立大学
380, IEEE	法人東京大学内

最終頁に続く

(54)【発明の名称】トンネル電界効果トランジスタおよび電子デバイス

(57)【特許請求の範囲】

【請求項1】

第1導電型の第1半導体層と、

第1領域において前記第1半導体層に対してヘテロ接合を実現する第2導電型の第2半導体層と、

前記第1領域において前記第2半導体層を覆うゲート絶縁層と、

前記ゲート絶縁層を覆うゲート電極層と、

前記第1半導体層に電氣的に接続された第1電極層と、

前記第2半導体層に電氣的に接続された第2電極層と、

前記第1領域に対して前記第2電極層側に隣接した第2領域において前記第1半導体層と前記第2半導体層との間に挟まれた第1絶縁層と、

を含む、トンネル電界効果トランジスタ。

【請求項2】

前記第1半導体層および前記第2半導体層は、前記ヘテロ接合によってtype-IIバンド構造を形成するエネルギーバンド構造を有する材料である、請求項1に記載のトンネル電界効果トランジスタ。

【請求項3】

前記第2半導体層は、伝導帯の下端のエネルギーが前記第1半導体層のバンドギャップ内に存在する材料である、請求項2に記載のトンネル電界効果トランジスタ。

【請求項4】

10

20

前記第 2 半導体層のバンドギャップは、前記第 1 半導体層のバンドギャップよりも大きい、請求項 3 に記載のトンネル電界効果トランジスタ。

【請求項 5】

前記第 1 半導体層は、p 型半導体であり、

前記第 2 半導体層は、n 型半導体である、請求項 1 に記載のトンネル電界効果トランジスタ。

【請求項 6】

前記第 1 半導体層は、I V 族の半導体であり、

前記第 2 半導体層は、I I - V I 族の半導体である、請求項 5 に記載のトンネル電界効果トランジスタ。

【請求項 7】

前記第 1 半導体層は、I V 族の半導体であり、

前記第 2 半導体層は、金属酸化物を含む、請求項 5 に記載のトンネル電界効果トランジスタ。

【請求項 8】

前記第 1 半導体層は、S i を含む、請求項 7 に記載のトンネル電界効果トランジスタ。

【請求項 9】

前記第 1 半導体層は、S i および G e を含む、請求項 7 に記載のトンネル電界効果トランジスタ。

【請求項 10】

前記第 1 半導体層は、n 型半導体であり、

前記第 2 半導体層は、p 型半導体である、請求項 1 に記載のトンネル電界効果トランジスタ。

【請求項 11】

前記第 2 半導体層の誘電率は、前記第 1 半導体層の誘電率よりも低い、請求項 1 に記載のトンネル電界効果トランジスタ。

【請求項 12】

前記ゲート絶縁層および前記ゲート電極層は、前記第 1 領域から前記第 2 領域に拡がって配置されている、請求項 1 に記載のトンネル電界効果トランジスタ。

【請求項 13】

前記第 2 領域は、前記第 1 領域に対して前記第 1 電極層側にも隣接している、請求項 1 に記載のトンネル電界効果トランジスタ。

【請求項 14】

前記第 2 領域は、前記第 1 領域を囲んでいる、請求項 1 に記載のトンネル電界効果トランジスタ。

【請求項 15】

前記ヘテロ接合が実現される部分における前記第 1 半導体層と前記第 2 半導体層との間に、前記第 1 半導体層を成分に含む接合絶縁層が配置されている、請求項 1 に記載のトンネル電界効果トランジスタ。

【請求項 16】

前記第 1 半導体層は、p 型半導体であり、

前記第 2 半導体層は、n 型半導体であり、

前記接合絶縁層は、前記第 1 半導体層の酸化物を含む、請求項 15 に記載のトンネル電界効果トランジスタ。

【請求項 17】

前記第 1 半導体層は、n 型半導体であり、

前記第 2 半導体層は、p 型半導体であり、

前記接合絶縁層は、前記第 2 半導体層の酸化物を含む、請求項 15 に記載のトンネル電界効果トランジスタ。

【請求項 18】

10

20

30

40

50

前記ゲート電極層が、前記ヘテロ接合が実現される部分の一部のみを覆う、請求項 1 から 17 のいずれかに記載のトンネル電界効果トランジスタ。

【請求項 19】

第 1 導電型の第 1 半導体層と、
第 1 領域において前記第 1 半導体層に対してヘテロ接合を実現する第 2 導電型の第 2 半導体層と、

前記第 1 領域において前記第 2 半導体層を覆うゲート絶縁層と、

前記ゲート絶縁層を覆うゲート電極層と、

前記第 1 半導体層に電氣的に接続された第 1 電極層と、

前記第 2 半導体層に電氣的に接続された第 2 電極層と、

を含み、

10

前記第 1 領域は、前記第 1 半導体層と前記第 2 半導体層とがヘテロ接合を形成している領域であり、

前記ヘテロ接合の面に対して垂直に見た場合に、前記第 1 半導体層と前記第 2 半導体層とが重畳する領域は、前記第 1 領域よりも広い、トンネル電界効果トランジスタ。

【請求項 20】

請求項 1 から請求項 19 のいずれかに記載の複数のトンネル電界効果トランジスタと、
前記トンネル電界効果トランジスタに信号を供給するための導電体と、
を含む、電子デバイス。

【請求項 21】

前記複数のトンネル電界効果トランジスタは、N c h のトンネル電界効果トランジスタと、P c h のトンネル電界効果トランジスタとを少なくとも含み、

前記 N c h のトンネル電界効果トランジスタと、前記 P c h のトンネル電界効果トランジスタとを接続する導電体をさらに含む、請求項 20 に記載の電子デバイス。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トンネル電界効果トランジスタに関する。

【背景技術】

【0002】

電子デバイスの低消費電力化に向け、大規模集積回路を構成する MOS 型電界効果トランジスタ (MOSFET) の低電圧動作が強く求められている。近年、量子トンネル現象を新たな動作原理として用いたトンネル電界効果トランジスタ (以下、「TFET」という場合がある) が着目されている。量子トンネル現象を用いることで、温度および電子の統計分布に従わない動作、すなわち、小さな掃引電圧幅での急峻な ON/OFF 動作が可能となる。トンネル電界効果トランジスタは、例えば、特許文献 1 ~ 9 に開示されているように、様々な構成が検討されている。

30

【先行技術文献】

【特許文献】

【0003】

40

【特許文献 1】特開 2014 - 229713 号公報

【特許文献 2】国際公開第 2017 - 086921 号

【特許文献 3】特表 2018 - 511936 号公報

【特許文献 4】特開 2018 - 14359 号公報

【特許文献 5】特開 2013 - 187291 号公報

【特許文献 6】米国特許出願公開 2016 / 0043234 号明細書

【特許文献 7】米国特許出願公開 2012 / 0032227 号明細書

【特許文献 8】米国特許出願公開 2016 / 0204224 号明細書

【特許文献 9】米国特許出願公開 2018 / 0204953 号明細書

【発明の概要】

50

【発明が解決しようとする課題】

【0004】

ON状態での電流値は量子トンネル現象により律速されるため、十分に大きな値が得られていない。そのため、TFETの実用化のために、高いON電流および急峻なON/OFF動作を両立させることが求められている。

【0005】

本発明の目的の一つは、高いON電流および急峻なON/OFF動作を両立させたTFETを実現することにある。

【課題を解決するための手段】

【0006】

本発明の一実施形態によると、第1導電型の第1半導体層と、第1領域において前記第1半導体層に対してヘテロ接合を実現する第2導電型の第2半導体層と、前記第1領域において前記第2半導体層を覆うゲート絶縁層と、前記ゲート絶縁層を覆うゲート電極層と、前記第1半導体層に電氣的に接続された第1電極層と、前記第2半導体層に電氣的に接続された第2電極層と、前記第1領域に対して前記第2電極層側に隣接した第2領域において前記第1半導体層と前記第2半導体層との間に挟まれた第1絶縁層と、を含む、トンネル電界効果トランジスタが提供される。

【0007】

前記第1半導体層および前記第2半導体層は、前記ヘテロ接合によってtype-IIバンド構造を形成するエネルギーバンド構造を有する材料であってもよい。

【0008】

前記第2半導体層は、伝導帯の下端のエネルギーが前記第1半導体層のバンドギャップ内に存在する材料であってもよい。

【0009】

前記第2半導体層のバンドギャップは、前記第1半導体層のバンドギャップよりも大きくてもよい。

【0010】

前記第1半導体層は、p型半導体であり、前記第2半導体層は、n型半導体であってもよい。

【0011】

前記第1半導体層は、IV族の半導体であり、前記第2半導体層は、III-V族の半導体であってもよい。

【0012】

前記第1半導体層は、IV族の半導体であり、前記第2半導体層は、金属酸化物を含んでもよい。

【0013】

前記第1半導体層は、Siを含んでもよい。

【0014】

前記第1半導体層は、SiおよびGeを含んでもよい。

【0015】

前記第1半導体層は、n型半導体であり、
前記第2半導体層は、p型半導体であってもよい。

【0016】

前記第2半導体層の誘電率は、前記第1半導体層の誘電率よりも低くてもよい。

【0017】

前記ゲート絶縁層および前記ゲート電極層は、前記第1領域から前記第2領域に拡がって配置されてもよい。

【0018】

前記第2領域は、前記第1領域に対して前記第1電極層側にも隣接してもよい。

【0019】

10

20

30

40

50

前記第 2 領域は、前記第 1 領域を囲んでもよい。

【 0 0 2 0 】

前記ヘテロ接合が実現される部分における前記第 1 半導体層と前記第 2 半導体層との間に、前記第 1 半導体層を成分に含む接合絶縁層が配置されてもよい。

【 0 0 2 1 】

前記第 1 半導体層は、p 型半導体であり、前記第 2 半導体層は、n 型半導体であり、前記接合絶縁層は、前記第 1 半導体層の酸化物を含んでもよい。

【 0 0 2 2 】

前記第 1 半導体層は、n 型半導体であり、前記第 2 半導体層は、p 型半導体であり、前記接合絶縁層は、前記第 2 半導体層の酸化物を含んでもよい。

10

【 0 0 2 3 】

また、本発明の一実施形態によれば、第 1 導電型の第 1 半導体層と、第 1 領域において前記第 1 半導体層に対してヘテロ接合を実現する第 2 導電型の第 2 半導体層と、前記第 1 領域において前記第 2 半導体層を覆うゲート絶縁層と、前記ゲート絶縁層を覆うゲート電極層と、前記第 1 半導体層に電気的に接続された第 1 電極層と、前記第 2 半導体層に電気的に接続された第 2 電極層と、を含み、前記ヘテロ接合の面に対して垂直に見た場合に、前記第 1 半導体層と前記第 2 半導体層とが重畳する領域は、前記第 1 領域よりも広い、トンネル電界効果トランジスタが提供される。

【 0 0 2 4 】

上記いずれかに記載の複数のトンネル電界効果トランジスタと、前記トンネル電界効果トランジスタに信号を供給するための導電体と、を含む、電子デバイスが提供されてもよい。

20

【 0 0 2 5 】

前記複数のトンネル電界効果トランジスタは、N c h のトンネル電界効果トランジスタと、P c h のトンネル電界効果トランジスタとを少なくとも含み、前記 N c h のトンネル電界効果トランジスタと、前記 P c h のトンネル電界効果トランジスタとを接続する導電体をさらに含んでもよい。

【発明の効果】

【 0 0 2 6 】

本発明の一実施形態によれば、高い ON 電流および急峻な ON / OFF 動作を両立させた T F E T を実現することができる。

30

【図面の簡単な説明】

【 0 0 2 7 】

【図 1】本発明の第 1 実施形態における T F E T の構造を示す断面図である。

【図 2】本発明の第 1 実施形態における T F E T の構造を示す上面図である。

【図 3】本発明の第 1 実施形態における T F E T の製造方法を説明する図である。

【図 4】本発明の第 1 実施形態における T F E T の製造方法を説明する図である。

【図 5】本発明の第 1 実施形態における T F E T の製造方法を説明する図である。

【図 6】本発明の第 1 実施形態における T F E T の製造方法を説明する図である。

【図 7】本発明の第 1 実施形態における T F E T の製造方法を説明する図である。

40

【図 8】本発明の第 1 実施形態における T F E T の製造方法を説明する図である。

【図 9】本発明の第 1 実施形態における T F E T の製造方法を説明する図である。

【図 10】本発明の第 2 実施形態における T F E T の構造を示す断面図である。

【図 11】本発明の第 3 実施形態における T F E T の構造を示す断面図である。

【図 12】本発明の第 3 実施形態における T F E T の製造方法を説明する図である。

【図 13】本発明の第 3 実施形態における T F E T の製造方法を説明する図である。

【図 14】本発明の第 3 実施形態における T F E T の製造方法を説明する図である。

【図 15】本発明の第 3 実施形態における T F E T の製造方法を説明する図である。

【図 16】本発明の第 3 実施形態における T F E T の製造方法を説明する図である。

【図 17】本発明の第 4 実施形態における T F E T の構造を示す断面図である。

50

- 【図18】本発明の第4実施形態におけるTFETの製造方法を説明する図である。
- 【図19】本発明の第4実施形態におけるTFETの製造方法を説明する図である。
- 【図20】本発明の第4実施形態におけるTFETの製造方法を説明する図である。
- 【図21】本発明の第4実施形態におけるTFETの製造方法を説明する図である。
- 【図22】本発明の第4実施形態におけるTFETの製造方法を説明する図である。
- 【図23】本発明の第4実施形態におけるTFETの製造方法を説明する図である。
- 【図24】本発明の第4実施形態におけるTFETの製造方法を説明する図である。
- 【図25】本発明の第5実施形態におけるTFETの構造を示す断面図である。
- 【図26】本発明の第6実施形態におけるTFETの構造を示す断面図である。
- 【図27】本発明の第7実施形態における電子デバイスの構造を示す断面図である。 10
- 【図28】本発明の第8実施形態における電子デバイスの構造を示す断面図である。
- 【図29】本発明の第9実施形態におけるTFETの構造を示す断面図である。
- 【図30】本発明の第10実施形態におけるTFETの構造を示す断面図である。
- 【図31】本発明の第11実施形態におけるTFETの構造を示す断面図である。
- 【図32】本発明の第12実施形態におけるTFETの構造の第1の例を示す上面図である。
- 【図33】本発明の第12実施形態におけるTFETの構造の第2の例を示す上面図である。
- 【図34】本発明の第13実施形態におけるTFETの構造を示す上面図である。
- 【図35】本発明の第14実施形態におけるTFETの構造を示す上面図である。 20
- 【図36】本発明の第14実施形態におけるTFETの構造を示す断面図である。
- 【図37】本発明の第15実施形態におけるTFETの構造を示す上面図である。
- 【図38】本発明の第15実施形態におけるTFETの構造を示す断面図である。
- 【図39】本発明の第16実施形態におけるTFETの構造を示す上面図である。
- 【図40】本発明の第16実施形態におけるTFETの構造を示す断面図である。
- 【図41】本発明の第17実施形態におけるTFETの構造を示す上面図である。
- 【図42】本発明の第17実施形態におけるTFETの構造を示す水平断面図である。
- 【図43】本発明の第17実施形態におけるTFETの構造を示す垂直断面図である。
- 【図44】本発明の第17実施形態におけるTFETの製造方法を説明する図である。
- 【図45】本発明の第17実施形態におけるTFETの製造方法を説明する図である。 30
- 【図46】本発明の第17実施形態におけるTFETの製造方法を説明する図である。
- 【図47】本発明の第17実施形態におけるTFETの製造方法を説明する図である。
- 【図48】本発明の第17実施形態におけるTFETの製造方法を説明する図である。
- 【図49】本発明の第18実施形態におけるTFETの構造を示す上面図である。
- 【図50】本発明の第18実施形態におけるTFETの構造を示す水平断面図である。
- 【図51】本発明の第18実施形態におけるTFETの構造を示す垂直断面図である。
- 【図52】酸化物半導体/IV族半導体積層型トンネル電界効果トランジスタの、(a)素子構造概念図、(b)OFF状態および(c)ON状態におけるエネルギーバンド図。
- 【図53】材料候補のまとめ。p型IV族半導体の価電子帯からn型酸化物半導体の伝導帯へとband-to-bandトンネルが生じる。括弧内には各材料の比誘電率を示している。 40
- 【図54】(a)SiGeのエネルギーバンド構造、および、(b)band-to-bandトンネルの還元有効質量。
- 【図55】n-ZnO/p-SiGeトンネル接合におけるWKBトンネル確率のGe濃度依存性。
- 【図56】TCADシミュレーションに用いた3次元デバイス構造模式図と主要なパラメータ。
- 【図57】(a)p-Geソースからn-ZnOチャネル表面へのband-to-bandトンネルの2次元イメージ図。(b)n-ZnO/p-Ge、および(c)n-Ge/p-Geトンネル接合におけるエネルギーバンド図。 50

【図58】シミュレーションにより得られた $n\text{-ZnO}/p\text{-Ge}$ TFET の $I_d\text{-}V_g$ 特性。

【図59】シミュレーションにより得られた $n\text{-ZnO}/p\text{-Ge}$ TFET の $I_d\text{-}V_g$ 特性。(a)線形表記、および(b)対数表記で示している。

【図60】(a)酸化物半導体膜厚、および(b)EOT (equivalent oxide thickness) が $n\text{-OS}$ (oxide semiconductor) / $p\text{-Ge}$ TFET の V_{BTBT} に与える影響。

【図61】(a)酸化物半導体膜厚、および(b)EOTが $n\text{-OS}/p\text{-Ge}$ TFET の ON 電流に与える影響。

【図62】Si、SiGe、Geソースを有するTFETにおけるON電流と酸化物半導体の E_{cos} 位置の関係。

【図63】Si、SiGe、Geソースを有するTFETにおける(a)最小SS (sub threshold swing) 値、および、(b)平均SS値と酸化物半導体の E_{cos} 位置の関係。最小SS値は電流値 $1\text{ pA}/\mu\text{m}$ 付近において得られた値、平均SS値は電流値 $1\text{ pA}/\mu\text{m}$ から 0.3 V の V_g 掃引幅を想定した際の値を用いている。

【図64】様々なGe中不純物濃度 (N_d) を仮定した場合の $I_d\text{-}V_g$ 特性。酸化物半導体中の不純物濃度 (N_d) は $5 \times 10^{18}\text{ cm}^{-3}$ とした。

【図65】様々な酸化物半導体中不純物濃度 (N_d) を仮定した場合の、(a)ON電流および(b)ON/OFF電流比とGe中不純物濃度 (N_d) の関係。

【図66】界面準位が $I_d\text{-}V_g$ 特性の劣化に与える影響。均一に分布した界面準位密度 (D_{it}) を想定した。

【図67】 $n\text{-ZnO}/p\text{-}(Si\text{もしくは}Ge)$ TFETの素子作製プロセスフロー。不純物を添加しないZnO膜はパルスレーザー堆積(PLD)法により形成され、ゲート絶縁膜のEOTは 5.8 nm である。TFET動作を実験的に証明するため、トップゲートの薄膜トランジスタ(TFT)も同一チップ上に作製されている。

【図68】 $n\text{-ZnO}/p\text{-Si}$ TFETの断面透過電子顕微鏡像(cross-sectional transmission electron microscopy, XTEM)。柱状の多結晶ZnOの形成、およびZnO/Siにおける膜厚約 1.5 nm の SiO_2 界面層も観測される。

【図69】ZnO/Si表面の原子間力顕微鏡像(atomic force microscopy, AFM)。 400°C の O_2 アニール後の結果を示している。

【図70】(a)Si2pおよびZn3p、ならびに(b)価電子帯端のX線光電子分光スペクトル、さらに(c)得られた $n\text{-ZnO}/\text{SiO}_2$ 界面層/ $p\text{-Si}$ 積層構造のエネルギーバンド構造。

【図71】初めての ZnO/Si TFET動作実証を示す、素子の $I_d\text{-}V_g$ 特性。素子構造の断面図を図中に示している。

【図72】TFETのSS- I_d 特性。最小SS値は $71\text{ mV}/\text{dec}$ を達成した。比較としてZnO TFTの結果も併せて示している。

【図73】ZnO/Si TFETの $I_d\text{-}V_g$ 特性。縦軸は線形表記。

【図74】Siソース中の不純物濃度に依存した $I_d\text{-}V_g$ 特性の変化。約 10^{19} cm^{-3} の不純物濃度が、高いON電流とON/OFF電流比の両立に最適であることが分かる。

【図75】ZnO/Si TFETの $I_d\text{-}V_g$ 特性。Si中の不純物濃度は $2 \times 10^{20}\text{ cm}^{-3}$ で、縦軸は対数表記。負性微分抵抗(NDR)を示唆する特性が観測される。

【図76】ZnO/Si TFETにおける、ON電流とトンネル接合面積の依存性。

【図77】様々な測定条件により得られたZnO/Si TFETのSS- I_d 特性。

【図78】ZnO/SiおよびZnO/Ge TFETにおける $I_d\text{-}V_g$ 特性の比較。

【図79】様々な後処理を施して作製したZnO薄膜トランジスタ(TFT)の $I_d\text{-}V_g$ 特性。TFETではないことに注意。(a)いずれの後処理も施していない試料、(b)後 O_2 熱処理(POA)のみ施した試料、(c)後プラズマ酸化(PPO)のみ施した試料、(d)PPOとPOAを共に施した試料。トップゲート動作の $I_d\text{-}V_g$ 特性が悪く、 $\text{Al}_2\text{O}_3/\text{ZnO}$ 界面制御の重要性が示唆される。

10

20

30

40

50

【図80】ゲートスタック制御(I)：TFETの $I_{ds} - V_{gs}$ 特性に対するPPOの影響。PPOは、1nmの Al_2O_3 を堆積した時点で施している。

【図81】ゲートスタック制御(II)：TFETの $I_{ds} - V_{gs}$ 特性に対する350 におけるPOAおよびPNAの影響。PPOも事前に施した試料の結果を示している。

【図82】Nch-Pch単一構造TFETにおける動作モード図である。

【図83】NchTFETおよびPchTFETのそれぞれにおける動作モード図である。

【図84】NchTFETの $I_{ds} - V_{gs}$ 特性および $I_{ds} - V_{ds}$ 特性を示す図である。

【図85】PchTFETの $I_{ds} - V_{gs}$ 特性および $I_{ds} - V_{ds}$ 特性を示す図である。

【図86】NchTFETの $I_{ds} - V_{gs}$ 特性の温度依存性を示す図である。

【図87】NchTFETの様々な特性値の温度依存性を示す図である。

10

【図88】ZnOとZnSnOとの表面状態および断面状態を比較する図である。

【図89】ZnOとZnSnOとについて様々な特性を比較する図である。

【発明を実施するための形態】

【0028】

以下、図面を参照して本発明の一実施形態について説明する。なお、以下に示す各実施形態は一例であって、本発明は、これらの実施形態に限定して解釈されるものではない。すなわち、以下に説明する複数の実施形態を互いに組み合わせたり、各実施形態に対して公知の技術を適用して変形をしたりして、様々な態様で実施をすることが可能である。

【0029】

本実施形態で参照する図面において、同一部分または同様な機能を有する部分には同一の符号または類似の符号(数字の後にA、B等を付しただけの符号)を付し、その繰り返しの説明は省略する場合がある。また、図面の寸法比率は説明の都合上実際の比率とは異なったり、構成の一部が図面から省略されたりする場合がある。本件明細書に添付する図面においては、図示と理解のしやすさの便宜上、適宜縮尺および縦横の寸法比等を、実物のそれらから変更し誇張したり、構成の一部が図面から省略されたりする場合がある。さらに、以下の説明において、構造間の位置関係を規定するとき、「上」または「下」は、一方の構造の直上または直下に他の構造が配置される場合に限らず、構造間においてさらに他の構造を介在する場合を含む。

20

【0030】

まず、トンネル電界効果トランジスタ(TFET)の様々な実施形態について説明する。TFETの動作に関するシミュレーション結果および実証結果については、各実施形態の説明の後にまとめて記載する。

30

【0031】

<第1実施形態>

[1.トンネル電界効果トランジスタの構造]

本発明の第1実施形態に係るTFETの構造について、図1、2を用いて説明する。第1実施形態においては、NchのTFETを示している。すなわち、ゲートの電圧がソースに対して高くする方向でON状態(ソース-ドレイン間を導通)とし、低くする方向でOFF状態(ソース-ドレイン間を非導通)とする。

【0032】

40

図1は、本発明の第1実施形態におけるTFETの構造を示す断面図である。図2は、本発明の第1実施形態におけるTFETの構造を示す上面図である。図1は、図2における切断線C1-C2における断面図に対応する。TFET10は、トンネル接合を用いた電界効果トランジスタであって、p型IV族半導体層110、n型酸化物半導体層200、ゲート絶縁層300、ゲート電極層400、分離絶縁層500、ソース電極層710、およびドレイン電極層720を含む。トンネル接合は、p型IV族半導体層110とn型酸化物半導体層200とがヘテロ接合をする部分(ヘテロ接合部900)によって形成される。ヘテロ接合部900は、領域A1(第1領域)において実現される。なお、ヘテロ接合部900においては、p型IV族半導体層110とn型酸化物半導体層200とが接触する場合に限らず、トンネル接合を維持できる程度に非常に薄い絶縁層が存在してもよ

50

い。例えば、p型Ⅳ族半導体層110の酸化物または窒化物が1nm程度の厚さで存在したとしても、事実上、p型Ⅳ族半導体層110とn型酸化物半導体層200とがヘテロ接合部900を形成しているものとみなす。

【0033】

p型Ⅳ族半導体層110は、半導体基板100の一部に形成され、n型Ⅳ族半導体層120に囲まれることによってトランジスタ毎に分離された半導体層である。p型Ⅳ族半導体層110は、この例では、主成分としてSi(シリコン)を含み、不純物の添加によってp型の導電性を有する。半導体基板100は、Si基板である。n型Ⅳ族半導体層120は、主成分としてSiを含み、不純物の添加によってn型の導電性を有する。なお、p型Ⅳ族半導体層110は、p型のGe(ゲルマニウム)、p型のSiGe(シリコンゲルマニウム)など、他のⅣ族の半導体を主成分としてもよい。

10

【0034】

n型酸化物半導体層200は、この例では、主成分としてZnO(酸化亜鉛)を含み、不純物の添加および欠陥の導入の少なくとも一方によってn型の導電性を有する。n型酸化物半導体層200の厚さは、5nm以上15nm以下であることが好ましく、この例では、10nmである。n型酸化物半導体層200は、Zn(亜鉛)、In(インジウム)、Sn(錫)、Ga(ガリウム)およびTi(チタン)の少なくとも一つの酸化物、およびこれらを組み合わせた材料で形成された金属酸化物半導体であってもよく、例えば、In₂O₃(酸化インジウム)、InGaZnO(酸化インジウムガリウム亜鉛)など、他の酸化物半導体を主成分としてもよい。なお、以下の説明において酸化物半導体を「OS」またはn型であることを含めて「n-OS」と記載することがある。

20

【0035】

上述したように、p型Ⅳ族半導体層110とn型酸化物半導体層200とは、領域A1においてヘテロ接合部900を形成し、それ以外の部分においては、分離絶縁層500によって分離されている。すなわち、図2に示すように、ヘテロ接合部900の面に対して垂直に見た場合に、p型Ⅳ族半導体層110とn型酸化物半導体層200とが重畳する領域A3は、領域A1よりも広がっている。この例では、領域A3の縁部の全体は、領域A1の縁部よりも外側に配置されている。

【0036】

分離絶縁層500(第1絶縁層)は、この例では、主成分としてSiO₂(酸化シリコン)を含む。分離絶縁層500は、絶縁性を有する材料であればSiO₂に限られず、例えば、Si₃N₄(窒化シリコン)、その他の金属酸化物であってもよい。分離絶縁層500の厚さは、10nm以上20nm以下であることが好ましく、この例では、15nmである。分離絶縁層500は、ヘテロ接合部900の領域A1以外の領域A2(第2領域)において、p型Ⅳ族半導体層110とn型酸化物半導体層200とを分離する。分離絶縁層500の領域A1に対応する部分には、接合開口部550が形成され、これによって分離絶縁層500に囲まれたヘテロ接合部900が形成される。接合開口部550の側面は、この例では傾斜している。

30

【0037】

ここで、領域A3は、領域A1と領域A2とを合わせた領域に対応する。領域A2は、少なくとも、領域A1に対してドレイン電極層720側に隣接した領域を含む。図1、2に示す例では、領域A2は、領域A1を囲んでいる。すなわち、この例では、領域A2は、領域A1に対してソース電極層710側に隣接した領域も含んでいる。

40

【0038】

領域A2のうち、特に、領域A1(ヘテロ接合部900)に対してドレイン電極層720側に隣接した領域における分離絶縁層500の存在によって、ヘテロ接合部900からドレイン電極層720までのn型酸化物半導体層200において、p型Ⅳ族半導体層110の影響により空乏化することを抑制することができる。空乏化を抑制することによって、n型酸化物半導体層200が高抵抗化してしまうことを抑制することができる。また、このような構造を採用することで、後述するように、p型Ⅳ族半導体層110または

50

n型酸化物半導体層200の外縁での電界集中を避けることができるため、急峻なON/OFF動作(小さいSS値)を実現することができる。

【0039】

ゲート絶縁層300は、この例では、主成分として Al_2O_3 (酸化アルミニウム)を含む。ゲート絶縁層300の厚さは、1nm以上15nm以下であることが好ましく、この例では、10nmである。ゲート絶縁層300は、例えば、 HfO_2 (酸化ハフニウム)、 ZrO_2 (酸化ジルコニウム)、 La_2O_3 (酸化ランタン)、 Y_2O_3 (酸化イットリウム)など、他の高誘電率の絶縁材料で形成されてもよく、これらの組み合わせた材料を用いてもよい。また、ゲート絶縁層300は、 SiO_2 など、いわゆる高誘電率とはいわれない絶縁材料で形成されてもよい。

10

【0040】

ゲート絶縁層300は、少なくとも領域A1においてn型酸化物半導体層200を覆い、ゲート電極層400とn型酸化物半導体層200とに挟まれている。この例では、n型酸化物半導体層200の外縁と、ゲート絶縁層300の外縁とは、一致しているが、必ずしも一致していなくてもよい。

【0041】

ゲート電極層400は、この例では、主成分としてTiN(窒化チタン)を含む。ゲート電極層400は、Al(アルミニウム)、W(タングステン)、Ta(タンタル)、Ti(チタン)、Co(コバルト)、Mo(モリブデン)、TaN(窒化タンタル)、WN(窒化タングステン)など、他の導電体であってもよい。閾値(V_{th})の調整のため、n型酸化物半導体層200との関係で、適切な仕事関数を有する導電体を用いることが望ましい。なお、ゲート電極層400に対して、さらにAl等の低抵抗の導電体を積層することによって、電極層全体として低抵抗化するようにしてもよい。

20

【0042】

ゲート電極層400は、ゲート絶縁層300を覆う。ゲート電極層400は、この例では、領域A1だけではなく、領域A1の外側まで広がって配置されている。すなわち、この例では、ゲート絶縁層300およびゲート電極層400は、接合開口部550を塞ぐように配置されている。なお、ゲート電極層400の縁部とヘテロ接合部900の縁部とが一致していてもよい。

【0043】

ソース電極層710(第1電極層)は、この例では、主成分としてNi(ニッケル)を含む。ソース電極層710は、Al、W、Ta、Ti、Co、Mo、TiN、TaN、WNなど、他の導電体であってもよい。ソース電極層710は、分離絶縁層500に形成された開口部570を介して、p型IV族半導体層110に電気的に接続される。なお、ソース電極層710に対して、さらにAl等の低抵抗の導電体を積層することによって、電極層全体として低抵抗化するようにしてもよい。

30

【0044】

ドレイン電極層720(第2電極層)は、この例では、主成分としてAlを含む。ドレイン電極層720は、W、Ta、Ti、Co、Mo、TiN、TaN、WNなど、他の導電体であってもよい。ドレイン電極層720は、ゲート絶縁層300に形成された開口部370を介して、n型酸化物半導体層200に電気的に接続される。この例では、ソース電極層710とドレイン電極層720とは、ヘテロ接合部900を介して反対側に配置されている。

40

【0045】

[2.ヘテロ接合]

続いて、ヘテロ接合部900について説明する。TFETの動作原理である量子トンネル現象は、後述する図52に示すように、p型IV族半導体層110の価電子帯中の電子がn型酸化物半導体層200の伝導帯中の準位へと遷移する過程である。トンネル確率は、電子が感じるエネルギー障壁の高さとトンネル距離とが指数関数的に影響する。したがって、これらを共に小さくする材料と構造の選択が求められる。加えて理想的なエネルギー

50

ーバンド構造（エネルギーバンドアライメント）を実現するためには、接合界面近傍における元素の組成および不純物濃度（分布）を精密に制御する必要がある。

【0046】

p型IV族半導体層110とn型酸化物半導体層200とのヘテロ接合によって、type-IIバンド構造を形成するエネルギーバンド構造が実現される。このエネルギーバンド構造は、後述する図52に例示されている。また、様々な材料のエネルギーバンドは、後述する図53に例示されている。

【0047】

type-IIバンド構造を実現するために、n型酸化物半導体層200は、伝導帯の下端のエネルギー E_{c0s} が、p型IV族半導体層110のバンドギャップ内に存在する材料である。すなわち、p型IV族半導体層110の伝導帯の下端のエネルギー E_{civ} と価電子帯の上端のエネルギー E_{viv} との間に、 E_{c0s} が存在する。また、 E_{c0s} とn型酸化物半導体層200の価電子帯の上端のエネルギー E_{v0s} との間に、 E_{viv} が存在する。このような条件を満たす材料が、p型IV族半導体層110とn型酸化物半導体層200との材料として選択される。このとき、 E_{viv} と E_{c0s} との差が小さくなる材料が選択されることで、エネルギー障壁の高さを小さくすることができる。このとき、p型IV族半導体層110において、SiGeを用い、SiとGeとの組成比を変えてもよい。これによって、後述する図54に示すように、n型酸化物半導体層200の種類に応じたエネルギーバンドの関係を自由に調整することもできる。

【0048】

p型IV族半導体層110のバンドギャップの大きさよりも、n型酸化物半導体層200のバンドギャップの大きさが大きくなるように、それぞれの材料が選択されてもよい。このような関係にすることによって、OFF状態での漏れ電流を小さくすることができる。

【0049】

ヘテロ接合部900によって、トンネル接合が面によって形成されるため、接合面全体にトンネル現象を誘起することができる。そのため、電流値を増大させることができる。また、この構造によって、n型酸化物半導体層200の厚さでトンネル距離を制御することができる。n型酸化物半導体層200を薄くすると、トンネル距離を小さくすることができる一方、接合面からドレイン電極層720に至る経路の抵抗が上昇するため、膜の抵抗率との関係で適切な厚さが設定されればよい。

【0050】

さらに、ヘテロ接合部900のうちトンネル接合として寄与する部分（ヘテロ接合部900のうちゲート絶縁層300を介してゲート電極層400に覆われている部分）の外縁が、p型IV族半導体層110の外縁とn型酸化物半導体層200の外縁とのいずれとも一致しないように配置されることによって、p型IV族半導体層110の外縁またはn型酸化物半導体層200の外縁でのトンネル現象を抑制することができる。これによって、トンネル現象をより均一に誘発することができ、より急峻なON/OFF動作を実現することもできる。なお、第1実施形態では、ヘテロ接合部900と、トンネル接合として寄与する部分（ヘテロ接合部900のうちゲート絶縁層300を介してゲート電極層400に覆われている部分）とは同じ領域になるが、後述する図32、図33に例示される構成のように、同じ領域にはならない場合がある。

【0051】

p型IV族半導体層110の誘電率よりもn型酸化物半導体層200の誘電率が小さくなるように、それぞれの材料が選択されてもよい。例えば、図53に示すように、Siの誘電率は11.2、Geの誘電率は16.2である一方、ZnOの誘電率は、8.8である。電束密度（誘電率×電界）一定の原理により、誘電率が小さい膜のエネルギーバンドが優先的に変調される。そのため、ゲート電極層400側の半導体層（n型酸化物半導体層200）に誘電率が相対的に低い材料を用いることでトンネル距離が小さくなり、n型酸化物半導体層200の膜厚に近づけることができる（後述する図52（c）および図5

10

20

30

40

50

7 参照)。

【0052】

一般的に、SiGeおよびGeは、点欠陥によりp型の導電性を有する傾向が強い。一方、酸化物半導体は、点欠陥によりn型の導電性を有する傾向が強い。そのため、不純物元素の添加がなくても材料固有の性質を利用してp-nトンネル接合を形成することで、材料界面とキャリア伝導の界面とが自己整合的に一致し、かつ、非常に急峻であるため、理想的なエネルギーバンド構造を実現することができる。後述する実証結果(図67から図81)に示すように、p型IV族半導体層110としてp型Siまたはp型Geと、不純物添加のないZnOとを組み合わせることで、量子トンネル効果を示唆する動作特性が得られている。

10

【0053】

[3. トンネル電界効果トランジスタの製造方法]

TFET10の製造方法について、図3から図9を用いて説明する。

【0054】

図3から図9は、本発明の第1実施形態におけるTFETの製造方法を説明する図である。まず、n型IV族半導体層120を含む半導体基板100において、p型の導電性を付与する不純物イオン(例えば、Bイオン)を注入することによってp型IV族半導体層110を形成する(図3)。このとき、不純物濃度(N_A)は、 $10^{18} \text{ cm}^{-3} \sim 10^{20} \text{ cm}^{-3}$ で、n型酸化物半導体層200の不純物濃度(N_D)に応じて適宜設定される。

20

【0055】

続いて、半導体基板100のうちp型IV族半導体層110が形成された面を覆うように分離絶縁層500を形成する(図4)。この例では、分離絶縁層500として、15nmの SiO_2 が堆積される。

【0056】

続いて、分離絶縁層500のうち、ヘテロ接合部900が形成される領域A1に対応する部分を除去して、接合開口部550を形成する(図5)。この例では、フォトリソグラフィ技術を用い、接合開口部550が形成される。接合開口部550が化学エッチング(ウェットエッチング)によって形成されることで、傾斜を有する側面が形成される。プラズマエッチングによって基板に対して垂直に近い側面を有する接合開口部550が形成されてもよい。接合開口部550の大きさは、一辺が5nm~500nm程度、好ましくは10nm~200nm程度の大きさで設定される。

30

【0057】

続いて、分離絶縁層500および接合開口部550によって露出されたp型IV族半導体層110を覆うように、n型酸化物半導体層200およびゲート絶縁層300を順に堆積する(図6)。この例では、n型酸化物半導体層200として10nmのZnOがスパッタ法などの物理気相堆積(PVD)法により堆積される。ZnOは、化学気相成長(CVD)法または原子層堆積(ALD)法によって堆積されてもよい。このとき、n型酸化物半導体層200の不純物濃度(N_D)は、 $10^{18} \text{ cm}^{-3} \sim 10^{20} \text{ cm}^{-3}$ で、p型IV族半導体層110の不純物濃度(N_A)に応じて適宜設定される。これは、不純物を添加する場合と、ZnOにおける点欠陥(酸素空孔および格子間亜鉛)をそのまま電子を生成する欠陥準位として使用する場合とがある。欠陥量制御には、熱処理が用いられる。

40

【0058】

また、この例では、ゲート絶縁層300として1nmの Al_2O_3 がALD法によって堆積される。ゲート絶縁層300を堆積後、酸素プラズマ処理によって、ゲート絶縁層300とn型酸化物半導体層200との界面の欠陥密度を低減させてもよい。この場合、酸素プラズマ処理の後に、漏れ電流の抑制のため、さらに絶縁膜を9nm堆積する。この絶縁膜は、最初に形成した Al_2O_3 とするが、別の高誘電率の絶縁材料で形成されてもよい。ゲート絶縁層300を堆積後に、熱処理によってゲート絶縁層300およびn型酸化物半導体層200の膜質の高品質化を行ってもよい。なお、この処理は、以下に説明する所定パターンへの加工後に行ってもよい。

50

【 0 0 5 9 】

続いて、n型酸化物半導体層200およびゲート絶縁層300を所定のパターンに形成する(図7)。この例では、フォトリソグラフィ技術を用い、化学エッチング(ウェットエッチング)またはプラズマエッチングによって、n型酸化物半導体層200およびゲート絶縁層300が加工される。この例では、n型酸化物半導体層200およびゲート絶縁層300は、同じパターンで加工されるが、別々のパターンで加工されてもよい。

【 0 0 6 0 】

続いて、ゲート電極層400を、ゲート絶縁層300上に形成する(図8)。この例では、ゲート電極層400は、まず、ゲート絶縁層300および分離絶縁層500を覆うように堆積され、フォトリソグラフィ技術を用い、プラズマエッチング等により所定のパターンに加工される。この例では、ゲート電極層400として、TiNがスパッタ法により堆積されるが、原子層堆積(ALD)法などの別の方法で堆積されてもよい。

10

【 0 0 6 1 】

続いて、分離絶縁層500に開口部570を形成し、p型IV族半導体層110の一部を露出し、ソース電極層710をこの露出された部分に電氣的に接続されるように形成する(図9)。まず、フォトリソグラフィ技術を用い、化学エッチング等により開口部570を形成する。そして、ソース電極層710は、少なくともp型IV族半導体層110の露出された部分を覆うように堆積され、フォトリソグラフィ技術を用い、プラズマエッチング等により所定のパターンに加工される。この例では、ソース電極層710として、Niがスパッタ法により堆積される。

20

【 0 0 6 2 】

続いて、ゲート絶縁層300に開口部370を形成し、n型酸化物半導体層200の一部を露出し、ドレイン電極層720をこの露出された部分に電氣的に接続されるように形成する(図1)。これによって、図1に示すTFET10が形成される。まず、フォトリソグラフィ技術を用い、化学エッチング等により開口部370を形成する。

【 0 0 6 3 】

そして、ドレイン電極層720は、少なくともn型酸化物半導体層200の露出された部分を覆うように堆積され、フォトリソグラフィ技術を用い、プラズマエッチング等により所定のパターンに加工される。この例では、ドレイン電極層720として、Alがスパッタ法により形成される。なお、ドレイン電極層720を形成するとき、ソース電極層710およびゲート電極層400の少なくとも一方に対して、ドレイン電極層720の材料であるAlをさらに積層する形態で残存させてもよい。

30

【 0 0 6 4 】

なお、この製造方法については一例であって、所望の構造を製造できるのであれば、別の方法が適用されてもよい。例えば、ソース電極層710を形成する前に、ドレイン電極層720が形成されるようにしてもよい。以上が、TFET10の製造方法についての説明である。

【 0 0 6 5 】

< 第2実施形態 >

第1実施形態では、NchのTFET10を示していたが、第2実施形態では、PchのTFET10Aを実現する構成について説明する。すなわち、ゲートの電圧がソースに対して低くする方向でON状態(ソース-ドレイン間を導通)とし、高くする方向でOFF状態(ソース-ドレイン間を非導通)とする。

40

【 0 0 6 6 】

ヘテロ接合部900を実現する第1導電型の第1半導体層と第2導電型の第2半導体層とのうち、ゲート電極層400に近い側が第2半導体層と定義する。ON状態にするときには、NchであってもPchであっても、n型の半導体層がp型の半導体層よりも高い電位になるようにゲート電圧が制御される(後述する図83参照)。この場合、NchのTFETであれば、第1導電型がp型であり、第2導電型がn型である。一方、PchのTFETであれば、第1導電型がn型であり、第2導電型がp型である。このように、P

50

c hのTFETであれば、N c hのTFETとは逆に、ゲート電極層400に近い半導体層がp型の半導体となるようにすればよい。

【0067】

図10は、本発明の第2実施形態におけるTFETの構造を示す断面図である。図10に示すP c hのTFET10Aの例では、ヘテロ接合部900を形成するp型IV族半導体層110Aとn型酸化物半導体層200Aとにおいて、p型IV族半導体層110Aの方がゲート電極層400に近い側に配置される。そのため、ゲート電極層400から遠い側に配置されるn型酸化物半導体層200Aは、絶縁基板1000上に形成されて、TFET毎に分離される。したがって、P c hTFET(第2実施形態)は、N c hのTFET10(第1実施形態)におけるp型IV族半導体層110とn型酸化物半導体層200との位置関係が入れ替わった構成である。

10

【0068】

この構成においても、少なくとも領域A2において、p型IV族半導体層110Aとn型酸化物半導体層200Aとを分離するための分離絶縁層500が配置される。これによって、ヘテロ接合部900からドレイン電極層720までにおいてp型IV族半導体層110Aが空乏化により高抵抗化してしまうことを抑制することができる。

【0069】

なお、この例では、ゲート電極層400側においては、p型IV族半導体層110Aが配置されるため、n型酸化物半導体層200Aの誘電率よりもp型IV族半導体層110Aの誘電率が低くなるようにすることが好ましい。例えば、n型酸化物半導体層200Aとして、SiまたはGeに比べて高い誘電率を有するTiO₂を用いてもよい。

20

【0070】

<第3実施形態>

第3実施形態では、第1実施形態におけるゲート絶縁層300およびゲート電極層400をn型酸化物半導体層200側からp型IV族半導体層110側に変更することによってP c hのTFET10Bを実現した例について説明する。

【0071】

図11は、本発明の第3実施形態におけるTFETの構造を示す断面図である。図11に示す例では、導電性(n型またはp型)を有するSi基板、Si基板上に設けられた埋込酸化膜(SiO₂)、および埋込酸化膜上に設けられたp型のSi薄膜を用いて、P c hのTFET10Bが形成されている。ここで、Si基板からゲート電極層400Bが形成され、埋込酸化膜からゲート絶縁層300Bが形成され、p型のSi薄膜からp型IV族半導体層110Bが形成される。したがって、p型IV族半導体層110Bとして、p型のGe、p型のSiGeなど、他のIV族の半導体を用いる場合には、埋込酸化膜上に設けられる薄膜についてもGe薄膜、SiGe薄膜を用いればよい。他の実施形態においても同様である。

30

【0072】

P c hで動作させるためには、ゲート電極層400B側に配置されるp型IV族半導体層110Bを薄くする必要がある。この例では、p型IV族半導体層110Bの膜厚は10nmである。この結果、領域A2は、少なくとも、p型IV族半導体層110Bに接続されるドレイン電極層720と、ヘテロ接合部900との間に設けられる。一方、n型酸化物半導体層200は、ゲート電極層400Bとは反対側に位置する半導体であるため、第1実施形態におけるn型酸化物半導体層200よりも厚くてもよい。

40

【0073】

ドレイン電極層720は、分離絶縁層500に形成された開口部570を介して、p型IV族半導体層110Bに電氣的に接続されている。ソース電極層710は、n型酸化物半導体層200に電氣的に接続されている。なお、n型酸化物半導体層200の表面に絶縁層を形成し、その絶縁層に形成された開口部を介してソース電極層710とn型酸化物半導体層200とが接続されてもよい。ゲート引き出し電極層740は、分離絶縁層500およびゲート絶縁層300Bを貫通して、ゲート電極層400Bに電氣的に接続される

50

【0074】

図12から図16は、本発明の第3実施形態におけるTFETの製造方法を説明する図である。半導体基板100Bを準備する(図12)。半導体基板100Bは、ゲート電極層400BとなるSi基板420B、Si基板上に設けられゲート絶縁層300Bとなる埋込酸化膜(SiO₂)、および埋込酸化膜上に設けられp型IV族半導体層110Bとなるp型のSi薄膜を含む。

【0075】

まず、p型IV族半導体層110BをTFETごとに分離する(図13)。p型IV族半導体層110Bは、フォトリソグラフィ技術を用い、プラズマエッチング等により所定のパターンに加工される。続いて、分離絶縁層500を堆積し、接合開口部550を形成する(図14)。そして、n型酸化物半導体層200、ソース電極層710およびドレイン電極層720を形成する(図15)。

【0076】

Si基板420Bを薄化し、さらに所定のパターンに加工することによってゲート電極層400Bを形成する(図16)。その後、分離絶縁層500およびゲート絶縁層300Bに開口を形成し、ゲート電極層400Bに電気的に接続されるゲート引き出し電極層740を形成する(図11)。ゲート引き出し電極層740は、導電性を有する材料であればよく、例えば、ソース電極層710またはドレイン電極層720と同一の材料であってもよい。

【0077】

<第4実施形態>

第4実施形態では、第3実施形態におけるPchのTFET10Bとは異なる方法で形成されたゲート電極層400Cを有するPchのTFET10Cの例について説明する。

【0078】

図17は、本発明の第4実施形態におけるTFETの構造を示す断面図である。図17に示すTFET10Cでは、図11に示す第3実施形態におけるTFET10Bの構造に対して、p型IV族半導体層110C、ゲート絶縁層300C、ゲート電極層400Cおよび平坦化絶縁層600を含む点で異なっている。この例では、ゲート絶縁層300Cおよびゲート電極層400Cについては、第1実施形態におけるゲート絶縁層300およびゲート電極層400と同様の材料で形成されることができる。また、平坦化絶縁層600は、この例では、SiO₂であって、ゲート電極層400Cと同一面を形成するように、配置されている。このTFET10Cは、通常では、平坦化絶縁層600およびゲート電極層400が形成された面に対して別の構造体2000に貼り合わされる。

【0079】

図18から図24は、本発明の第4実施形態におけるTFETの製造方法を説明する図である。まず、半導体基板100Cを準備する(図18)。半導体基板100Cは、Si基板120C、Si基板120C上に設けられた埋込酸化膜130C、および埋込酸化膜130C上に設けられp型IV族半導体層110Cとなるp型のSi薄膜を含む。

【0080】

まず、p型IV族半導体層110CをTFETごとに分離する(図19)。p型IV族半導体層110Cは、フォトリソグラフィ技術を用い、プラズマエッチング等により所定のパターンに加工される。続いて、ゲート絶縁層300Cを堆積する(図20)。続いて、ゲート電極層400Cを形成し、ゲート電極層400Cが配置されていない領域に平坦化絶縁層600を形成する(図21)。平坦化絶縁層600は、ゲート電極層400Cを形成した後に、例えばSiO₂などの絶縁材料が堆積され、CMP(化学機械研磨)等によって平坦化されればよい。

【0081】

このようにして、ゲート電極層400C側において平坦化絶縁層600を用いて、全体的に平坦化することによって、後述する図27で説明するように、TFET10Cを別の

構造体に貼り合わせた構造を実現することが容易になる。

【0082】

別の構造体2000に貼り合わせた後に、埋込酸化膜130Cを除去することによって、Si基板120Cをp型IV族半導体層110Cから分離する(図22)。続いて、p型IV族半導体層110Cのうち埋込酸化膜130Cに接していた面側に分離絶縁層500を堆積し、接合開口部550を形成する(図23)。そして、n型酸化物半導体層200、ソース電極層710およびドレイン電極層720を形成する(図24)。その後、分離絶縁層500およびゲート絶縁層300Cに開口を形成し、ゲート電極層400Cに電氣的に接続されるゲート引き出し電極層740を形成する(図17)。

【0083】

<第5実施形態>

第1実施形態におけるNchのTFET10に対して、第3実施形態におけるPchのTFET10Bまたは第4実施形態におけるPchのTFET10Cを組み合わせることによって、単一構造として実現されたTFET10Dを第5実施形態として説明する。

【0084】

図25は、本発明の第5実施形態におけるTFETの構造を示す断面図である。図25に示すTFET10Dによれば、ヘテロ接合部900よりp型IV族半導体層110C側においては、図17に示す構造によってPchのTFET構造を実現する。一方、ヘテロ接合部900よりn型酸化物半導体層200側においては、図1に示す構造によってNchのTFET構造を実現する。

【0085】

この構成により、TFET10Dは、p側電極層712をソース、n側電極層721をドレイン、およびゲート電極層400の各電位を制御することによって、Nchのトランジスタとして用いることができる。一方、TFET10Dは、p側電極層712をドレイン、n側電極層721をソース、およびゲート電極層400Cの各電位を制御することによって、Pchのトランジスタとして用いることができる。

【0086】

このような構造においては、p型IV族半導体層110Cおよびn型酸化物半導体層200のいずれも10nm程度と薄い膜を用いる必要がある。そのため、領域A2は、領域A1に対してp側電極層712側の領域A2p、および領域A1に対してn側電極層721側の領域A2nの双方を含むことが好ましい。

【0087】

<第6実施形態>

第6実施形態では、第1実施形態におけるTFET10に対して、p型IV族半導体層110をTFETごとに分離したTFET10Eについて説明する。

【0088】

図26は、本発明の第6実施形態におけるTFETの構造を示す断面図である。図26に示すTFET10Eでは、図1に示す第1実施形態におけるTFET10の構造に対して、p型IV族半導体層110Eを用いる点で異なっている。p型IV族半導体層110Eは、埋込酸化膜130E上に配置されたp型の半導体層をTFET毎に分離するように加工されている。埋込酸化膜130Eは、Si基板120E上に配置されている。なお、Si基板120Eは、ガラス等の絶縁基板であってもよい。このようなTFET10Eは、SOI(Si on Insulator)などの基板を用いて製造することができる。

【0089】

なお、p型IV族半導体層110をTFET毎に分離する方法については、P型MOSFETにおいてP+領域を分離する方法として一般的に採用される様々な方法が適用可能である。このとき、STI(Shallow Trench Isolation)の技術が使用されてもよい。

【0090】

10

20

30

40

50

< 第7実施形態 >

第7実施形態では、第4実施形態におけるPchのTFET10Cと、第6実施形態におけるNchのTFET10Eとを組み合わせたインバータを含む電子デバイス1について説明する。この例では、TFET10CとTFET10Eとが異なる層に配置された例について説明する。

【0091】

図27は、本発明の第7実施形態における電子デバイスの構造を示す断面図である。図27に示す例では、電子デバイス1のうち、一つのインバータを想定した構成が抽出され、Nchトランジスタ部1Tn、Pchトランジスタ部1Tpおよび配線部1Twが示されている。

10

【0092】

Nchトランジスタ部1Tnには、NchのTFET10Eが配置され、下部層間絶縁層610に覆われている。下部層間絶縁層610には、TFET10Eに接続される配線が配置されている。この例では、Nchトランジスタ部1Tnの上面は平坦に形成されている。

【0093】

Pchトランジスタ部1Tpには、PchのTFET10Cが配置され、配線部1Twとともに、上部層間絶縁層620に覆われている。Pchトランジスタ部1Tpは、図25に示すように、その下面が平坦に形成され、Nchトランジスタ部1Tnの上面と接続されている。

20

【0094】

TFET10Eのゲート電極層400Eと、TFET10Cのゲート電極層400Cとが電氣的に接続され、さらにゲート入力用配線810に接続される。TFET10Eのドレイン電極層720EとTFET10Cのドレイン電極層720Cとが、ドレイン出力用配線830を介して接続されている。TFET10Eのソース電極層710Eは、低電源線860に接続される。TFET10Cのソース電極層710Cは、高電源線880に接続される。このように、TFET10EとTFET10Cとを接続する導電体が、少なくとも配線部1Twに配置されている。

【0095】

低電源線860には電源の低電位側が接続され、高電源線880には電源の高電位側が接続される。また、ゲート入力用配線810には、デジタル信号として、例えば前段のインバータの出力信号が入力される。ドレイン出力用配線830には、TFET10EとTFET10Cとによって構成されるインバータにより、ゲート入力用配線810に入力された信号の反転信号が出力される。なお、ゲート入力用配線810は、初段のインバータであれば、デジタル信号が供給される端子であるともいえる。

30

【0096】

< 第8実施形態 >

第8実施形態では、第3実施形態におけるPchのTFET10Bと、第6実施形態におけるNchのTFET10Eとを組み合わせたインバータを含む電子デバイス1Aについて説明する。この例では、TFET10BとTFET10Eとが互いに一部の構成を同じ層で実現するように配置された例について説明する。なお、第7実施形態と同様に、PchのTFETとして、第4実施形態におけるTFET10Cが適用されてもよい。

40

【0097】

図28は、本発明の第8実施形態における電子デバイスの構造を示す断面図である。図28に示す例では、電子デバイス1Aのうち、一つのインバータを想定した構成が抽出され、Nchトランジスタ部1ATnおよびPchトランジスタ部1ATpが示されている。

【0098】

Nchトランジスタ部1ATnには、NchのTFET10Eが配置され、Pchトランジスタ部1ATpには、PchのTFET10Bが配置され、それぞれ層間絶縁層63

50

0に覆われている。

【0099】

TFET10Eのゲート電極層400Eと、TFET10Bのゲート電極層400Bとが、ゲート入力用配線810を介して接続される。TFET10Eのドレイン電極層720EとTFET10Bのドレイン電極層720Bとが、ドレイン出力用配線830を介して接続されている。TFET10Eのソース電極層710Eは、低電源線860に接続される。TFET10Bのソース電極層710Bは、高電源線880に接続される。このように、TFET10EとTFET10Bとが導電体によって接続される。

【0100】

低電源線860には電源の低電位側が接続され、高電源線880には電源の高電位側が接続される。また、ゲート入力用配線810には、デジタル信号として、例えば前段のインバータの出力信号が入力される。ドレイン出力用配線830には、TFET10EとTFET10Bとによって構成されるインバータにより、ゲート入力用配線810に入力された信号の反転信号が出力される。なお、ゲート入力用配線810は、初段のインバータであれば、デジタル信号が供給される端子であるともいえる。

10

【0101】

<第9実施形態>

第9実施形態におけるTFET10Fについて説明する。

【0102】

図29は、本発明の第9実施形態におけるTFETの構造を示す断面図である。第1実施形態におけるTFET10では、ドレイン電極層720がヘテロ接合部900に対してソース電極層710とは反対側に配置されていた。第9実施形態におけるTFET10Fでは、図29に示すように、ドレイン電極層720がヘテロ接合部900に対してソース電極層710と同じ側に配置されている。この場合、ヘテロ接合部900からソース電極層710に至る経路およびヘテロ接合部900からドレイン電極層720に至るまでの経路のいずれも共通の領域A2を通過することになる。

20

【0103】

<第10実施形態>

ヘテロ接合部900には、上述したようにp型IV族半導体層110とn型酸化物半導体層200との間に非常に薄い絶縁層が配置されていてもよい。第10実施形態では、そのような絶縁層が存在するTFET10Gについて説明する。

30

【0104】

図30は、本発明の第10実施形態におけるTFETの構造を示す断面図である。TFET10Gにおいては、ヘテロ接合部900において、1nm程度の接合絶縁層115が配置されている。この例では、接合絶縁層115は、p型IV族半導体層110を成分に含む絶縁材料であり、例えば、この成分の酸化膜または窒化膜である。n型酸化物半導体層200に含まれる酸素成分の影響により、接合絶縁層115として、p型IV族半導体層110の酸化膜が形成されてもよい。

【0105】

<第11実施形態>

第1実施形態では、接合開口部550の側面が傾斜を有していたが、傾斜を有していなくてもよい。第11実施形態では、ヘテロ接合部900に対して垂直な側面をもつ接合開口部550Hが形成されたTFET10Hについて説明する。

40

【0106】

図31は、本発明の第11実施形態におけるTFETの構造を示す断面図である。図31に示すように、分離絶縁層500Hには、側面がヘテロ接合部900に対して垂直になっている接合開口部550Hが形成されている。この場合、n型酸化物半導体層200H、ゲート絶縁層300Hおよびゲート電極層400Hは、接合開口部550Hの側面を段切れなく覆われるように形成される。

【0107】

50

< 第 1 2 実施形態 >

第 1 実施形態では、図 2 に示すようにゲート電極層 4 0 0 がヘテロ接合部 9 0 0 の全体を覆うことで、ヘテロ接合部 9 0 0 とトンネル接合部とが同じ領域であった。第 1 2 実施形態では、ヘテロ接合部 9 0 0 の一部においてトンネル接合が実現される例について説明する。

【 0 1 0 8 】

図 3 2 は、本発明の第 1 2 実施形態における T F E T の構造の第 1 の例を示す上面図である。図 3 2 に示す T F E T 1 0 J 1 では、第 1 実施形態における T F E T 1 0 に対して、ヘテロ接合部 9 0 0 の一部のみを覆うゲート電極層 4 0 0 J を有している点が異なっている。この例では、ヘテロ接合部 9 0 0 のうち、ソース電極層 7 1 0 側およびドレイン電極層 7 2 0 側については、第 1 実施形態と同様な構造でゲート電極層 4 0 0 J が形成されているが、ソース電極層 7 1 0 とドレイン電極層 7 2 0 を結ぶ方向に垂直な方向については、ゲート電極層 4 0 0 J の外縁がヘテロ接合部 9 0 0 に重畳する位置になっている。

10

【 0 1 0 9 】

図 3 3 は、本発明の第 1 2 実施形態における T F E T の構造の第 2 の例を示す上面図である。図 3 3 に示す T F E T 1 0 J 2 では、図 3 2 に示す T F E T 1 0 J 1 に対して、さらにヘテロ接合部 9 0 0 が接合開口部 5 5 0 よりも狭い範囲になっている点が異なっている。この例では、ヘテロ接合部 9 0 0 のうち、ソース電極層 7 1 0 側およびドレイン電極層 7 2 0 側については、第 1 実施形態と同様な構造で n 型酸化物半導体層 2 0 0 J およびゲート絶縁層 3 0 0 J が形成されているが、ソース電極層 7 1 0 とドレイン電極層 7 2 0 を結ぶ方向に垂直な方向については、n 型酸化物半導体層 2 0 0 J の外縁がヘテロ接合部 9 0 0 に重畳する位置になっている。すなわち、この方向においては、n 型酸化物半導体層 2 0 0 J の外縁は、接合開口部 5 5 0 の開口端と、ゲート電極層 4 0 0 J の外縁との間に存在するようになっている。なお、図においては、n 型酸化物半導体層 2 0 0 J とゲート絶縁層 3 0 0 J の外縁とは一致しているが、ゲート絶縁層 3 0 0 J の外縁は、より外側に存在してもよい。

20

【 0 1 1 0 】

T F E T 1 0 J 1 および T F E T 1 0 J 2 のいずれにおいても、トンネル現象は、ヘテロ接合部 9 0 0 全体で生じるのではなく、ヘテロ接合部 9 0 0 とゲート電極層 4 0 0 J とが重畳する領域で生じることになる。この構成においても、p 型 I V 族半導体層 1 1 0 の外縁または n 型酸化物半導体層 2 0 0 の外縁でのトンネル現象の発生を抑制することができる。仮に外縁部分でトンネル現象が生じたとしても、ヘテロ接合部 9 0 0 が、ソース電極層 7 1 0 とドレイン電極層 7 2 0 を結ぶ方向の長さに対してこれに垂直な方向の長さが十分に長ければ、特性への影響は無視できる。

30

【 0 1 1 1 】

< 第 1 3 実施形態 >

第 1 実施形態ではヘテロ接合部 9 0 0 は矩形であったが、矩形以外の形状であってもよい。第 1 3 実施形態では、円形のヘテロ接合部 9 0 0 K を含む T F E T 1 0 K について説明する。なお、ヘテロ接合部 9 0 0 の外縁は、矩形のように直線のみで形成されてもよいし、曲線で形成されてもよいし、直線と曲線とを含んで形成されてもよい。

40

【 0 1 1 2 】

図 3 4 は、本発明の第 1 3 実施形態における T F E T の構造を示す上面図である。図 3 4 に示す T F E T 1 0 K では、分離絶縁層 5 0 0 において円形の接合開口部 5 5 0 K が形成されている。その結果、円形のヘテロ接合部 9 0 0 K が形成される。このように円形のような曲線の外縁をヘテロ接合部 9 0 0 K が有することで、トンネル現象を生じる領域から角となる部分を無くすることもできる。

【 0 1 1 3 】

< 第 1 4 実施形態 >

第 1 実施形態では、1 つの T F E T 1 0 において 1 つのヘテロ接合部 9 0 0 が配置されていたが、複数のヘテロ接合部 9 0 0 が配置されてもよい。第 1 4 実施形態では、2 つの

50

ヘテロ接合部 900L1、900L2 を含む T F E T 10L について説明する。

【0114】

図35は、本発明の第14実施形態における T F E T の構造を示す上面図である。図36は、本発明の第14実施形態における T F E T の構造を示す断面図である。図36は、図35における切断線 D1 - D2 における断面図に対応する。なお、切断線 C1 - C2 における断面図は、図1と同様である。図35に示すように、T F E T 10L では、分離絶縁層 500 に対して2つの接合開口部 550L1、550L2 が形成されている。この部分において、ヘテロ接合部 900L1、900L2 が配置されている。

【0115】

この例では、2つのヘテロ接合部 900L1、900L2 は、ソース電極層 710 とドレイン電極層 720 を結ぶ方向に垂直な方向に並んで配置されている。原理的には、2つのヘテロ接合部 900L1、900L2 をまとめた面積と、第1実施形態のように1つのヘテロ接合部 900 の面積とが同じであれば、ON電流は同じになる。ただし、p型IV族半導体層 110 と n型酸化物半導体層 200 との膜条件によっては、ヘテロ接合部の重心位置から縁部までの最短長が短い方が、同じ面積でもON電流が高くなる場合がある。

10

【0116】

なお、2つのヘテロ接合部 900L1、900L2 は、ソース電極層 710 とドレイン電極層 720 を結ぶ方向に並んで配置されてもよいし、この方向に対して斜めに配置されてもよい。また、2つのヘテロ接合部 900L1、900L2 は、互いに同じ面積であってもよいし、異なる面積であってもよく、また、互いに同じ形状であってもよいし、異なる形状であってもよい。

20

【0117】

<第15実施形態>

第14実施形態では、2つのヘテロ接合部 900L1、900L2 は、ソース電極層 710 とドレイン電極層 720 との間に配置されていた。第15実施形態では、2つのヘテロ接合部 900M1、900M2 の間に配置されたドレイン電極層 720 を有する T F E T 10M について説明する。

【0118】

図37は、本発明の第15実施形態における T F E T の構造を示す上面図である。図38は、本発明の第15実施形態における T F E T の構造を示す断面図である。図38は、図37における切断線 E1 - E2 における断面図に対応する。図37、図38に示すように、T F E T 10M では、分離絶縁層 500 に対して2つの接合開口部 550M1、550M2 が形成されている。この部分において、ヘテロ接合部 900M1、900M2 が配置されている。

30

【0119】

ドレイン電極層 720 は、ヘテロ接合部 900M1 とヘテロ接合部 900M2 との間に配置されている。それぞれのヘテロ接合部 900M1、900M2 に対応して、ゲート電極層 400M1、400M2 が配置され、互いにドレイン電極層 720 の上方に配置された配線 470 を介して電氣的に接続されている。なお、ゲート電極層 400M1 とゲート電極層 400M2 とが、ドレイン電極層 720 を平面上で迂回することで直接的に接続されていてもよい。

40

【0120】

ソース電極層 710 はドレイン電極層 720 に対してゲート電極層 400M1 側にも配置されていたが、ドレイン電極層 720 に対してゲート電極層 400M2 側にも配置されてもよい。p型IV族半導体層 110 の抵抗が高く、n型酸化物半導体層 200 に近い場合には、このような構造にすることが好ましい。このようにすることで、ドレイン電極層 720 を中心にして、線対称になるように2つのソース電極層および2つのヘテロ接合部が配置されるようにして、いずれのヘテロ接合部においてもできるだけ等価になるようにしてもよい。

【0121】

50

< 第 16 実施形態 >

第 16 実施形態では、ドレイン電極層 720N を囲んで配置されたヘテロ接合部 900N を有する T F E T 10N について説明する。

【 0 1 2 2 】

図 39 は、本発明の第 16 実施形態における T F E T の構造を示す上面図である。図 40 は、本発明の第 16 実施形態における T F E T の構造を示す断面図である。図 40 は、図 39 における切断線 F 1 - F 2 における断面図に対応する。図 39 に示すように、T F E T 10N では、分離絶縁層 500 に対して環状の接合開口部 550N が形成されている。この部分において、環状のヘテロ接合部 900N が配置されている。ゲート電極層 400N についても、環状に形成されている。

10

【 0 1 2 3 】

環状に配置されたヘテロ接合部 900N およびゲート電極層 400N に囲まれた中心部分には、ゲート絶縁層 300 に形成された開口部 370N を介してドレイン電極層 720N が配置されている。なお、ドレイン電極層 720N とソース電極層 710 との関係を入れ替えて、ヘテロ接合部 900N にソース電極層 710 が囲まれるようにしてもよい。

【 0 1 2 4 】

ソース電極層 710 と p 型 I V 族半導体層 110 とが接続される領域（開口部 570 に対応）は、ヘテロ接合部 900N の外側を囲むように環状に配置されてもよい。p 型 I V 族半導体層 110 の抵抗が高く、n 型酸化物半導体層 200 に近い場合には、このような構造にすることが好ましい。このようにすることで、ドレイン電極層 720 を中心にして、点対称（または回転対称）になるように 2 つのソース電極層および 2 つのヘテロ接合部が配置されるようにして、ドレイン電極層 720N からいずれの方向に対しても等価になるようにしてもよい。

20

【 0 1 2 5 】

< 第 17 実施形態 >

第 17 実施形態では、フィン型のトランジスタの形状を適用した N c h の T F E T 10P について説明する。

【 0 1 2 6 】

図 41 は、本発明の第 17 実施形態における T F E T の構造を示す上面図である。図 42 は、本発明の第 17 実施形態における T F E T の構造を示す水平断面図である。図 43 は、本発明の第 17 実施形態における T F E T の構造を示す垂直断面図である。図 43 は、図 41 における切断線 G a 1 - G a 2、切断線 G b 1 - G b 2、切断線 G c 1 - G c 2、切断線 G d 1 - G d 2 および切断線 G e 1 - G e 2 における断面図に対応する。図 42 は、フィン型に形成された p 型 I V 族半導体層 110P の半分の高さにおける T F E T 10P の水平断面を示している。

30

【 0 1 2 7 】

p 型 I V 族半導体層 110P は、基板表面に垂直に延びて形成されている。ソース電極層 710P が接続される部分は、他の部分に比べて幅広の形状に形成されているが、必ずしもこのような形状でなくてもよい。p 型 I V 族半導体層 110P を覆うように、分離絶縁層 500P が配置されている。分離絶縁層 500P の一部（領域 A 1）には、接合開口部 550P が形成され、p 型 I V 族半導体層 110P の両面の一部が露出される。さらに外側には、n 型酸化物半導体層 200P が配置されている。そのため、接合開口部 550P の位置に対応して、p 型 I V 族半導体層 110P の両面において n 型酸化物半導体層 200P とヘテロ接合が実現されている。したがって、ヘテロ接合部 900P が p 型 I V 族半導体層 110P の両面に配置される。

40

【 0 1 2 8 】

n 型酸化物半導体層 200P のさらに外側にゲート絶縁層 300P が配置され、そのさらに外側にゲート電極層 400P が配置されている。図 42 に示す領域 A 1 の断面構造（切断線 G c 1 - G c 2 の断面構造）において、p 型 I V 族半導体層 110P の頂部には、分離絶縁層 500P 1 が配置されている。したがって、ヘテロ接合部 900P の面に対し

50

て垂直に見た場合に、ヘテロ接合部 900P は、分離絶縁層 500P、500P1 によって囲まれた領域となる。なお、分離絶縁層 500P1 は、存在しなくてもよい。分離絶縁層 500P1 が存在しない場合には、後述する製造方法において、図 45、46 における処理は不要である。

【0129】

ソース電極層 710P は、p 型 I V 族半導体層 110P の頂部において電氣的に接続されている。なお、ソース電極層 710P は、p 型 I V 族半導体層 110P におけるフィン形状部分以外の領域で電氣的に接続されてもよい。

【0130】

ドレイン電極層 720P は、分離絶縁層 500P の頂部を覆う部分の n 型酸化物半導体層 200P に電氣的に接続されている。なお、ドレイン電極層 720P と n 型酸化物半導体層 200P とは、分離絶縁層 500P の頂部を覆う部分以外において電氣的に接続されていてもよい。

10

【0131】

続いて、TFET10P を製造する方法について説明する。

【0132】

図 44 から図 48 は、本発明の第 17 実施形態における TFET の製造方法を説明する図である。これらの図は、図 42 に示す領域 A1 の断面構造（切断線 Gc1 - Gc2 の断面構造）に対応している。まず、p 型 I V 族半導体層 110P をフィン形状に加工する（図 44）。続いて、分離絶縁層 500P を堆積し、ソースドレイン側を除いた領域 A1 およびその周囲において、p 型 I V 族半導体層 110P の頂部が露出されるように分離絶縁層 500P を除去する（図 45）。

20

【0133】

続いて、p 型 I V 族半導体層 110P 露出された頂部に熱酸化膜により分離絶縁層 500P1 を形成する（図 46）。続いて、p 型 I V 族半導体層 110P のフィン形状部分において両面の一部（ヘテロ接合部 900P になる領域）が露出されるように、分離絶縁層 500P を除去する（図 47）。このとき、p 型 I V 族半導体層 110P のうちフィン形状部分以外の表面については、分離絶縁層 500P が残存するように加工する。この例では、フィン形状部分以外においても分離絶縁層 500P を一旦除去し、必要な部分のみ再び分離絶縁層 500P を堆積させる。

30

【0134】

続いて、n 型酸化物半導体層 200P およびゲート絶縁層 300P を順に形成する（図 48）。そして、ゲート電極層 400P を形成する（図 43）。この後に、ソース電極層 710P を p 型 I V 族半導体層 110P に電氣的に接続されるように形成し、ドレイン電極層 720P を n 型酸化物半導体層 200P に電氣的に接続されるように形成する。

【0135】

< 第 18 実施形態 >

第 18 実施形態では、フィン型のトランジスタの形状を適用した Pch の TFET10Q について説明する。

【0136】

図 49 は、本発明の第 18 実施形態における TFET の構造を示す上面図である。図 50 は、本発明の第 18 実施形態における TFET の構造を示す水平断面図である。図 51 は、本発明の第 18 実施形態における TFET の構造を示す垂直断面図である。図 51 は、図 49 における切断線 Ha1 - Ha2、切断線 Hb1 - Hb2、切断線 Hc1 - Hc2、切断線 Hd1 - Hd2 および切断線 He1 - He2 における断面図に対応する。図 50 は、フィン型に形成された p 型 I V 族半導体層 110Q の半分の高さにおける TFET10Q の水平断面を示している。

40

【0137】

p 型 I V 族半導体層 110Q は、基板表面に垂直に延びて形成されている。ソース電極層 710Q が接続される部分は、他の部分に比べて幅広の形状に形成されている。すなわ

50

ち、PchのTFET10Qであるため、領域A1に対応する部分はNchのTFET10Pの場合よりも薄くする必要がある。p型IV族半導体層110Qを覆うように、分離絶縁層500Qが配置されている。分離絶縁層500Qの一部(領域A1)には、接合開口部550Qが形成され、p型IV族半導体層110Qの両面の一部が露出される。この構成までは、第17実施形態におけるTFET10Pと同様である。

【0138】

さらに外側には、n型酸化物半導体層200Qがp型IV族半導体層110Qの片側のみ配置されている。そのため、接合開口部550Qの位置に対応して、p型IV族半導体層110Qの片面においてn型酸化物半導体層200Qとヘテロ接合が実現されている。したがって、ヘテロ接合部900Qがp型IV族半導体層110Qの片面に配置される。

10

【0139】

n型酸化物半導体層200Qのさらに外側にゲート絶縁層300Qが配置され、そのさらに外側にゲート電極層400Qが配置されている。ゲート絶縁層300Qは、少なくともp型IV族半導体層110Qに対して、n型酸化物半導体層200Qが配置された側とは反対側において、接合開口部550Qを塞ぐように配置され、p型IV族半導体層110Qと接触している。ゲート電極層400Qは、p型IV族半導体層110Qに対して、n型酸化物半導体層200Qが配置された側と反対側に配置される。すなわち、領域A1において、ゲート電極層400Qとp型IV族半導体層110Qとでゲート絶縁層300Qが挟まれている。

20

【0140】

図51に示す領域A1の断面構造(切断線Hc1-Hc2の断面構造)において、p型IV族半導体層110Qの頂部には、分離絶縁層500Q1が配置されている。したがって、ヘテロ接合部900Qの面に対して垂直に見た場合に、ヘテロ接合部900Qは、分離絶縁層500Q、500Q1によって囲まれた領域となる。

【0141】

ソース電極層710Qは、p型IV族半導体層110Qの頂部において電氣的に接続されている。なお、ソース電極層710Qは、p型IV族半導体層110Qにおけるフィン形状部分以外の領域で電氣的に接続されてもよい。

【0142】

ドレイン電極層720Qは、分離絶縁層500Qの頂部を覆う部分のn型酸化物半導体層200Qに電氣的に接続されている。なお、ドレイン電極層720Qとn型酸化物半導体層200Qとは、分離絶縁層500Qの頂部を覆う部分以外において電氣的に接続されていてもよい。

30

【0143】

以上、トンネル電界効果トランジスタについて、様々な実施形態を説明した。

【0144】

<シミュレーション結果と実証実験>

Type-IIエネルギーバンド構造を実現する新たな材料系の組み合わせとして酸化物半導体とIV族半導体を組み合わせた新規の積層型トンネル電界効果トランジスタ(TFET)を提案し、TCADシミュレーションを用いて急峻スイッチング(Steep-slope)トランジスタとしてのポテンシャルを検証した。さらに、n-ZnO/p-Siトンネル接合またはn-ZnO/p-Geトンネル接合、およびトンネル接合からドレイン電極にかけて材料接合の無いZnOチャネル構造を有するTFETの動作実証を初めて行った。不純物濃度の適切な制御やゲートスタック構造制御により、TFETにおいて最高の 10^8 を上回るON/OFF電流比と最小SS値 $\sim 71\text{mV/dec}$.を達成した。

40

【0145】

[1.導入]

ゲートに対して垂直方向のトンネルを持つ積層型トンネル電界効果トランジスタ(TFET)は、究極的に小さく限りなくゼロに近いサブスレシヨルドスイング(SS値)を達

50

成しうる理想的な構造である。これは、トンネル接合全域に渡り、ソース中とチャネル中の状態密度 (density of state, DOS) を効率的かつ均一にゲート電圧にて制御可能なためである。

【0146】

加えて、積層型TFETでは、大きなトンネル接合面積や短いトンネル距離により大きなON電流の実現も期待される。トンネル距離は上部のチャネル厚さにより制御可能である。しかしながら、このようなコンセプトを実現した例は非常に限られている。例えば、単一材料を使用した場合は大きなバンドギャップがON電流増大を阻害し、III-V材料を用いた異種接合の場合ではバンドギャップが小さい材料もあり、ON/OFF電流比が減少する。

【0147】

このような本質的な難しさを克服するため、本研究では新たに、酸化物半導体とSi、Ge、SiGeなどのIV族半導体を接合させた新たなトンネル接合を提案する(図52)。

【0148】

図52は、酸化物半導体/IV族半導体積層型トンネル電界効果トランジスタにおける(a)素子構造概念図、(b)OFF状態および(c)ON状態におけるエネルギーバンド図である。このような材料の組み合わせでは、実効エネルギー障壁高さ($E_{b,eff} = E_{c,OS} - E_{v,IV}$ 、酸化物半導体の伝導帯端とIV族半導体の価電子帯端のエネルギー差で定義される)の小さなType-IIエネルギーバンド構造を実現する。これは、ON電流の増大に効果的である一方、材料のバンドギャップそのものは大きいため、OFF電流の低減も同時に達成できる。

【0149】

加えて、 $E_{b,eff}$ は、材料の組み合わせおよび組成の制御によって、連続的に制御可能である(図53)。

【0150】

図53は、材料候補のまとめである。p型IV族半導体の価電子帯からn型酸化物半導体の伝導帯へとband-to-bandトンネルが生じる。括弧内には各材料の比誘電率を示している。実際、ZnO、In₂O₃、およびSnO₂のような酸化物半導体の伝導帯端は低く、SiおよびGeの価電子帯端は高い。加えて、酸化物半導体はn型伝導を示す傾向が強い。そのため、トンネル接合からドレインまでにおいて材料接合をしなくても形成でき、かつ、ドレイン端の電界集中により引き起こされがちな電流リークを抑制できる。

【0151】

そこで本研究では、初めに、TCADシミュレーションを用いて提案する酸化物半導体/IV族半導体を用いた積層型TFETの利点を明らかにし、デバイス設計指針を示す。

【0152】

[2. 酸化物半導体/SiGe 積層型TFET]

初めに、type-IIエネルギーバンド構造の $E_{b,eff}$ がトンネル特性に与える影響を調査した。酸化物半導体/IV族半導体を用いることで、 $E_{b,eff}$ は連続的に調整可能である。この時、SiGeソースの場合の $E_{v,IV}$ 位置および軽いホールの有効質量は、SiとGeの値より線形補完することで求めた(図54)。

【0153】

図54は、(a)SiGeのエネルギーバンド構造、および、(b)band-to-bandトンネルの還元有効質量を示す図である。図55は、n-ZnO/p-SiGeトンネル接合におけるWKBトンネル確率のGe濃度依存性である。図55は、WKB近似を用いたトンネル確率(T_{WKB})を、 $E_{c,OS}$ を変化させるとともに横軸をSiGeソース中のGe組成として示した図である。このとき、簡単のため、ゲート電圧 V_g により酸化物半導体のエネルギーバンドのみが変調すると仮定した。

【0154】

10

20

30

40

50

エネルギーバンド構造の模式図を図52(c)に示す。酸化物半導体により $E_{\text{c,05}}$ 位置を下げる、もしくは、I V族半導体中の $E_{\text{v,IV}}$ 位置を上げることにより $E_{\text{b,eff}}$ が小さくなり、これにより T_{WKB} が指数関数的に増大していることが分かる。このとき、ZnOは直接遷移型半導体であるため、p-SiやGeからn-ZnOへのトンネリングは、点における直接遷移過程に対応するため、運動量変化は考慮しなくてよい。

【0155】

以上より、電子デバイスに適した酸化物半導体を選択した後に、SiGe技術を用いGe組成を変化することでエネルギーバンド構造を最適に調整することができ、その結果、TFET性能も高性能化が見込まれる。

【0156】

[3. TCADシミュレーションを用いた構造最適化]

図56は、TCADシミュレーションに用いた3次元デバイス構造模式図と主要なパラメータである。図56に示す素子構造を用い、酸化物半導体/I V族半導体を用いた積層型TFETのSentaurus TCADシミュレーションを行った。Sentaurusはソフトウェア名である。酸化物半導体の物性については、 $E_{\text{c,05}}$ 位置を除き、ZnOの値を用いた。

【0157】

図57は、(a) p-Geソースからn-ZnOチャネル表面へのband-to-bandトンネルの2次元イメージ図、(b) n-ZnO/p-Ge、および(c) n-Ge/p-Geトンネル接合におけるエネルギーバンド図である。図57(a)のトンネル現象の二次元像に示す通り、 V_g を印加することで、p-Geの表面近傍から酸化物半導体の最表面、つまりHigh-k絶縁膜と酸化物半導体との界面、に向けて、均一なトンネルが生成されていることが分かる。これにより、限りなくゼロに近いSS値を有するON/OFFスイッチングが実現される(図58)。

【0158】

加えて、n-OS/p-Geヘテロトンネル接合の場合、n-Ge/p-Geホモ接合の場合に比べてON電流が2桁以上増大している。このとき、酸化物半導体の $E_{\text{c,05}}$ 位置はさほど低くない状態で既にON電流の増大が実現されていることに注目すべきである。この要因の一つとして、酸化物半導体の誘電率がGeに比べて小さいことが挙げられる(図57(b))。このような相対関係では、Geに比べて酸化物半導体のエネルギーバンドが優先的に変調されるため、図52(c)に示すような、トンネル距離を短く抑えた理想的に近いエネルギーバンド構造が実現される。実際、酸化物半導体の多くは、SiやGeに比べて小さな値を有する(図53)。

【0159】

図58は、シミュレーションにより得られたn-ZnO/p-Ge TFETの I_d - V_g 特性である。この効果により、図58の I_d - V_g 特性に示す通り、0.3V以下の電源電圧(V_{dd})でFET動作が期待できる。その一方で、酸化物半導体の電気伝導性が高いため、ドレイン電圧の影響により V_{BTBT} (band-to-bandトンネルが生じる最小の V_g)がシフトするには注意が必要である。

【0160】

図59は、シミュレーションにより得られたn-ZnO/p-Ge TFETの I_d - V_g 特性であり、(a)線形表記、および(b)対数表記で示している。ここで、0.3V動作の V_{dd} を想定した場合、ON電流は約70 $\mu\text{A}/\mu\text{m}$ 、OFF電流は~1 pA/ μm がそれぞれ期待され、3nm-ノード世代の低電力動作デバイスや低待機時電力デバイスとして非常に有望である(図59(a))。また、対数軸の I_d - V_g グラフ(図59(b))においては、負の V_g 領域において負性微分抵抗(NDR)が観測されている。これは量子トンネル効果で動作する電子デバイスの特徴である。

【0161】

図60は、(a)酸化物半導体膜厚、および(b)EOTがn-OS/p-Ge TFETの V_{BTBT} に与える影響を示す図である。図61は、(a)酸化物半導体膜厚、および

10

20

30

40

50

(b) EOTがn-OS/p-Ge TFETのON電流に与える影響を示す図である。積層型TFETの構造パラメータの一つとして、酸化物半導体厚さ(d_{OS})やEOTの影響を調査した。 V_{BTBT} 、つまりband-to-bandトンネルが生じ始める電圧は、酸化物半導体最表面の $E_{c,OS}$ 位置で決定される。酸化物表面の $E_{c,OS}$ 位置は V_g で直接的に制御されるため、 d_{OS} による V_{BTBT} 変化は小さい。対して、EOTの影響は大きい(図60)。一方、 d_{OS} はトンネル確率に強く影響し、 d_{OS} 増大と共にON電流(V_g が $V_{BTBT} + 0.3V$ の際の電流値)は指数関数的に減少する(図61)。

【0162】

冒頭で述べた通り、本研究で提案する酸化物半導体/IV族半導体ヘテロ接合の最大の利点は、酸化物半導体の $E_{c,OS}$ とIV族半導体の $E_{v,IV}$ のエネルギー位置関係により、 E_{eff} を自由に調整可能な点である。そこで、 $E_{c,OS}$ 位置の異なる様々な酸化物半導体に対し、ソース材料(Si、SiGe、Ge)を組み合わせた場合のON電流の変化を系統的に調査した(図62)。

10

【0163】

図62は、Si、SiGe、Geソースを有するTFETにおけるON電流と酸化物半導体の $E_{c,OS}$ 位置の関係を示す図である。例えば、既にSiテクノロジーで使用されているSi_{0.7}Ge_{0.3}を用いて僅かに $E_{v,IV}$ 位置を変化させるだけで、ON電流は飛躍的に増大する。一方で、前述の通り、Geや高Ge組成のSiGeの大きな誘電率はトンネル距離を短く保つことに効果的であり、SS値の低減にも効果的である。

【0164】

例えば、 V_{BTBT} 付近の最小SS値においては限りなくゼロに近く、0.3V動作を想定した場合の全動作範囲に渡る平均SS値についても60mV/dec.を下回る値が期待できる(図63)。

20

【0165】

図63は、Si、SiGe、Geソースを有するTFETにおける(a)最小SS値、および、(b)平均SS値と酸化物半導体の $E_{c,OS}$ 位置の関係。最小SS値は電流値1pA/ μm 付近において得られた値を示す図であり、平均SS値は電流値1pA/ μm から0.3Vの V_g 掃引幅を想定した際の値を用いている。

【0166】

続いては、ソース中およびチャネル中の不純物濃度の影響について議論する。

30

【0167】

図64は、様々なGe中不純物濃度($N_{i,Ge}$)を仮定した場合の $I_d - V_g$ 特性を示す図である。酸化物半導体中の不純物濃度($N_{i,OS}$)は $5 \times 10^{18} \text{ cm}^{-3}$ とした。図65は、様々な酸化物半導体中不純物濃度($N_{i,OS}$)を仮定した場合において、(a)ON電流および(b)ON/OFF電流比とGe中不純物濃度($N_{i,Ge}$)の関係を示す図である。各領域の不純物濃度は、トンネル接合近傍のバンドの曲がりに影響を及ぼす(図64)。チャネル中の不純物濃度($N_{i,CH}$)やソース中の不純物濃度($N_{i,S}$)の組み合わせには、高いON電流と大きなON/OFF電流比の実現のために最適値が存在することが分かる(図65)。

【0168】

不純物濃度が低い場合、空乏層がより遠くまで伸びるため、トンネル距離が増大し、ON電流は減少する。それに対し、 $N_{i,CH}$ や $N_{i,S}$ が非常に濃い場合、チャネル-ソース間での状態密度の重畳をゲートバイアスで解くことができず、十分小さなOFF電流が実現し得ない。

40

【0169】

また、high-k/酸化物半導体界面の界面準位密度(D_{it})の影響を調査したところ、本素子は D_{it} に対して非常に耐性が高いことが分かる。

【0170】

図66は、界面準位が $I_d - V_g$ 特性の劣化に与える影響を示す図である。均一に分布した界面準位密度(D_{it})を想定した。これは、ON/OFF電流変化に必要な V_g 動作範囲でのエネルギーバンド変調が極めて小さく、界面準位へのチャージトラップ量が極め

50

て小さいためと考えられる(図66)。

【0171】

以上のTCADシミュレーションの結果より、本研究で提案する酸化物半導体/IV族半導体を用いたtype-IIエネルギーバンド構造を有する積層型TFETにより、0.3Vの小さな動作電圧 V_{th} において、高いON電流($\sim 70 \mu A/\mu m$)、小さなOFF電流($< 1 pA/\mu m$)、小さな平均SS値($\sim 40 mV/dec.$)など、理想的な特性が得られることが明らかとなった。

【0172】

[4. ZnO/(Si, Ge) TFETの実証]

図67は、n-ZnO/p-(SiもしくはGe) TFETの素子作製プロセスフローを説明する図である。不純物を添加しないZnO膜はパルスレーザー堆積(PLD)法により形成され、ゲート絶縁膜のEOTは5.8nmである。TFET動作を実験的に証明するため、トップゲートの薄膜トランジスタ(TFT)も同一チップ上に作製されている。図67に示す手順に従い、パルスレーザー堆積(PLD)法を用いてノンドープのZnO層を堆積し、n-ZnO/p-(SiまたはGe)TFETを作製した。ここで、ZnO中の格子間Znや酸素空孔などの点欠陥はn型半導体のドナーとして働くことが知られている。実際に堆積した膜のキャリア密度も $10^{18} cm^{-3}$ 程度と見積もられた。

【0173】

ZnOをパターニングした後、原子層堆積(ALD)法により Al_2O_3 ゲート絶縁膜を形成した。途中、 Al_2O_3/ZnO 界面特性向上のため、後プラズマ酸化(PPO: Post Plasma Oxidation)や後 O_2/N_2 熱処理(POA/PNA: Post O_2/N_2 Annealing)を施している。最後に、TiNゲート、Niソースコンタクト、およびAlドレインコンタクトを形成し、300°CのPMAを施した。

【0174】

図68は、n-ZnO/p-Si TFETの断面透過電子顕微鏡像(cross-sectional transmission electron microscopy, XTEM)を示す図である。柱状の多結晶ZnOの形成、およびZnO/Siにおける膜厚約1.5nmの SiO_2 界面層も観測される。図69は、ZnO/Si表面の原子間力顕微鏡像(atomic force microscopy, AFM)を示す図である。400°Cの O_2 アニール後の結果を示している。図70は、(a) Si2pおよびZn3p、ならびに(b)価電子帯端のX線光電子分光スペクトル、さらに(c)得られたn-ZnO/ SiO_2 界面層/p-Si積層構造のエネルギーバンド構造を示す図である。

【0175】

図68の高分解断面TEM像より、比較的平坦なZnOおよび Al_2O_3 膜の積層構造が形成されていることが分かる。その一方で、ZnO/Si界面には膜厚約1.5nmの意図しない SiO_2 界面層が形成されている。さらに、ZnO膜は柱状の多結晶構造を形成している。結晶粒径は約20nmであり、トンネル接合面積に比べてはるかに小さい。多結晶構造形成に起因する表面ラフネスはZnO/SiのAFM表面においても観測される(図69)。また、ZnO/Si界面の SiO_2 界面層については、XPS分析からも確認される(図70)。

【0176】

ZnOが電気的非接触の状態エネルギーバンド構造を評価したところ、おそらく SiO_2 を横切るように大きなバンドベンディングが生じており、ZnOの E_{con} 位置はSiの E_{val} 位置より低いエネルギーに位置する。これは、膜中の固定電荷や界面ダイポールに起因するものと考えられ、後に示すTFETの負方向への閾値シフトの要因となり得る。

【0177】

図71は、初めてのZnO/Si TFET動作実証を示す、素子の I_D-V_D 特性である。素子構造の断面図を図中に示している。図72は、TFETのSS- I_D 特性を示す

図である。最小SS値は 71 mV/dec を達成した。比較としてZnO TFTの結果も併せて示している。図73は、ZnO/Si TFTの $I_d - V_g$ 特性を示す図である。縦軸は線形表記である。

【0178】

図71に示す通り、ZnO/Si TFTの動作実証に初めて成功した。同一基板内に同時に作製したZnO薄膜トランジスタ(TFT)の特性と比較すると、TFTの閾値は正の V_g 方向にシフトしており、また I_d 値も低い。これらの結果は共に、TFTの電流がZnO/Siトンネル接合で制限されていることを示唆している。 I_d 値自体は低いものの、OFF電流も極めて小さいため、非常に大きなON/OFF電流比が達成されている。図72に示す通りSS値を評価したところ、TFTのSS値はTFTの物に比べて小さく、室温で最小値 71 mV/dec を達成した。図73に示す $I_d - V_g$ においては、良好な電流カットオフが確認される。

10

【0179】

一方、現時点でのON電流はTCADシミュレーションで予測される値に比べて小さく、ZnO/Si界面の SiO_2 界面層によりトンネル確率が制限されていると考えられる。

【0180】

図74は、Siソース中の不純物濃度に依存した $I_d - V_g$ 特性の変化を示す図である。約 10^{19} cm^{-3} の不純物濃度が、高いON電流とON/OFF電流比の両立に最適であることが分かる。図75は、ZnO/Si TFTの $I_d - V_g$ 特性を示す図である。Si中の不純物濃度は $2 \times 10^{20}\text{ cm}^{-3}$ で、縦軸は対数表記である。負性微分抵抗(NDR)を示唆する特性が観測される。

20

【0181】

Siソース中の不純物濃度(N_D)がON電流に与える影響も非常に大きいことが分かる(図74)。ON電流は、Siソース中の不純物濃度(N_D)の増大と共に増大する。これは、ZnO/Si界面のトンネル距離が、不純物濃度(N_D)の増大と共に減少するためである。しかしながら、不純物濃度(N_D)が 10^{20} cm^{-3} を上回る状況では、状態密度の重畳が非常に強く、十分なOFF状態を実現できない。ただし、不純物濃度(N_D)が 10^{20} cm^{-3} の素子の $I_d - V_g$ 特性において、低 V_g (off-like)領域においてNDRを示唆する電流特性が観測された(図75)。これらの結果はいずれも、作製した素子が狙い通りTFT動作をしていることを支持するものである。

30

【0182】

図76は、ZnO/Si TFTにおける、ON電流とトンネル接合面積の依存性を示す図である。ON電流とトンネル接合面積の関係を調べたところ、ON電流は面積におおよそ比例して増大していることが分かる。ここで、閾値(V_{th})は線形軸の $I_d - V_g$ 特性の切片より求め、ON電流は $V_g = V_{th} + 1\text{ V}$ での I_d とした(図76)。ここで、本図には様々なZnO/Siトンネル接合長・幅の素子の結果が示されている。また、図71に示す通り、素子分離の SiO_2 上のZnO TFTは寄生抵抗とみなされる。したがって、図76の結果もまた、本素子のON電流が確かにトンネル接合で制御されていることを示唆するものである。

40

【0183】

図77は、様々な測定条件により得られたZnO/Si TFTのSS- I_d 特性を示す図である。図77では、様々な測定速度や V_g 電圧ステップにおいて測定した結果を示す。各条件において顕著な差は無いことから、正確にSS値が評価できていることが分かる。その一方で、SS値- I_d 特性は大きく揺らいでおり、ZnOが多結晶を形成したため E_{001} 位置が面内で揺らいでいるためと推測される。そのため、ZnO膜の結晶性を向上することで、更なるSS値の改善が見込める。

【0184】

さらに本研究では、Geソースを用いた素子の動作実証にも成功した(図78)。

【0185】

50

図78は、ZnO/SiおよびZnO/Ge TFETにおける $I_{ds}-V_{gs}$ 特性の比較を示す図である。ZnO/Ge TFETとZnO/Si TFETを比較したところ、Geソースの方がSiに比べ不純物濃度(N_D)が低いにもかかわらず、ZnO/Ge TFETにおいてより高いON電流が得られた。これは、Geを用いたことによる E_{eff} の低減やトンネル有効質量の低減による効果と考えられる。

【0186】

特に、ZnO/Ge TFETにおいても大きなON/OFF電流比が測定されており、これまで報告された中で最高の 10^8 を上回る値が実現されている。これらの結果は提案する酸化半導体/IV族半導体積層型TFETがいかに有望であることを示す結果である。

【0187】

最後に、 Al_2O_3 /ZnOゲートスタックエンジニアリングの重要性を、ZnO薄膜トランジスタ(TFT)およびTFETの特性を元に議論する。

【0188】

図79は、様々な後処理を施して作製したZnO薄膜トランジスタ(TFT)の $I_{ds}-V_{gs}$ 特性を示す図である。TFETではないことに注意されたい。(a)いずれの後処理も施していない試料、(b)後 O_2 熱処理(POA)のみ施した試料、(c)後プラズマ酸化(PPO)のみ施した試料、(d)PPOとPOAを共に施した試料に対応する。トップゲート動作の $I_{ds}-V_{gs}$ 特性が悪く、 Al_2O_3 /ZnO界面制御の重要性が示唆される。

【0189】

図79に示す通り、TFTをバックゲートで動かした場合は、特別な処理を施していない場合においてもON/OFFスイッチングができていますが、トップゲートの場合はON/OFFスイッチングできない。これより、 Al_2O_3 /ZnO界面特性が良好でないことが示唆される。適切な処理を施したTFT試料においては、トップゲート動作においてもON/OFFスイッチングが実現され、SS値は ~ 130 mV/dec.、界面準位密度(D_{it})は $\sim 1 \times 10^{13}$ cm⁻²eV⁻¹と見積もられる。

【0190】

続いてTFETの場合について詳細に議論する。

【0191】

図80は、ゲートスタック制御(I):TFETの $I_{ds}-V_{gs}$ 特性に対するPPOの影響を示す図である。図81は、ゲートスタック制御(II):TFETの $I_{ds}-V_{gs}$ 特性に対する350 nmにおけるPOAおよびPNAの影響を示す図である。PPOも事前に施した試料の結果を示している。

【0192】

PPOは、1 nmの Al_2O_3 を堆積した時点で施している。後プラズマ酸化(PPO)は電流カットオフに必須のプロセスであり、 E_{eff} 付近の界面準位密度(D_{it})を低減させていると考えられる(図80)。しかし、ON電流の値は非常に低く、フェルミレベルは伝導帯から離れた深いエネルギー位置でピンニング(pinning)されていると考えられる。

【0193】

一方、後 O_2 /N₂熱処理(POA/PNA)によりON電流は増大する。POAとPNAで大きな差が無いことから、プロセス中の熱処理の効果によりエネルギー的に深い界面準位密度(D_{it})の低減やZnOの結晶性の向上による移動度増大などが示唆される(図81)。そして、POA時間の最適化により、効果的なON電流の増大と閾値(V_{th})調整が両立された。

【0194】

上記の結果を元にとすると、更なるゲートスタック技術の確立、ZnO/IV族半導体界面に形成された界面層の除去、およびZnO膜の均一性の向上により、デバイスシミュレーションによって予測されたようなTFET性能への飛躍的な向上が期待される。

10

20

30

40

50

【0195】

[5. 結論]

酸化物半導体とⅤ族半導体とを接合させたtype-Ⅱエネルギーバンド構造を有する積層型TFETについて、新たなコンセプトに基づいた素子構造を提案した。

【0196】

TCADシミュレーションより、高いON電流($> 70 \mu\text{A}/\mu\text{m}$)、限りなくゼロに近い最小SS値、 0.3 V 動作を想定した場合の平均SS値 $\sim 40 \text{ mV}/\text{dec}$. など、提案する素子の高いポテンシャルが示された。また、この新たな提案は、 $n\text{-ZnO}/p\text{-}(Si \text{ または } Ge)$ トンネル接合を用いて作製したTFETにおいても実験的に実証された。

10

【0197】

室温動作において、急峻なON/OFFスイッチングと極めて低いOFF電流が実現され、 10^8 を上回る過去最高のON/OFF電流比および最小SS値 $71 \text{ mV}/\text{dec}$. を達成した。

【0198】

また、ソース濃度の影響、 ZnO/Ge トンネル接合によるON電流の増大、ゲートスタック構造制御の重要性などが実験的に示された。

【0199】

<Nch-TFETとPch-TFETとの比較>

続いて、NchのTFETとPchのTFETとを比較して説明する。

20

【0200】

図82は、Nch-Pch単一構造TFETにおける動作モード図である。図82では、図25に示す第5実施形態におけるTFET10Dのように、NchとしてもPchとしても動作可能なTFETについて、それぞれのチャンネルでの動作のモード図を示したものである。ゲート電圧の制御にON状態にする場合には、Nchでは、主としてn型酸化物半導体層のバンドが曲がるのに対し、Pchでは、主としてp型Ⅴ族半導体層のバンドが曲がる。

【0201】

図83は、NchTFETおよびPchTFETのそれぞれにおける動作モード図である。図83では、NchのTFETとPchのTFETとのバンドの曲がり方を示している。それぞれのチャンネルにおけるバンドの曲がり方としては、基本的には、図82に示す例と同じである。

30

【0202】

図84は、NchTFETの $I_d - V_g$ 特性および $I_d - V_d$ 特性を示す図である。図85は、PchTFETの $I_d - V_g$ 特性および $I_d - V_d$ 特性を示す図である。これらの特性は、以下の条件によりシミュレーションした結果である。p型Ⅴ族半導体層としてGeを用い、n型酸化物半導体層としてZnO(電子親和力は 4.2 eV)を用いた。それぞれの層における不純物濃度は、 $3 \times 10^{18} \text{ cm}^{-3}$ とした。EOTは 1 nm とする。p型Ⅴ族半導体層は、Nchの場合 10 nm 、Pchの場合 5 nm であり、n型酸化物半導体層は、Nchの場合 5 nm 、Pchの場合 10 nm であるものとして設定した。これらの結果によれば、TFETは、NchであってもPchであっても実用に耐える特性を得ることができる。

40

【0203】

<NchTFETの特性の温度依存性>

続いて、p型Ⅴ族半導体層としてSiを用い、n型酸化物半導体層としてZnOを用いたNchのTFETの特性の温度依存性について示す。

【0204】

図86は、NchTFETの $I_d - V_g$ 特性の温度依存性を示す図である。図87は、NchTFETの様々な特性値の温度依存性を示す図である。これらの特性によれば、温度依存性が非常に小さい。これはトンネル電界効果トランジスタに特有の性能である。また

50

、n型酸化物半導体層における大きなエネルギーギャップの影響により、200のような高温であっても、非常に小さいOFF電流($< 1 \text{ pA} / \mu\text{m}$)が得られた。

【0205】

<n型酸化物半導体層の材料比較(ZnO、ZnSnO)>

NchのTFETにおいて、n型酸化物半導体層にZnOを用いた場合とZnSnO(ここでは、 $Zn/Sn = 1.5$)を用いた場合の比較をした。なお、p型IV族半導体層は、Siである。

【0206】

図88は、ZnOとZnSnOとの表面状態および断面状態を比較する図である。図88の上図はn型酸化物半導体層の表面のAFM像であり、下図は断面TEM像である。図88に示すように、ZnSnOでは、ZnOに比べて表面の粗さが非常に小さくなっている。

10

【0207】

図89は、ZnOとZnSnOとについて様々な特性を比較する図である。ZnSnOでは、ZnOに対して高いON電流が実現され、平均SS値の向上も見られた。また、ZnSnOでは、ZnOに比べて閾値が0V付近に移動し、EOTスケールに有効な特性が得られることがわかった。

【0208】

<TFETの応用例>

上記のシミュレーション結果によれば、国際半導体ロードマップ(ITRS)が示す低消費電力素子の性能指標予測に匹敵するパフォーマンスである。ITRSでは、約0.7Vでの動作が想定されているのに対し、今回の結果は大きく改善されて、かつ、既存の量子トンネルMOSFETに比べても低電圧での実現が見込まれている。このことから、低消費電力半導体デバイス産業に直結する極めて利用価値が高いものと考えられる。加えて、異種材料にもかかわらず、エピタキシャル成長などの高温かつ高コストなプロセスを使わなくてもよいため、近年急速に発展しているディスプレイ、フレキシブルデバイス、ウェアラブルデバイス等への応用発展にも直結する。

20

【0209】

応用例として、例えば、環境発電との融合、バッテリーレスのモバイル端末、およびメモリとの融合が考えられる。

30

【0210】

最近の研究では、環境(光、熱(人の体温などを含む))により発電した電力をそのまま利用し、バッテリーを必要としない端末が考えられている。特に、ヘルスケア、ヘルスマニターなどは、情報量は多くはないものの、常時、動かしておく必要がある。そのため、バッテリーを用いないデバイスの利点は大きい。環境発電の多くは電圧の確保が難しく、多数のセルを直列につなぎ、トランジスタなどの動作に必要な電圧を作り出している。一般的なMOSFETの動作電圧 $> 0.7 \text{ V}$ が、今回の応用によって動作電圧 $< 0.3 \text{ V}$ となるため、その利点は大きい。

【0211】

メモリ回路は、情報を記憶する素子(メモリ素子)と、回路組み換えのためのスイッチ(トランジスタ)との双方が、多数組み込まれている。最近のメモリ素子の発展もめざましく、低電圧での情報の書き込み、読み出しが可能なのが数多く報告されている。こちらから、最近では0.3V程度の駆動例が報告されている。しかしながら、メモリ素子単体が0.3Vで動作可能であっても、回路内に組み込まれるMOSFETが0.7Vを必要とするならば、当該回路全体を駆動するための電圧は0.7V以上になってしまう。それに対し、今回のTFETでは0.3Vでの動作が可能となるため、メモリ素子の利点を生かした回路設計を行うことが可能である。

40

【0212】

<変形例>

以上、本発明の一実施形態について説明したが、上述した各実施形態は、互いに組み合

50

わせたり、置換したりして適用することが可能である。また、上述した各実施形態では、以下の通り変形して実施することも可能である。以下の変形例では、第1実施形態に適用した例を述べるが、他の実施形態に対しても適用される。

【0213】

(1) p型IV族半導体層110は、上述したトンネル接合を実現することができるエネルギーバンド構造を有するp型の半導体であれば、IV族の半導体でなくてもよい。

【0214】

(2) n型酸化物半導体層200は、上述したトンネル接合を実現することができるエネルギーバンド構造を有するn型の半導体であれば、酸化物半導体以外の半導体であってもよく、例えば、バンドギャップが大きくなりやすいII-VI族半導体であってもよい。

10

【0215】

(3) 分離絶縁層500が配置される領域A2はヘテロ接合部900に対して少なくともドレイン電極層720側にあればよい。例えば、ヘテロ接合部900に対してソース電極層710側においては、必ずしも分離絶縁層500が配置されていなくてもよい。

【0216】

(4) ゲート絶縁層300に開口部370を形成する際に、ゲート絶縁層300とn型酸化物半導体層200とでエッチング選択性がとれない場合には、予め金属をn型酸化物半導体層200の下部に埋め込んでおいてもよい。

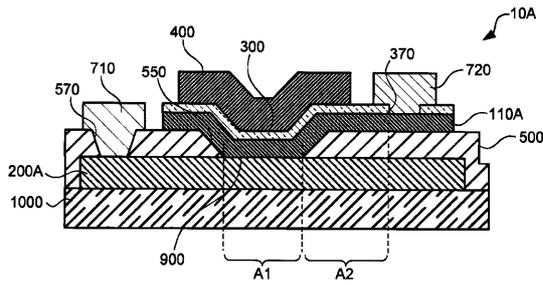
【符号の説明】

【0217】

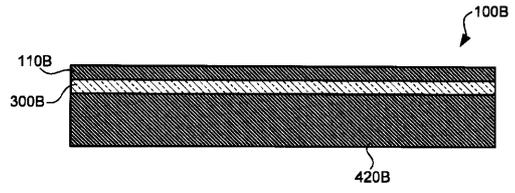
10 TFT、100 半導体基板、110 p型IV族半導体層、115 接合絶縁層、120 n型IV族半導体層、200 n型酸化物半導体層、300 ゲート絶縁層、370 開口部、400 ゲート電極層、500 分離絶縁層、550 接合開口部、570 開口部、600 平坦化絶縁層、610 下部層間絶縁層、620 上部層間絶縁層、630 層間絶縁層、710 ソース電極層、712 p側電極層、720 ドレイン電極層、721 n側電極層、740 ゲート引き出し電極層、810 ゲート入力用配線、830 ドレイン出力用配線、860 低電源線、880 高電源線、900 ヘテロ接合部

20

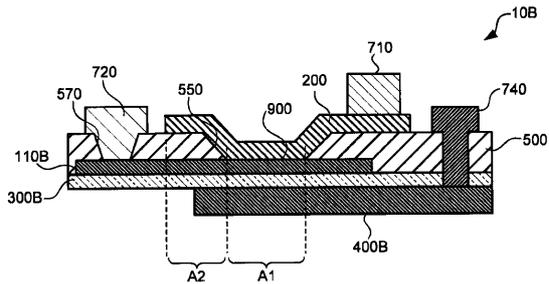
【 図 1 0 】



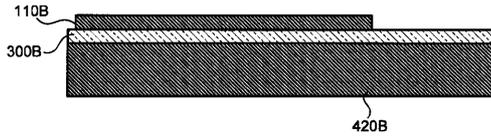
【 図 1 2 】



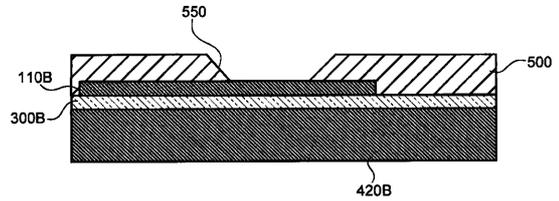
【 図 1 1 】



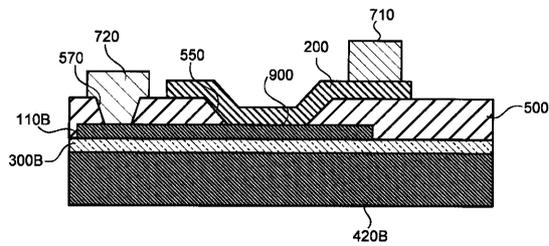
【 図 1 3 】



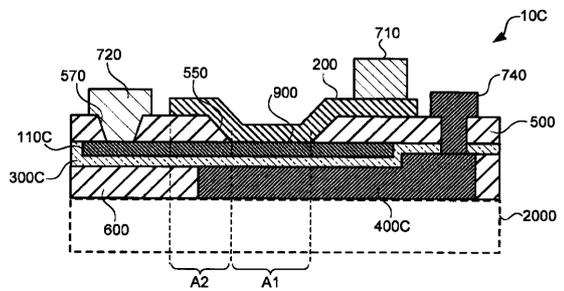
【 図 1 4 】



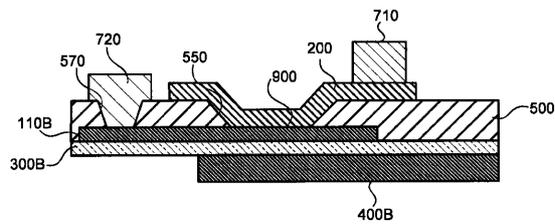
【 図 1 5 】



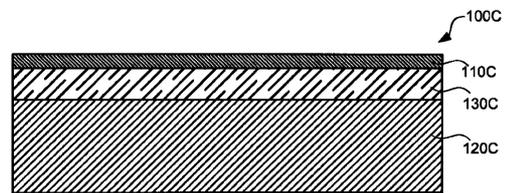
【 図 1 7 】



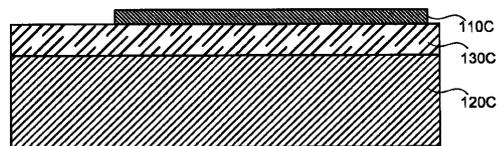
【 図 1 6 】



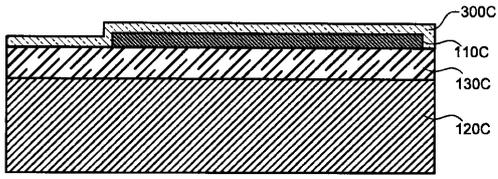
【 図 1 8 】



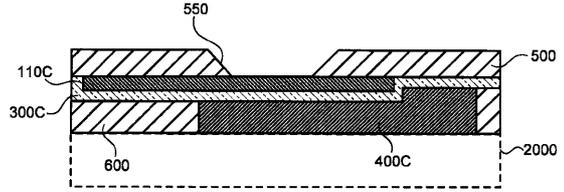
【 図 1 9 】



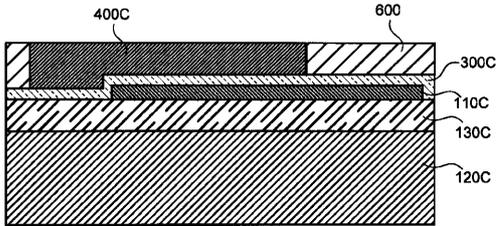
【図20】



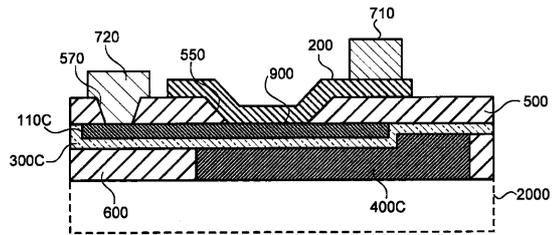
【図23】



【図21】



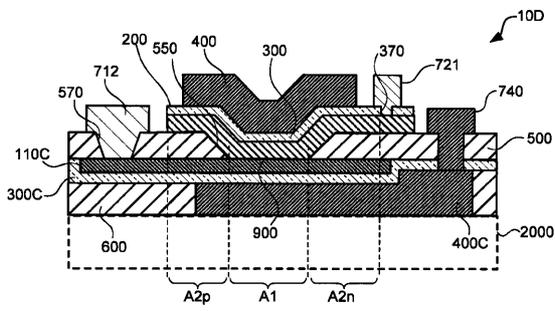
【図24】



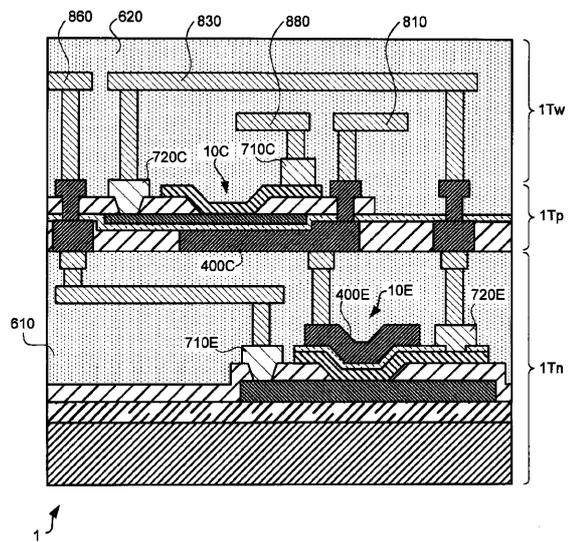
【図22】



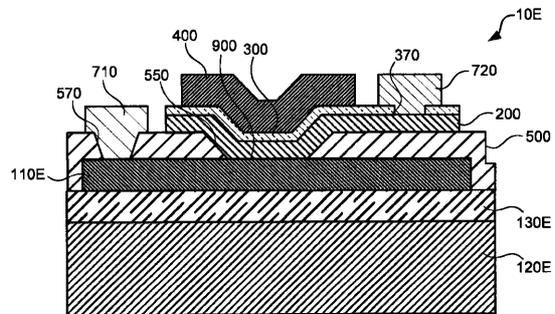
【図25】



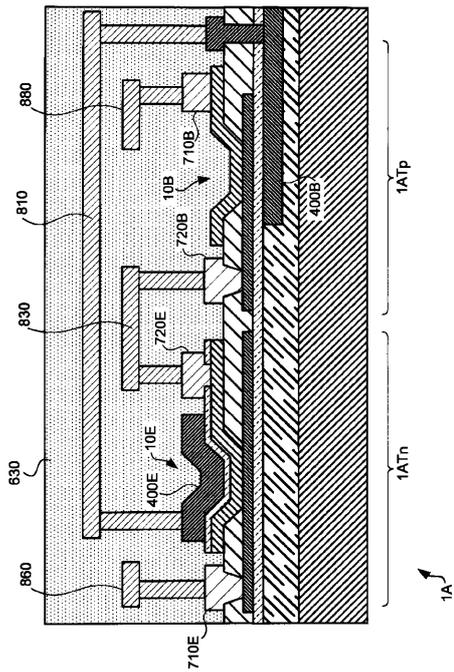
【図27】



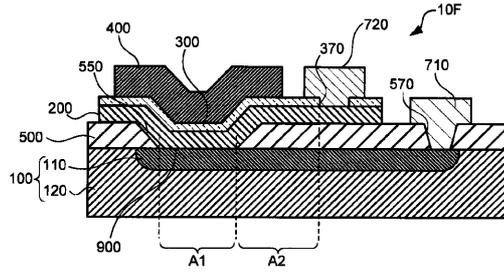
【図26】



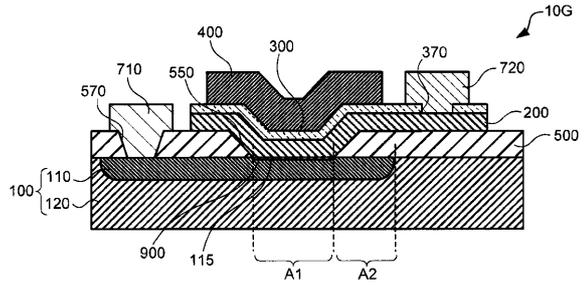
【図28】



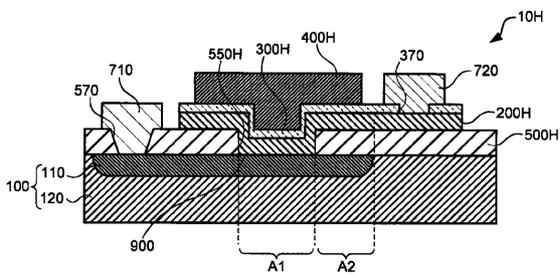
【図29】



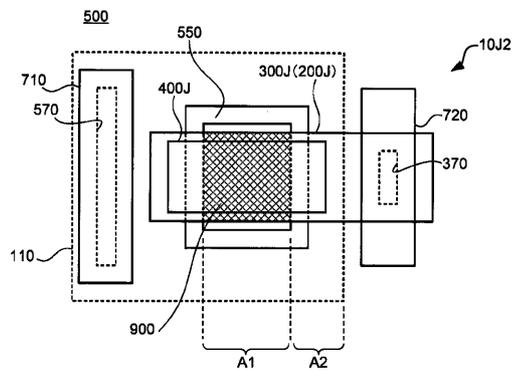
【図30】



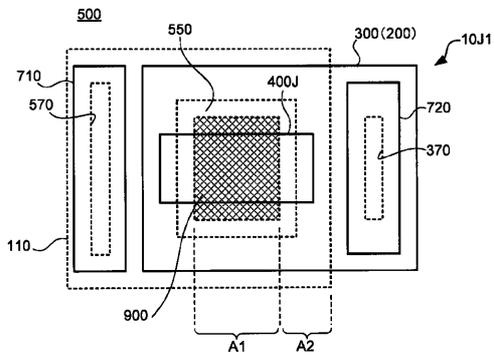
【図31】



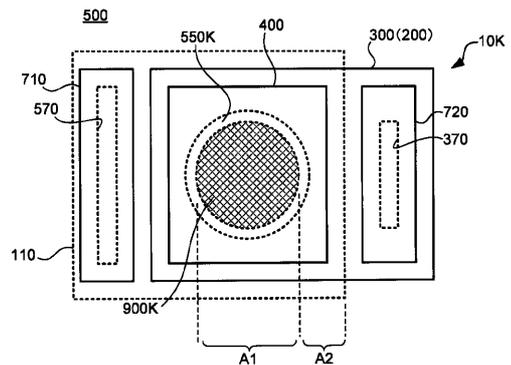
【図33】



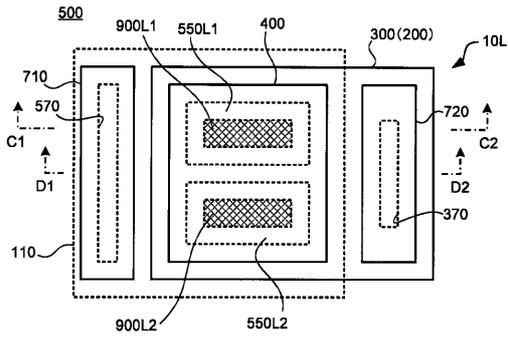
【図32】



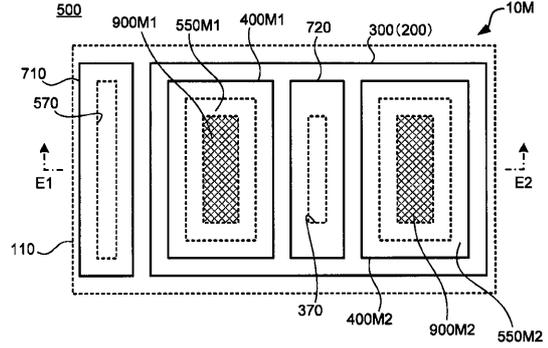
【図34】



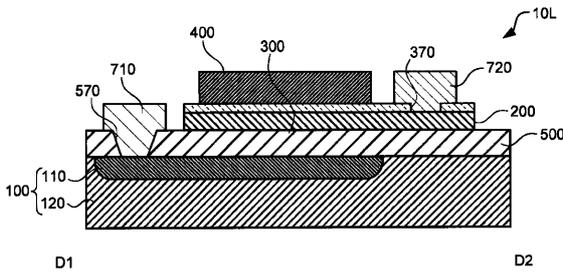
【図35】



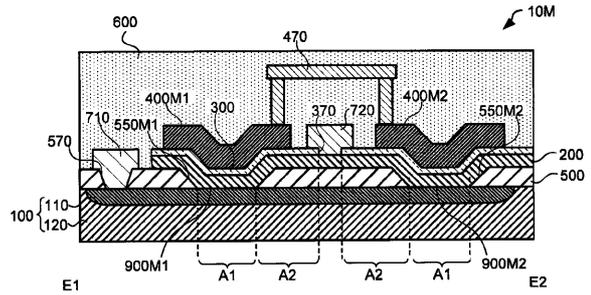
【図37】



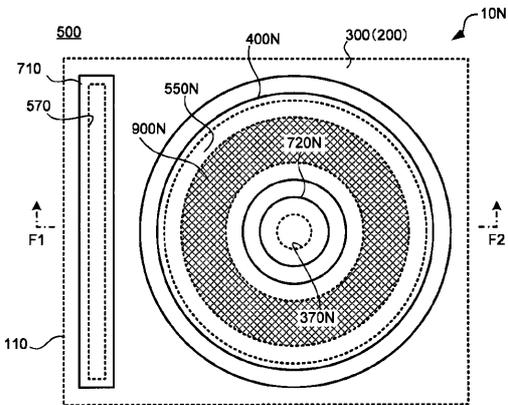
【図36】



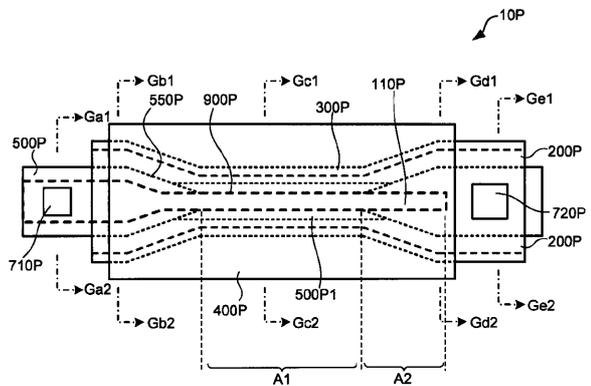
【図38】



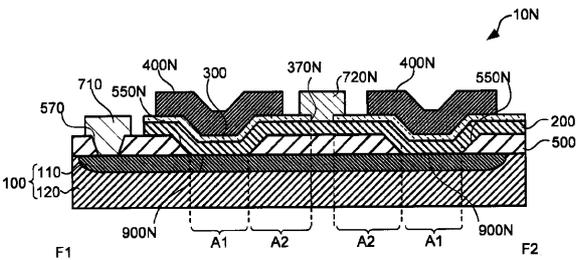
【図39】



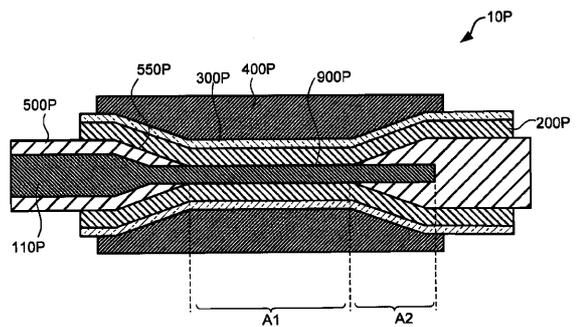
【図41】



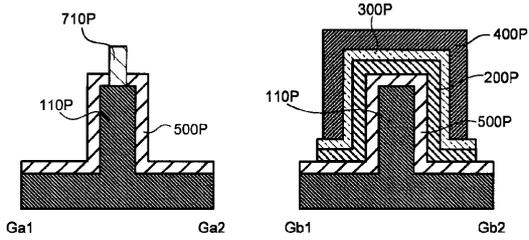
【図40】



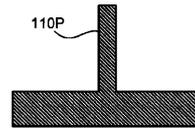
【図42】



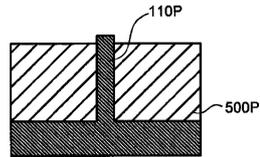
【 図 4 3 】



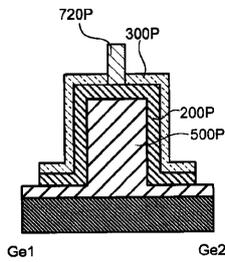
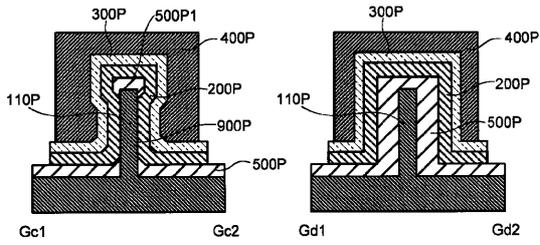
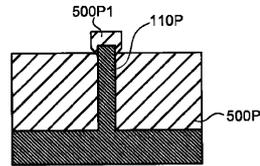
【 図 4 4 】



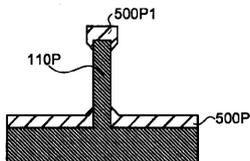
【 図 4 5 】



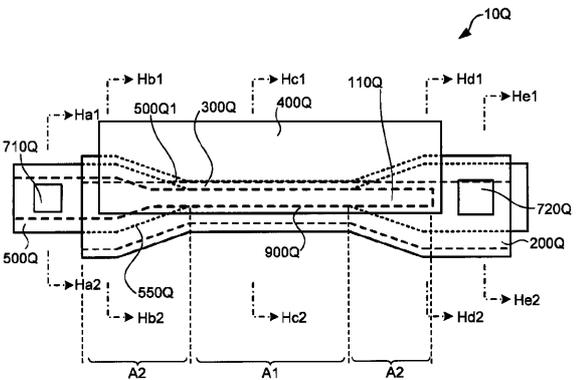
【 図 4 6 】



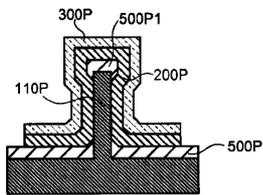
【 図 4 7 】



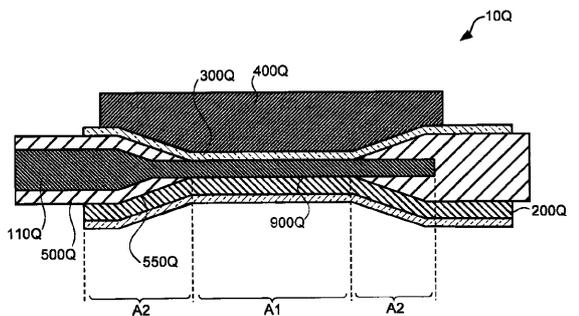
【 図 4 9 】



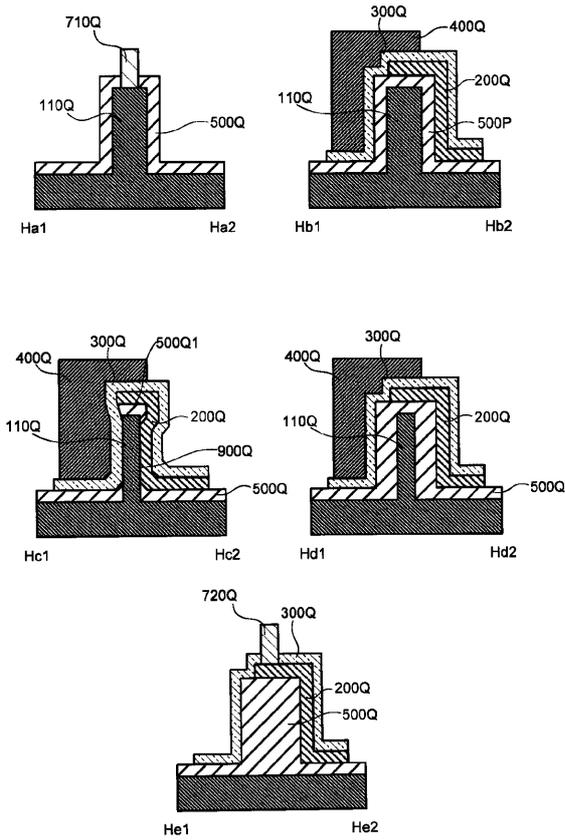
【 図 4 8 】



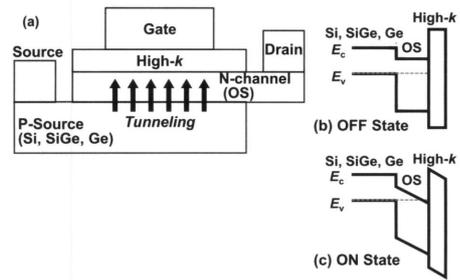
【 図 5 0 】



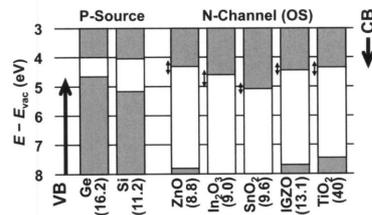
【 5 1 】



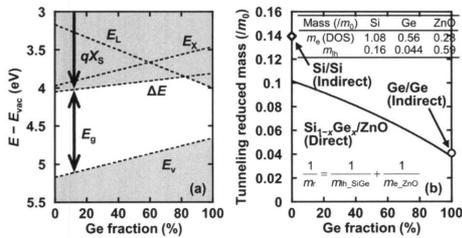
【 5 2 】



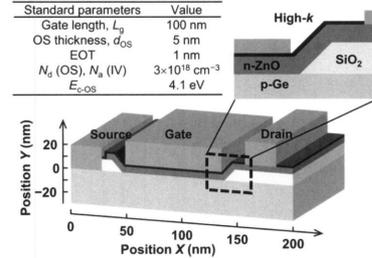
【 5 3 】



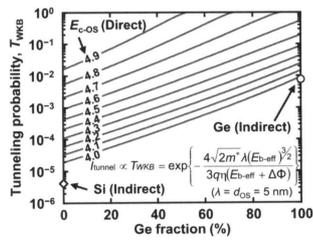
【 5 4 】



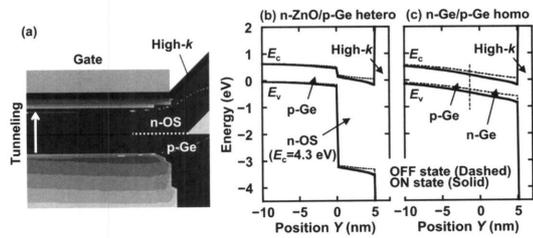
【 5 6 】



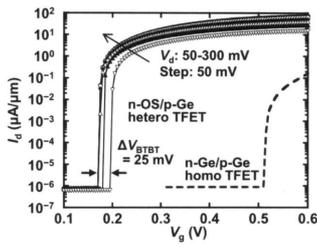
【 5 5 】



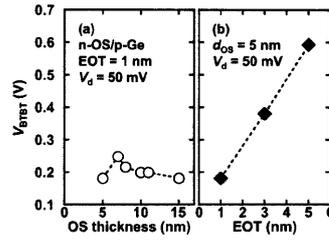
【 5 7 】



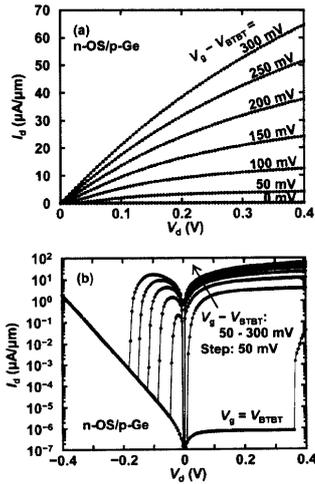
【 図 5 8 】



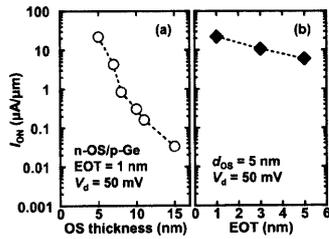
【 図 6 0 】



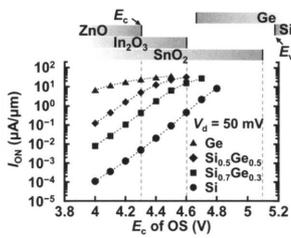
【 図 5 9 】



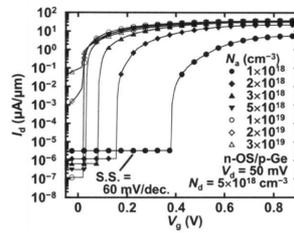
【 図 6 1 】



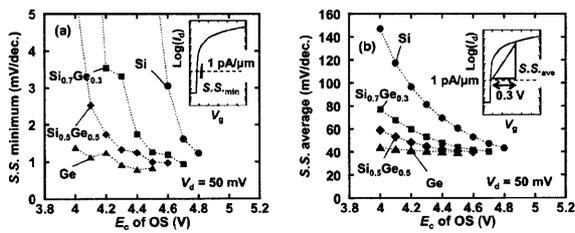
【 図 6 2 】



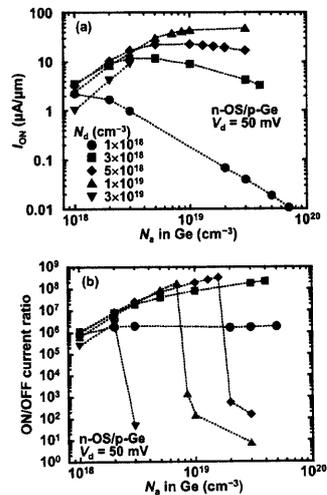
【 図 6 4 】



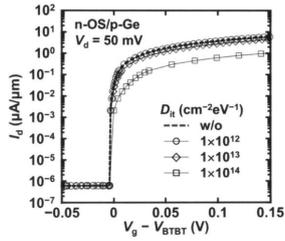
【 図 6 3 】



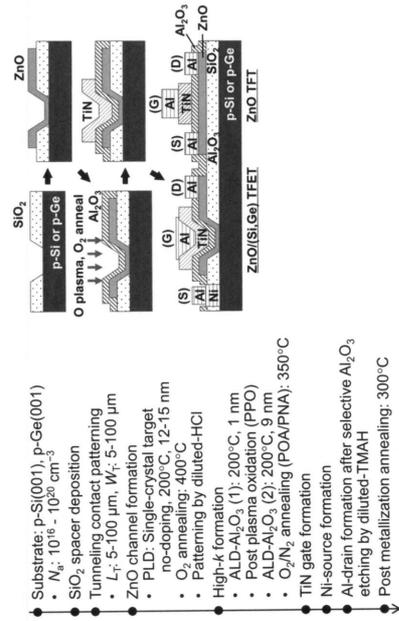
【 図 6 5 】



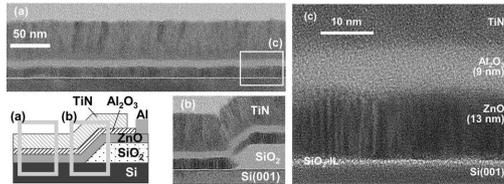
【 6 6 】



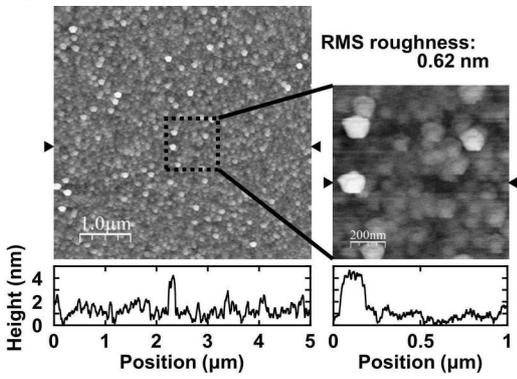
【 6 7 】



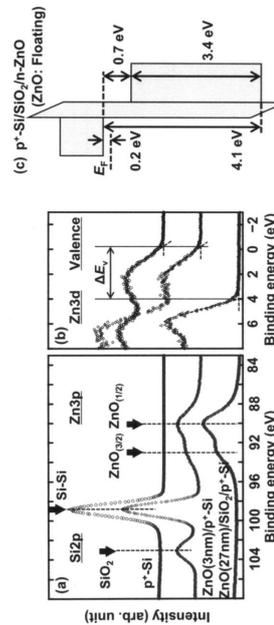
【 6 8 】



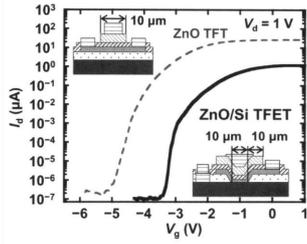
【 6 9 】



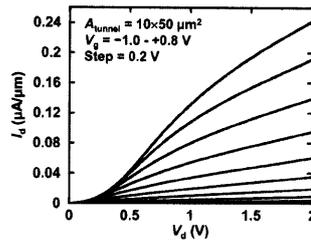
【 7 0 】



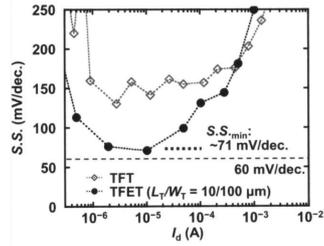
【 図 7 1 】



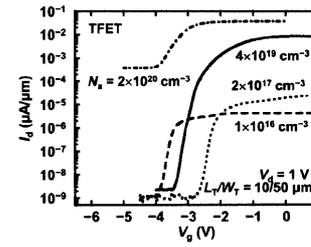
【 図 7 3 】



【 図 7 2 】

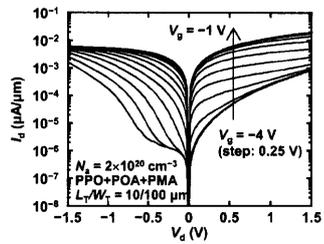


【 図 7 4 】

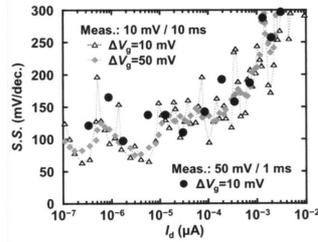


10

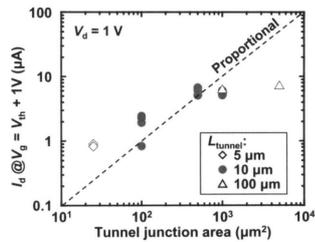
【 図 7 5 】



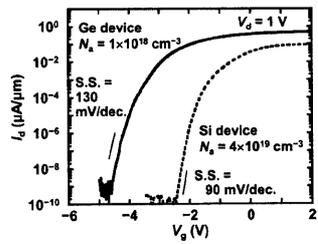
【 図 7 7 】



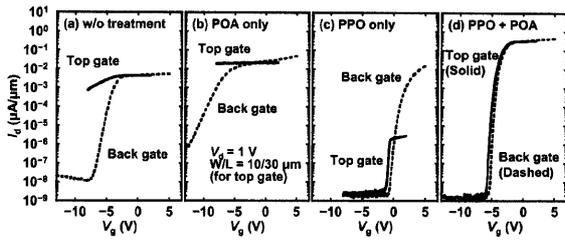
【 図 7 6 】



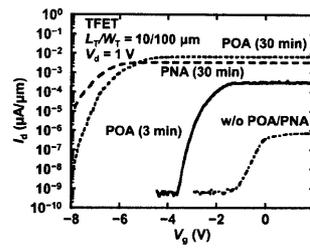
【 図 7 8 】



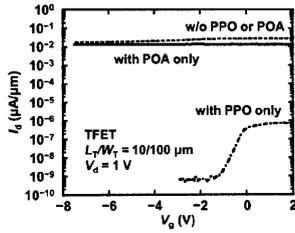
【 図 7 9 】



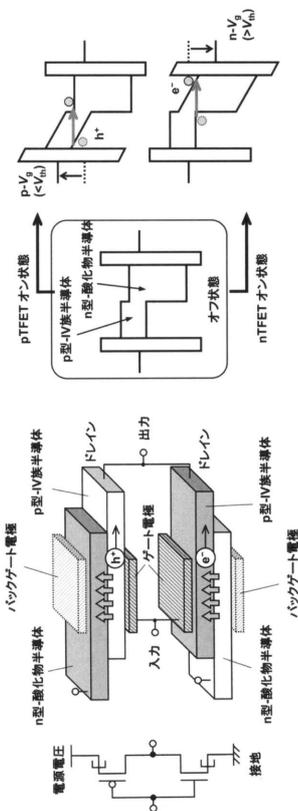
【 図 8 1 】



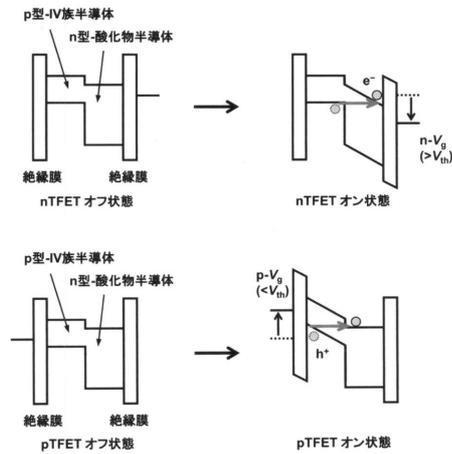
【 図 8 0 】



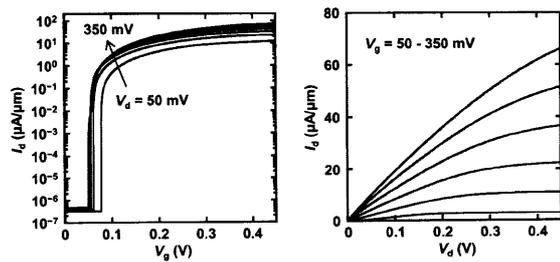
【 図 8 2 】



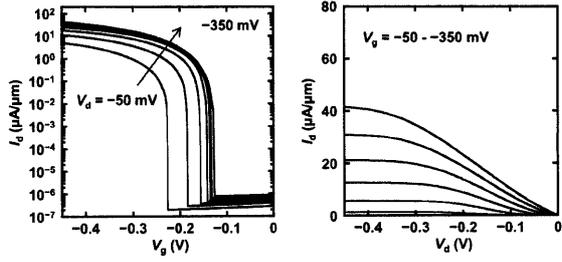
【 図 8 3 】



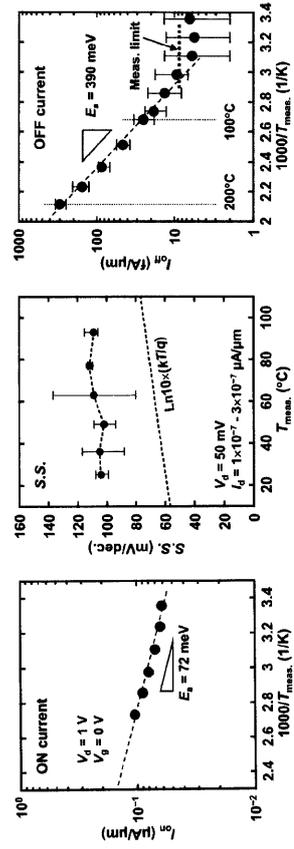
【 図 8 4 】



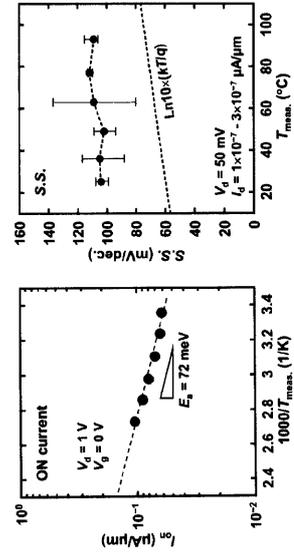
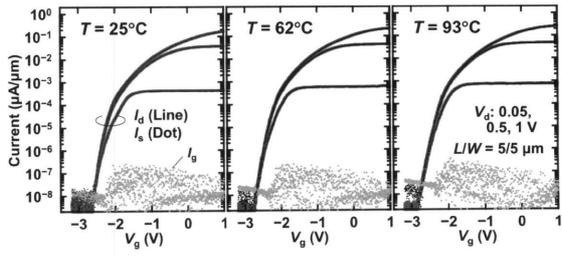
【 8 5 】



【 8 7 】

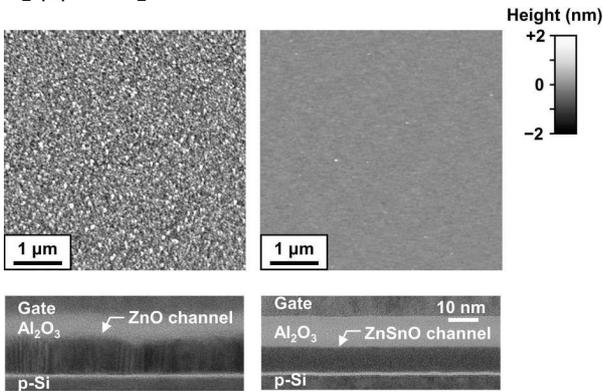


【 8 6 】

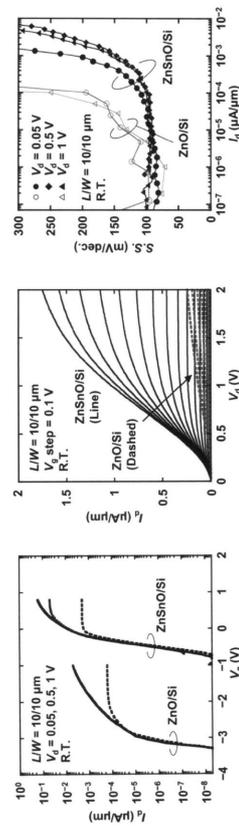


10

【 8 8 】



【 8 9 】



フロントページの続き

特許法第30条第2項適用 平成29年12月5日 2017 IEEE International Electron Devices Meeting

特許法第30条第2項適用 平成30年1月18日 電子デバイス界面テクノロジー研究会 - 材料・プロセス・デバイス特性の物理 - (第23回研究会) 予稿集、5 - 8頁

特許法第30条第2項適用 平成30年1月19日 電子デバイス界面テクノロジー研究会 - 材料・プロセス・デバイス特性の物理 - (第23回研究会)

特許法第30条第2項適用 平成30年1月23日 信学技報, vol. 117, no. 427, SDM2017 - 92, pp. 5 - 8, 2018年1月, 電子情報通信学会

特許法第30条第2項適用 平成30年1月30日 電子情報通信学会シリコン材料・デバイス研究会

特許法第30条第2項適用 平成30年3月5日 第65回応用物理学会春季学術講演会 講演予稿集, pp. 12 - 183, 応用物理学会

特許法第30条第2項適用 平成30年3月18日 第65回応用物理学会春季学術講演会

特許法第30条第2項適用 平成30年3月5日 第65回応用物理学会春季学術講演会 講演予稿集, pp. 12 - 184, 応用物理学会

特許法第30条第2項適用 平成30年3月18日 第65回応用物理学会春季学術講演会

特許法第30条第2項適用 平成30年4月17日 Applied Physics Letters 112, 162105 (2018)

特許法第30条第2項適用 平成30年5月13日 ECS Transactions, 85(8)27 - 37 (2018)

特許法第30条第2項適用 平成30年5月14日 233rd The Electrochemical Society Meeting

特許法第30条第2項適用 平成30年7月2日 2018 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices, pp. 21 - 26

特許法第30条第2項適用 平成30年7月2日 2018 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices

特許法第30条第2項適用 平成30年9月3日 2018 48th European Solid-State Device Research Conference, pp. 6 - 11

特許法第30条第2項適用 平成30年9月4日 2018 48th European Solid-State Device Research Conference

特許法第30条第2項適用 平成30年9月9日 Extended Abstracts of the 2

018 International Conference on Solid State Devices and Materials, Tokyo, 2018, pp187 - 188

特許法第30条第2項適用 平成30年9月12日 2018 International Conference on Solid State Devices and Materials

特許法第30条第2項適用 平成30年9月5日 第79回応用物理学会秋季学術講演会 講演予稿集, pp. 100000001 - 119, 応用物理学会

特許法第30条第2項適用 平成30年9月19日 第79回応用物理学会秋季学術講演会

特許法第30条第2項適用 平成30年9月5日 第79回応用物理学会秋季学術講演会 講演予稿集, pp. 12 - 304, 応用物理学会

特許法第30条第2項適用 平成30年9月21日 第79回応用物理学会秋季学術講演会

特許法第30条第2項適用 平成30年9月30日 Ecs Transactions, 86(7)75 - 86(2018)

特許法第30条第2項適用 平成30年10月2日 ECS and SMEQ Joint International Meeting

特許法第30条第2項適用 平成30年11月1日 信学技報, vol. 118, no. 291, SDM2018 - 66, pp. 11 - 16, 2018年11月, 電子情報通信学会

特許法第30条第2項適用 平成30年11月8日 電子情報通信学会シリコン材料・デバイス研究会

特許法第30条第2項適用 平成30年8月1日 パリティVol. 33, No. 08, 2018 - 08, PP. 44 - 47

特許法第30条第2項適用 平成29年12月4日 https://www.t.u-tokyo.ac.jp/foe/press/setnws__201712041358034352130602.html https://www.t.u-tokyo.ac.jp/shared/press/data/setnws__201712041358034352130602__108028.pdf

特許法第30条第2項適用 平成29年12月4日 <https://www.jst.go.jp/pr/announce/20171204/index.html>

(72)発明者 田畑 仁

東京都文京区本郷七丁目3番1号国立大学法人東京大学内

(72)発明者 松井 裕章

東京都文京区本郷七丁目3番1号国立大学法人東京大学内

審査官 綿引 隆

(56)参考文献 特開平01 - 095554 (JP, A)

特開2013 - 046073 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/66

H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 7 8 6