

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7133842号
(P7133842)

(45)発行日 令和4年9月9日(2022.9.9)

(24)登録日 令和4年9月1日(2022.9.1)

(51)Int. Cl.	F I
H O 1 L 39/22 (2006.01)	H O 1 L 39/22 K Z A A
G O 6 N 10/00 (2022.01)	G O 6 N 10/00
H O 1 L 27/18 (2006.01)	H O 1 L 27/18

請求項の数 6 (全 23 頁)

<p>(21)出願番号 特願2018-191287(P2018-191287)</p> <p>(22)出願日 平成30年10月9日(2018.10.9)</p> <p>(65)公開番号 特開2020-61447(P2020-61447A)</p> <p>(43)公開日 令和2年4月16日(2020.4.16)</p> <p>審査請求日 令和3年7月29日(2021.7.29)</p>	<p>(73)特許権者 503360115 国立研究開発法人科学技術振興機構 埼玉県川口市本町四丁目1番8号</p> <p>(74)代理人 100149548 弁理士 松沼 泰史</p> <p>(74)代理人 100163496 弁理士 荒 則彦</p> <p>(74)代理人 100161207 弁理士 西澤 和純</p> <p>(74)代理人 100147267 弁理士 大槻 真紀子</p> <p>(72)発明者 中村 泰信 東京都目黒区駒場四丁目6番1号 東京大 学先端科学技術研究センター内</p>
---	--

最終頁に続く

(54)【発明の名称】超伝導複合量子計算回路

(57)【特許請求の範囲】

【請求項1】

量子ビットと前記量子ビットの状態を観測する観測電極とを含む回路素子の配線パターンと、接地電位である接地パターンとが基板表面に形成され、前記基板表面のうちの第1面に形成される前記接地パターンと、前記第1面の裏面である第2面に形成される前記接地パターンとを基板内部において接続する貫通電極を備える回路基板と、

前記回路基板の前記第1面に形成される前記接地パターンに接する第1接触部と、前記第1面に形成される前記配線パターンの形状に応じた形状の第1非接触部とを備える第1接地電極と、

前記回路基板の前記第2面に形成される前記接地パターンに接する第2接触部を備える第2接地電極と、

を備える超伝導複合量子計算回路。

【請求項2】

前記第1接地電極を前記回路基板の前記第1面に押し付ける、または、前記第2接地電極を前記回路基板の前記第2面に押し付ける付勢部材をさらに備え、

前記第1接地電極は、前記接地パターンの展延性よりも高い展延性を有する超伝導体によって形成される第1展延部を介して前記接地パターンに接し、

前記第2接地電極は、前記接地パターンの展延性よりも高い展延性を有する超伝導体によって形成される第2展延部を介して前記接地パターンに接する、

請求項1に記載の超伝導複合量子計算回路。

10

20

【請求項 3】

前記量子ビットは、接地部と第 1 の結合容量を有する第 1 の電極と、接地部と前記第 1 の結合容量よりも大きい第 2 の結合容量を有し、前記第 1 の電極とジョセフソン接合により接続される第 2 の電極とを含む

請求項 1 または請求項 2 に記載の超伝導複合量子計算回路。

【請求項 4】

前記回路基板は、前記第 1 面に形成される前記配線パターンに含まれる前記量子ビットの位置に応じた前記第 2 面の位置である量子ビット対応位置に、中心部電極と、当該中心部電極の周囲を囲む周囲電極と、当該中心部電極と当該周囲電極とを接続する接続電極とを備える

請求項 3 に記載の超伝導複合量子計算回路。

【請求項 5】

前記第 1 面に形成される前記配線パターンに含まれる前記量子ビットの位置に対応する位置に前記第 1 接地電極が有する前記第 1 非接触部の内部、または、前記第 1 面に形成される前記配線パターンに含まれる前記量子ビットの位置に応じた前記第 2 面の位置である量子ビット対応位置に対応する位置に前記第 2 接地電極が有する第 2 非接触部の内部、に配置され、前記量子ビットに制御信号を供給する制御信号線

をさらに備える請求項 1 から請求項 4 のいずれか一項に記載の超伝導複合量子計算回路。

【請求項 6】

前記制御信号の周波数帯域がマイクロ波帯域である

請求項 5 に記載の超伝導複合量子計算回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、超伝導複合量子計算回路に関する。

【背景技術】

【0002】

量子計算機に関する技術の研究や開発が行われている。量子計算機に関する技術において、超伝導量子ビットを用いた量子計算機において 2 量子ビットゲート操作を行う方法が知られている（特許文献 1、2 参照）。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】米国特許第 7 6 1 3 7 6 5 号明細書

【特許文献 2】米国特許出願公開第 2 0 1 6 / 0 3 8 0 6 3 6 号明細書

【発明の概要】

【発明が解決しようとする課題】

【0004】

超伝導回路を用いた量子コンピュータの実現のために開発されてきた従来の量子回路では、演算において必要とされる量子ビット間の不要な相互作用を完全にオフすることが困難な回路構成となっている。オフする際に残留する相互作用が存在すると、残留する相互作用自身が量子ビットの制御誤りの原因となるだけでなく、量子ビットに発生したエラーが周囲に伝搬し、拡散する要因となる。残留する相互作用自身が量子ビットの制御誤りの原因となったり、量子ビットに発生したエラーが周囲に伝搬し拡散したりすることは、誤り耐性をもつ量子コンピュータの実装において大きな問題なると同時に、誤り耐性を持たない近似型計算の計算精度低下につながる大きな問題となる。

【0005】

本発明は上記の点に鑑みてなされたものであり、量子ビット間の相互作用または漏話を抑制できる超伝導複合量子計算回路を提供する。

10

20

30

40

50

【課題を解決するための手段】**【0006】**

本発明は上記の課題を解決するためになされたものであり、本発明の一態様は、量子ビットと前記量子ビットの状態を観測する観測電極とを含む回路素子の配線パターンと、接地電位である接地パターンとが基板表面に形成され、前記基板表面のうちの第1面に形成される前記接地パターンと、前記第1面の裏面である第2面に形成される前記接地パターンとを基板内部において接続する貫通電極を備える回路基板と、前記回路基板の前記第1面に形成される前記接地パターンに接する第1接触部と、前記第1面に形成される前記配線パターンの形状に応じた形状の第1非接触部とを備える第1接地電極と、前記回路基板の前記第2面に形成される前記接地パターンに接する第2接触部を備える第2接地電極と、を備える超伝導複合量子計算回路である。

10

【0007】

また、本発明の一態様は、上記の超伝導複合量子計算回路において、前記第1接地電極を前記回路基板の前記第1面に押し付ける、または、前記第2接地電極を前記回路基板の前記第2面に押し付ける付勢部材をさらに備え、前記第1接地電極は、前記接地パターンの展延性よりも高い展延性を有する超伝導体によって形成される第1展延部を介して前記接地パターンに接し、前記第2接地電極は、前記接地パターンの展延性よりも高い展延性を有する超伝導体によって形成される第2展延部を介して前記接地パターンに接する。

【0008】

また、本発明の一態様は、上記の超伝導複合量子計算回路において、前記量子ビットは、接地部と第1の結合容量を有する第1の電極と、接地部と前記第1の結合容量よりも大きい第2の結合容量を有し、前記第1の電極とジョセフソン接合により接続される第2の電極とを含む。

20

【0009】

また、本発明の一態様は、上記の超伝導複合量子計算回路において、前記回路基板は、前記第1面に形成される前記配線パターンに含まれる前記量子ビットの位置に応じた前記第2面の位置である量子ビット対応位置に、中心部電極と、当該中心部電極の周囲を囲む周囲電極と、当該中心部電極と当該周囲電極とを接続する接続電極とを備える。

【0010】

また、本発明の一態様は、上記の超伝導複合量子計算回路において、前記第1面に形成される前記配線パターンに含まれる前記量子ビットの位置に対応する位置に前記第1接地電極が有する前記第1非接触部の内部、または、前記第1面に形成される前記配線パターンに含まれる前記量子ビットの位置に応じた前記第2面の位置である量子ビット対応位置に対応する位置に前記第2接地電極が有する第2非接触部の内部、に配置され、前記量子ビットに制御信号を供給する制御信号線をさらに備える。

30

【0011】

また、本発明の一態様は、上記の超伝導複合量子計算回路において、前記制御信号の周波数帯域がマイクロ波帯域である。

【発明の効果】**【0012】**

本発明によれば、量子ビット間の相互作用または漏話を抑制できる。

40

【図面の簡単な説明】**【0013】**

【図1】本発明の実施形態に係る超伝導複合量子計算回路の構成の一例を示す図である。

【図2】本発明の実施形態に係る基板表面のうちの観測用領域の上面図である。

【図3】本発明の実施形態に係る第1非接触部及び第1接触部の一例を示す図である

【図4】本発明の実施形態に係る量子ビットの一例を示す図である。

【図5】本発明の実施形態に係る第1等価回路の一例を示す図である。

【図6】本発明の実施形態に係るフィルタパターンの一例を示す図である。

【図7】本発明の実施形態に係る第2等価回路の一例を示す図である。

50

【図 8】本発明の実施形態に係る第 3 キャパシターに流れる電流の制御電流の周波数に対する関係の一例を示す図である。

【図 9】本発明の実施形態に係る超伝導複合量子計算回路の量子ビットの部分の断面の一例を示す図である。

【図 10】本発明の実施形態に係る超伝導共振器及び観測電極の一例を示す図である。

【図 11】本発明の実施形態に係る超伝導複合量子計算回路の観測電極の部分の断面の一例を示す図である。

【図 12】本発明の変形例に係る量子ビットの一例を示す図である。

【図 13】本発明の変形例に係る量子ビットの一例を示す図である。

【図 14】本発明の変形例に係る量子ビットの一例を示す図である。

10

【図 15】本発明の変形例に係る量子ビットの一例を示す図である。

【図 16】本発明の変形例に係る量子ビットの一例を示す図である。

【図 17】本発明の変形例に係る量子ビットの一例を示す図である。

【図 18】本発明の変形例に係る量子ビットの一例を示す図である。

【図 19】本発明の変形例に係るフィルタパターンの一例を示す図である。

【図 20】本発明の変形例に係るフィルタパターンの一例を示す図である。

【図 21】本発明の変形例に係るフィルタパターンの一例を示す図である。

【発明を実施するための形態】

【0014】

(実施形態)

20

以下、図面を参照しながら本発明の実施形態について詳しく説明する。図 1 は、本実施形態に係る超伝導複合量子計算回路 Q C の構成の一例を示す図である。超伝導複合量子計算回路 Q C は、回路基板 1 と、第 1 接地電極 2 と、第 2 接地電極 3 とを備える。回路基板 1 は、第 1 接地電極 2 と、第 2 接地電極 3 とにより挟まれている。

回路基板 1 からみて第 1 接地電極 2 が備えられる側を上側、回路基板 1 からみて第 2 接地電極 3 が備えられる側を下側という。

【0015】

回路基板 1 は、一例としてシリコン等の誘電体基板である。回路基板 1 では、シリコン等の誘電体基板の基板表面 S 上に超伝導膜により回路素子の配線パターン C P 及び接地パターン G P が形成される。なお、回路基板 1 の材質がシリコンである場合、回路基板 1 は所定の温度よりも低い温度において備えられ当該シリコンは誘電体となる。

30

【0016】

配線パターン C P には、量子ビット 4 と、量子ビット 4 の状態を観測する観測電極 8 と、超伝導共振器 7 と、キャパシター 9 とが含まれる。図 1 では、量子ビット 4 の一例として、量子ビット 4 - 1 ~ 4 - 6 が示されている。図 1 では、超伝導共振器 7 の一例として、超伝導共振器 7 - 1 ~ 7 - 4 が示されている。図 1 では、キャパシター 9 の一例として、キャパシター 9 - 1 ~ 9 - 4 が示されている。

【0017】

接地パターン G P は、接地電位である。接地パターン G P には、第 1 接地パターン G P 1 と、第 2 接地パターン G P 2 とがある。第 1 接地パターン G P 1 は、基板表面 S のうち上側の第 1 面 S 1 に形成される。第 2 接地パターン G P 2 は、第 1 面 S 1 の裏面である第 2 面 S 2 に形成される。第 1 接地パターン G P 1 には、基板上面接地電極 1 1 が含まれる。図 1 では、基板上面接地電極 1 1 の一例として、基板上面接地電極 1 1 - 1 ~ 1 1 - 4 が示されている。

40

【0018】

貫通電極 1 0 は、回路基板 1 の第 1 面 S 1 に形成される第 1 接地パターン G P 1 と、第 1 面 S 1 の裏面である第 2 面 S 2 に形成される第 2 接地パターン G P 2 とを基板内部において接続する。第 1 接地パターン G P 1 と、第 2 接地パターン G P 2 とは、貫通電極 1 0 によって電氣的に接触する。図 1 では、貫通電極 1 0 の一例として、貫通電極 1 0 - 1、及び貫通電極 1 0 - 2 が示されている。

50

【0019】

また、回路基板1の基板表面S上において、量子ビット4-1~4-4のように隣接する4つの量子ビット4を頂点とする四角形の領域を、観測用領域Xという。図1では、観測用領域Xの一例として、観測用領域X1及び観測用領域X2が示されている。

回路基板1の誘電体基板上において、隣接する量子ビット4-4、量子ビット4-3、量子ビット4-5、及び量子ビット4-6のように隣接する4つの量子ビット4を頂点とする四角形の領域を、間隙接地領域Yという。図1では、間隙接地領域Yの一例として、第1間隙接地領域Y1及び第1間隙接地領域Y2が示されている。

基板表面Sでは、観測用領域X、及び観測用領域Xを囲む間隙接地領域Yのパターンが繰り返されている。図1では、当該パターンのうちの一部が示されている。

10

【0020】

上述したように、回路基板1では、量子ビット4と量子ビット4の状態を観測する観測電極8とを含む回路素子の配線パターンCPと、接地電位である接地パターンGPとが基板表面Sに形成される。回路基板1は、基板表面Sのうちの第1面S1に形成される第1接地パターンGP1と、第1面S1の裏面である第2面S2に形成される第2接地パターンGP2とを基板内部において接続する貫通電極10を備える。

【0021】

第1接地電極2には、基板表面Sと対向する面に、基板表面S上の配線パターンCPに合わせてエッチング加工が施された後、超伝導膜が形成される。第1接地電極2には、当該エッチング加工によって第1非接触部20が形成される。

20

第1非接触部20は、基板表面Sのうちの第1面S1と接触していない。第1非接触部20と、第1面S1との間の距離は、一例として、数十から数百マイクロメートルである。第1非接触部20は、基板表面Sのうちの第1面S1に形成される配線パターンCPの形状に応じた形状である。

【0022】

一方、第1接地電極2には、第1接地電極2の基板表面Sと対向する面のうち第1非接触部20以外の部分として第1接触部21が備えられる。

第1接触部21は、回路基板1の第1面S1に形成される第1接地パターンGP1に、上面超伝導マイクロバンプ12-1を介して接する。上面超伝導マイクロバンプ12-1は、一例として、接地パターンGPの展延性よりも高い展延性を有する超伝導体である。上面超伝導マイクロバンプ12-1は、第1展延部12の一例である。

30

【0023】

ここで本実施形態において、展延性とは、展性または延性、もしくは展性と延性との両方の性質をいう。図1では、第1接触部21の一例として、第1接触部21-1、第1接触部21-2、及び第1接触部21-3が示されている。

【0024】

上述したように、第1接地電極2は、接地パターンGPの展延性よりも高い展延性を有する超伝導体によって形成される第1展延部12を介して接地パターンGPに接する。

【0025】

ここで図2及び図3を参照し、第1非接触部20及び第1接触部21について説明する。

40

図2は、本実施形態に係る基板表面Sのうちの観測用領域X1の上面図である。

図2では、第1非接触部20の一例として、第1非接触部20-3、第1非接触部20-4、第1非接触部20-5、及び第1非接触部20-6が示されている。

【0026】

図3は、本実施形態に係る第1非接触部20及び第1接触部21の一例を示す図である。図3では、第1接触部21の一例として、第1接触部21-1~21-12が示されている。第1非接触部20は、第1接触部21を除く部分であり、上述したようにエッチング加工により形成される。図3では、第1非接触部20の一例として、第1非接触部20-1及び第1非接触部20-2が示されている。

50

【 0 0 2 7 】

上述したように、第 1 接地電極 2 は、回路基板 1 の第 1 面 S 1 に形成される第 1 接地パターン G P 1 に接する第 1 接触部 2 1 と、第 1 面 S 1 に形成される配線パターン C P の形状に応じた形状の第 1 非接触部 2 0 とを備える。

【 0 0 2 8 】

図 1 に戻って超伝導複合量子計算回路 Q C の説明を続ける。

量子ビット 4 は、超伝導薄膜上に形成された超伝導量子ビットである。ここで図 4 及び図 5 を参照し、量子ビット 4 について説明する。

図 4 は、本実施形態に係る量子ビット 4 の一例を示す図である。量子ビット 4 は、内側円盤 4 0 と、外リング 4 1 と、ジョセフソン接合 4 2 と、量子ビット手部 4 3 - 1 と、量子ビット手部 4 3 - 2 とを備える。内側円盤 4 0 と、外リング 4 1 と、量子ビット手部 4 3 - 1 と、量子ビット手部 4 3 - 2 とは、それぞれ金属電極である。

10

【 0 0 2 9 】

内側円盤 4 0 と、外リング 4 1 とは、同心円の金属電極を形成する。内側円盤 4 0 と、外リング 4 1 とは、ジョセフソン接合 4 2 により接合される。外リング 4 1 には、量子ビット手部 4 3 - 1 と、量子ビット手部 4 3 - 2 と、量子ビット手部 4 3 - 3 と、量子ビット手部 4 3 - 4 とが接続される。図 4 では、量子ビット手部 4 3 - 3 と、量子ビット手部 4 3 - 4 とは不図示である。

外リング 4 1 は、基板上面接地電極 1 1 により周囲を囲まれている。基板上面接地電極 1 1 - 1 及び基板上面接地電極 1 1 - 2 は、基板上面接地電極 1 1 の一例である。

20

【 0 0 3 0 】

ここで図 5 を参照し、量子ビット 4 の等価回路である第 1 等価回路 4 C について説明する。

図 5 は、本実施形態に係る第 1 等価回路 4 C の一例を示す図である。同心円の金属電極である内側円盤 4 0 と外リング 4 1 との間には、キャパシター C d q が形成される。第 1 等価回路 4 C では、キャパシター C d q と、ジョセフソン接合 4 2 に由来するインダクターによって、非線形な L C 共振器 L C R が形成される。キャパシター C d q は容量 C q をもつ。

【 0 0 3 1 】

第 1 接地電極 2、第 2 接地電極 3、基板上面接地電極 1 1、及び基板下面接地電極 1 3 をまとめて接地部 G E という。

30

内側円盤 4 0 と接地部 G E との間には、第 1 キャパシター C d 1 が形成される。第 1 キャパシター C d 1 は第 1 容量 C 1 をもつ。第 1 容量 C 1 は、内側円盤 4 0 と基板上面接地電極 1 1 との距離によって主に決まる。図 4 の例では、内側円盤 4 0 と基板上面接地電極 1 1 との距離は、内側円盤 4 0 の半径によって決まる。

外リング 4 1 と接地部 G E との間には、第 2 キャパシター C d 2 が形成される。第 2 キャパシター C d 2 は第 2 容量 C 2 をもつ。第 2 容量は、外リング 4 1 と基板上面接地電極 1 1 との距離によって主に決まる。外リング 4 1 と基板上面接地電極 1 1 との距離は、外リング 4 1 の半径によって決まる。

【 0 0 3 2 】

40

量子ビット 4 と第 1 接地電極 2 との間や、量子ビット 4 と接地部 G E との間には、不要輻射電界 E が発生し得る。不要輻射電界 E 1 は、量子ビット 4 と接地部 G E との間の不要輻射電界 E の一例である。不要輻射電界 E 2 は、量子ビット 4 と接地部 G E との間の不要輻射電界 E の一例である。

【 0 0 3 3 】

量子ビット 4 では、内側円盤 4 0 の半径及び外リング 4 1 の半径は、第 2 容量 C 2 が第 1 容量 C 1 よりも大きくなるという条件に基づいて決められる。量子ビット 4 では、外リング 4 1 の半径を、第 2 容量 C 2 が第 1 容量 C 1 よりも大きくなるように大きくしている。

量子ビット 4 では、第 2 容量 C 2 が第 1 容量 C 1 よりも大きいため、不要輻射電界 E に

50

よる電位の変動は、外リング41を介して接地部GEへと伝搬する。つまり、第2キャパシターCd2は、いわゆるバイパスコンデンサーとして機能する。

【0034】

不要輻射電界Eによる電位の変動が外リング41を介して接地部GEへと伝搬するため、内側円盤40と外リング41との間の電位差は、不要輻射電界Eによる電位の変動の影響を第2容量C2が第1容量C1よりも大きくない場合に比べて受けにくい。ここで内側円盤40と外リング41との間の電位差は、量子ビット4がビット情報を記録するための素子として機能するために、不要輻射電界Eに対して安定的である必要がある。

【0035】

上述したように、量子ビット4は、接地部GEと第1容量C1を有する内側円盤40と、接地部GEと第1容量C1よりも大きい第2容量C2を有し、内側円盤40とジョセフソン接合42により接続される外リング41とを含む。

10

【0036】

図1に戻って超伝導複合量子計算回路QCの構成の説明を続ける。

第2接地電極3は、一例として、アルミニウム電極である。第2接地電極3は、第2非接触部30と、第2接触部31とを備える。

【0037】

第2非接触部30は、回路基板1の基板表面Sのうちの下側の面である第2面S2と接触していない。第2接地電極3は、第2非接触部30を、量子ビット対応位置に対応する位置に有する。ここで量子ビット対応位置とは、回路基板1の基板表面Sのうちの上側の面である第1面S1に形成される配線パターンCPに含まれる量子ビット4の位置に応じた第2面S2の位置である。図1では、第2非接触部30の一例として、第2非接触部30-1、及び第2非接触部30-2が示されている。

20

【0038】

第2接触部31は、第2面S2に形成される第2接地パターンGP2に、第2展延部14を介して接する。ここで、第2展延部14は、インジウムなど接地パターンGPの展延性よりも高い展延性を有する超伝導体である。第2展延部14には、後述する導電接触部14-1及び導電接触部14-2がある。

つまり、第2接地電極3は、接地パターンGPの展延性よりも高い展延性を有する超伝導体によって形成される第2展延部14を介して接地パターンGPに接する。

30

【0039】

第2非接触部30の内部には、制御信号線5が、第2面S2に対して下側から垂直方向に伸びて配置される。制御信号線5には、制御用信号線5Aと、観測用信号線5Bとの2種類がある。制御用信号線5Aは、量子ビット4に制御信号を伝達するための制御信号線5である。

観測用信号線5Bは、量子ビット4の状態の観測結果を信号(観測信号という)として取り出すための制御信号線5である。観測信号は、観測用信号線5Bをプローブ信号が伝達し、観測電極8の第2面S2において当該プローブ信号が反射することによって、量子ビット4の状態の観測結果を反映して生成される。

【0040】

制御信号及び観測信号には、一例として、通常は4~12ギガヘルツ帯のマイクロ波が用いられる。つまり、超伝導複合量子計算回路QCでは、制御信号の周波数帯域はマイクロ波帯域である。

40

【0041】

量子ビットの制御信号である制御電流が、制御用信号線5Aを伝搬し、制御用信号線5Aの先端に供えられた接触ばねピン50Aにより基板下面接地電極13に形成されるフィルタパターン6へ流れ込む。回路基板1の下側の面である第2面S2に形成されるフィルタパターン6に流れ込んだ制御電流は、第2面S2に形成されたフィルタパターン6から数か所の細線を通じて基板下面接地電極13へ還流する。

【0042】

50

上述したように、第2接地電極3は、回路基板1の第2面S2に形成される第2接地パターンGP2に接する第2接触部31を備える。

また、制御信号線5は、第1面S1に形成される配線パターンCPに含まれる量子ビット4の位置に応じた第2面S2の位置である量子ビット対応位置に対応する位置に第2接地電極3が有する第2非接触部30の内部に配置され、量子ビット4に制御信号を供給する。制御信号線5は、量子ビット4が配置される回路基板1の基板表面Sに対して、垂直な方向から配置される。つまり、制御信号線5は、3次元の構造に基づいて配置される。

【0043】

ここで図6及び図7を参照し、フィルタパターン6について説明する。

図6は、本実施形態に係るフィルタパターン6の一例を示す図である。フィルタパターン6は、量子ビット4の位置に応じた第2面S2の位置である量子ビット対応位置に備えられる。

【0044】

フィルタパターン6は、中心部電極60と、接続電極62とを備える。中心部電極60は円形の電極である。中心部電極60は、間隙部61を介して周囲を基板下面接地電極13によって囲まれる。中心部電極60と、基板下面接地電極13とは、接続電極62を介して接続される。ここで接続電極62は、数十マイクロメートル幅の細線状の金属電極である。

図6において、間隙部61-1~61-4は、間隙部61の一例である。図6において、接続電極62-1~62-4は、接続電極62の一例である。

【0045】

ここで図7を参照し、フィルタパターン6を備える場合の量子ビット4の等価回路である第2等価回路4Caについて説明する。

図7は、本実施形態に係る第2等価回路4Caの一例を示す図である。第2等価回路4Ca(図7)と、第1等価回路4C(図5)とを比較すると、制御用信号線5A、インダクターIds、及び第3キャパシターCdcが異なるが、他の構成要素(第1キャパシターCd1、第2キャパシターCd2、LC共振器LCR、内側円盤40、外リング41、量子ビット手部43-1、量子ビット手部43-2、及び接地部GE)が持つ機能は同じである。図7では、図5の第1等価回路4Cと異なる部分を中心に説明する。

【0046】

制御用信号線5Aと、内側円盤40との間には、第3キャパシターCdcが形成される。第3キャパシターCdcは第3容量Ccをもつ。

接続電極62は、第3キャパシターCdcと並列に備えられるインダクターIdsを形成する。インダクターIdsは、制御用信号線5Aと接地部GEとを接続する。インダクターIdsは、インダクタンスLsをもつ。

駆動電界EDは、制御用信号線5Aに流れる制御電流による電界である。

【0047】

インダクターIdsと、第3容量Ccと、第1キャパシターCd1及び第2キャパシターCd2とは、ハイパスフィルターを形成する。ここで第2キャパシターCd2のもつ第2容量C2の方が第1キャパシターCd1のもつ第1容量C1よりも十分大きいため、当該ハイパスフィルターにおいて第1キャパシターCd1と第2キャパシターCd2とでは、第1キャパシターCd1の効果に比べて第2キャパシターCd2の効果が殆どである。当該ハイパスフィルターは、マイクロ波帯域よりも十分に高い周波数の信号を制御用信号線5Aなどの外部に通す。上述したように、量子ビット4の制御信号にはマイクロ波が用いられる。インダクターIdsは、量子ビット4のエネルギーが外部へ漏れ出すことを抑制する。

【0048】

ここでインダクターIdsである接続電極62の効果について説明する。

制御用信号線5Aから供給される制御電流を制御電流Iとし、制御電流Iのうち第3キャパシターCdcの側に流れる電流成分を電流I_cとし、制御電流Iのうちインダクター

10

20

30

40

50

I_{d s}の側に流れる電流成分を電流 I_Lとする。制御電流 I の大きさを大きさ i とし、電流 I_cの大きさを大きさ i_cとし、電流 I_Lの大きさを大きさ i_Lとする。

【 0 0 4 9 】

インダクター I_{d s}のインダクタンス L_sが無大の場合、電流 I_Lの大きさ i_Lはゼロとなり、電流 I_cの大きさ i_cは制御電流 I の大きさ i に等しくなる。LC共振器 L C R が共振している場合、並列インピーダンスの大きさはゼロとなる。

LC共振器 L C Rに流れる電流は、電流 I_cの、第1キャパシター C_{d 1}の側に流れる電流成分と第2キャパシター C_{d 2}の側に流れる電流成分とのうち、第2キャパシター C_{d 2}の側に流れる電流成分となる。LC共振器 L C Rに流れる電流の大きさは、式(1)のように表される。

【 0 0 5 0 】

【数1】

$$\frac{1}{\frac{1}{C_1} + \frac{1}{C_2}} i_c = \frac{C_2}{C_1 + C_2} i_c \quad \dots(1)$$

【 0 0 5 1 】

インダクタンス L_sが小さくなる場合、電流 I_Lの大きさ i_Lが増加し、電流 I_cの大きさ i_cが減少する。したがって、上述した式(1)によれば、インダクタンス L_sが小さくなる場合、LC共振器 L C Rに流れる電流の大きさは減少する。

ここで制御電流 I の大きさを大きさ i は、式(2)のように表される。

【 0 0 5 2 】

【数2】

$$i = \frac{\left(\frac{1}{j\omega(C_1 + C_2)} + \frac{1}{j\omega C_c} \right) j\omega L_s}{\frac{1}{j\omega(C_1 + C_2)} + \frac{1}{j\omega C_c} + j\omega L_s} V \quad \dots(2)$$

【 0 0 5 3 】

第2容量 C₂が第3容量 C_cよりも十分に大きい場合には、式(2)より制御電流 I の大きさを大きさ i は、式(3)のように表される。

【 0 0 5 4 】

【数3】

$$i \xrightarrow{C_2 \gg C_c} \frac{\frac{L_s}{C_c}}{\frac{1}{j\omega C_c} + j\omega L_s} V \quad \dots(3)$$

【 0 0 5 5 】

第2容量 C₂が第3容量 C_cよりも十分に大きい場合には、式(3)より電流 I_cの大きさ i_cは、式(4)のように表される。

【 0 0 5 6 】

【数 4】

$$i_c \xrightarrow{C_2 \gg C_c} \frac{j\omega L_S}{\frac{1}{j\omega C_C} + j\omega L_S} \cdot i = \frac{j\omega \frac{L_S^2}{C_C}}{\left(\frac{1}{j\omega C_C} + j\omega L_S\right)^2} \cdot V = \frac{\frac{1}{j\omega C_C} \cdot V}{\left(1 - (\omega^2 L C_C)^{-1}\right)^2} \dots(4)$$

【0057】

ここで図 8 を参照し、第 3 キャパシター C d c に流れる電流 I c の制御電流 I の周波数に対する関係について説明する。

図 8 は、本実施形態に係る第 3 キャパシター C d c に流れる電流 I c の制御電流 I の周波数に対する関係の一例を示す図である。グラフ G 1 は、制御電流 I の周波数の対数に対する電流 I c の大きさ i c の対数を示す。ここでグラフ G 1 の横軸は、制御電流 I の周波数は、インダクター I d s と第 3 キャパシター C d c との L C 共振器の共振周波数によって規格化されている。

【0058】

ここで L C 共振器 L C R の共振周波数は、式 (5) によって表される。

20

【0059】

【数 5】

$$\frac{1}{2\pi} \frac{1}{\sqrt{(C_q + C_1)L_S}} \dots(5)$$

【0060】

マイクロ波帯域である L C 共振器 L C R の共振周波数は、横軸の座標の値が 0 . 1 の近傍の範囲 X に含まれる値に対応する。制御電流 I の周波数はマイクロ波帯域であるため、インダクター I d s は、範囲 X よりも低い周波数を通過させず、ハイパスフィルターとして機能する。

30

【0061】

上述したように、回路基板 1 は、第 1 面 S 1 に形成される第 1 接地パターン G P 1 に含まれる量子ビット 4 の位置に応じた第 2 面 S 2 の位置である量子ビット対応位置に、中心部電極 6 0 と、中心部電極 6 0 の周囲を囲む基板下面接地電極 1 3 と、当該中心部電極 6 0 と基板下面接地電極 1 3 とを接続する接続電極 6 2 とを備える。

【0062】

ここで図 9 を参照し、超伝導複合量子計算回路 Q C の量子ビット 4 の部分の断面について説明する。

40

図 9 は、本実施形態に係る超伝導複合量子計算回路 Q C の量子ビット 4 の部分の断面の一例を示す図である。

制御用信号線 5 A は、接触ばねピン 5 0 A と、同軸線誘電体部 5 2 A とを備える。接触ばねピン 5 0 A は、ばね 5 1 A を内部に含み、ばね 5 1 A の弾性力により回路基板 1 を第 1 接地電極 2 に押し付ける。同軸線誘電体部 5 2 A は、接触ばねピン 5 0 A を第 2 接地電極 3 から絶縁する。同軸線誘電体部 5 2 A の形状は円筒状であり、図 9 では、同軸線誘電体部 5 2 A の断面の一例として、同軸線誘電体部 5 2 A - 1 及び同軸線誘電体部 5 2 A - 2 が示されている。

【0063】

基板下面接地電極 1 3 - 1 と第 2 接触部 3 1 - 1 との間には、導電接触部 1 4 - 1 が備

50

えられる。基板下面接地電極 13 - 2 と第 2 接触部 31 - 2 との間には、導電接触部 14 - 2 が備えられる。上述したように導電接触部 14 - 1 及び導電接触部 14 - 2 は、第 2 展延部 14 の一例である。

なお、導電接触部 14 - 1 及び導電接触部 14 - 2 に代えて、超伝導マイクロバンプが備えられてもよい。

【0064】

ここで超伝導複合量子計算回路 QC は、第 1 接地電極 2 の上側に、第 1 接地電極 2 を回路基板 1 の第 1 面 S1 に押し付ける付勢部材 P (不図示) を備える。ここで付勢部材 P は、ばね 51A の弾性力と反対向きに第 1 接地電極 2 を回路基板 1 の第 1 面 S1 に押し付ける。

付勢部材 P は、第 1 接地電極 2 を回路基板 1 の第 1 面 S1 に押し付けることにより、第 1 接地電極 2 を回路基板 1 に密着させ、かつ回路基板 1 を第 2 接地電極 3 に密着させる。付勢部材 P は、一例として、板ばね、または接触ばねピンである。

【0065】

図 1 に戻って超伝導複合量子計算回路 QC の説明を続ける。

超伝導共振器 7 は、量子ビット 4 と相互作用することによって量子ビット 4 の状態を読み出す。隣接する 4 つの超伝導共振器 7 - 1 ~ 7 - 4 は、観測電極 8 によって集約される。上述したように、読みだされた量子ビット 4 の状態は、観測電極 8 を介して観測用信号線 5B に観測信号として取り出される。

【0066】

ここで図 10 及び図 11 を参照し、超伝導共振器 7 及び観測電極 8 について説明する。

図 10 は、本実施形態に係る超伝導共振器 7 及び観測電極 8 の一例を示す図である。超伝導共振器 7 は、一例として第 1 面 S1 上において蛇行する形状を有する。なお、超伝導共振器 7 の形状は、超伝導共振器 7 が共振器として機能しさえすればどのような形状であってもよい。例えば、超伝導共振器 7 は、蛇行する形状に代えて、直線状の形状を有してもよいし、U 字状に湾曲した形状であってもよい。

観測電極 8 は、観測基板貫通電極 80 を備える。観測基板貫通電極 80 は、回路基板 1 において備えられる場所が異なる以外は、貫通電極 10 と同一の特徴を備える。

【0067】

図 11 は、本実施形態に係る超伝導複合量子計算回路 QC の観測電極 8 の部分の断面の一例を示す図である。観測基板貫通電極 80 の形状は円筒状であり、図 11 では、観測基板貫通電極 80 の断面の一例として、観測基板貫通電極 80 - 1 及び観測基板貫通電極 80 - 2 が示されている。

【0068】

観測用信号線 5B は、接触ばねピン 50B と、同軸線誘電体部 52B とを備える。接触ばねピン 50B は、ばね 51B を内部に含み、ばね 51B の弾性力により回路基板 1 を第 1 接地電極 2 に押し付ける。同軸線誘電体部 52B は、接触ばねピン 50B を第 2 接地電極 3 から絶縁する。同軸線誘電体部 52B の形状は円筒状であり、図 11 では、同軸線誘電体部 52B の断面の一例として、同軸線誘電体部 52B - 1 及び同軸線誘電体部 52B - 2 が示されている。

【0069】

なお、本実施形態では、制御信号線 5 が、第 2 接地電極 3 が有する第 2 非接触部 30 の内部から、基板表面 S の第 2 面 S2 に対して下側から垂直方向に伸びて配置される場合について説明したが、これに限らない。制御信号線 5 は、第 1 接地電極 2 が有する第 1 非接触部 20 の内部から、基板表面 S の第 1 面 S1 に上側から垂直方向に伸びて配置されてもよい。

つまり、制御信号線 5 は、第 1 面 S1 に形成される配線パターン CP に含まれる量子ビット 4 の位置に対応する位置に第 1 接地電極 2 が有する第 1 非接触部 20 の内部に配置されてもよい。

【0070】

10

20

30

40

50

制御信号線 5 が、第 1 接地電極 2 が有する第 1 非接触部 20 の内部から、基板表面 S の第 1 面 S1 に上側から垂直方向に伸びて配置される場合、超伝導複合量子計算回路 QC にはフィルタパターン 6 は備えられなくてよい。

【0071】

また、制御信号線 5 は、量子ビット 4 及び観測電極 8 毎に、第 2 接地電極 3 が有する第 2 非接触部 30 の内部から、基板表面 S の第 2 面 S2 に対して下側から垂直方向に伸びて配置される場合と、第 1 接地電極 2 が有する第 1 非接触部 20 の内部から、基板表面 S の第 1 面 S1 に上側から垂直方向に伸びて配置される場合とがあってもよい。

【0072】

なお、本実施形態では、付勢部材 P が第 1 接地電極 2 を回路基板 1 の第 1 面 S1 に押し付ける場合について説明したが、これに限らない。付勢部材 P は、第 2 接地電極 3 を回路基板 1 の第 2 面 S2 に押し付けてもよい。また、超伝導複合量子計算回路 QC は、第 1 接地電極 2 を回路基板 1 の第 1 面 S1 に押し付ける付勢部材と、第 2 接地電極 3 を回路基板 1 の第 2 面 S2 に押し付ける付勢部材との 2 種類の付勢部材とを備えてもよい。

【0073】

以上に説明したように、本実施形態に係る超伝導複合量子計算回路 QC は、回路基板 1 と、第 1 接地電極 2 と、第 2 接地電極 3 とを備える。

回路基板 1 は、量子ビット 4 と量子ビット 4 の状態を観測する観測電極 8 とを含む回路素子の配線パターン CP と、接地電位である接地パターン GP とが基板表面 S に形成され、基板表面 S のうちの第 1 面 S1 に形成される第 1 接地パターン GP1 と、第 1 面 S1 の裏面である第 2 面 S2 に形成される第 2 接地パターン GP2 とを基板内部において接続する貫通電極 10 を備える。

第 1 接地電極 2 は、回路基板 1 の第 1 面 S1 に形成される第 1 接地パターン GP1 に接する第 1 接触部 21 と、第 1 面 S1 に形成される配線パターン CP の形状に応じた形状の第 1 非接触部 20 とを備える。

第 2 接地電極 3 は、回路基板 1 の第 2 面 S2 に形成される第 2 接地パターン GP2 に接する第 2 接触部 31 を備える。

【0074】

この構成により、本実施形態に係る超伝導複合量子計算回路 QC では、量子ビット 4 の上側の空間や回路基板 1 内の不要な電磁モードの発生や広がりを抑制できるため、量子ビット間の相互作用または漏話を抑制できる。

【0075】

超伝導複合量子計算回路 QC では、第 1 接地電極 2 は、量子ビット 4 の上側の空間を、第 1 接地電極 2 が備えられない場合に比べて小さくする。量子ビット 4 の上側の空間には、不要な電磁モードが発生し得る。超伝導複合量子計算回路 QC では、不要な電磁モードのモード周波数を、量子ビット 4 の周波数から離調できる。また、超伝導複合量子計算回路 QC では、不要な電磁モードの量子ビット 4 の上側の空間における広がりを局所化することによって、量子ビット 4 の制御信号の広範囲への漏話を抑制できる。

貫通電極 10 は、回路基板 1 内の不要な電磁モードが発生することを抑制し、量子ビット 4 間の制御信号の広範囲への漏話を抑制できる。

【0076】

また、本実施形態に係る超伝導複合量子計算回路 QC は、第 1 接地電極 2 を回路基板 1 の第 1 面 S1 に押し付ける、または、第 2 接地電極 3 を回路基板 1 の第 2 面 S2 に押し付ける付勢部材 P をさらに備える。

ここで第 1 接地電極 2 は、接地パターン GP の展延性よりも高い展延性を有する超伝導体によって形成される第 1 展延部 12 を介して接地パターン GP に接する。

第 2 接地電極 3 は、接地パターン GP の展延性よりも高い展延性を有する超伝導体によって形成される第 2 展延部 14 を介して接地パターン GP に接する。

【0077】

この構成により、本実施形態に係る超伝導複合量子計算回路 QC では、第 1 接地電極 2

10

20

30

40

50

と回路基板 1 の第 1 面 S 1 上の接地パターン G P との間の空隙、または第 2 接地電極 3 と回路基板 1 の第 2 面 S 2 上の接地パターン G P と間の空隙を除去できるため、隣接する制御信号線 5 を伝搬する制御用信号または観測用信号相互間の漏話を抑制できる。

【 0 0 7 8 】

また、本実施形態に係る超伝導複合量子計算回路 Q C では、量子ビット 4 は、接地部 G E と第 1 の結合容量（この一例において、第 1 容量 C 1 ）を有する第 1 の電極（この一例において、内側円盤 4 0 ）と、接地部 G E と第 1 の結合容量（この一例において、第 1 容量 C 1 ）よりも大きい第 2 の結合容量（この一例において、第 2 容量 C 2 ）を有し、第 1 の電極（この一例において、内側円盤 4 0 ）とジョセフソン接合 4 2 により接続される第 2 の電極（この一例において、外リング 4 1 ）とを含む。

10

【 0 0 7 9 】

この構成により、本実施形態に係る超伝導複合量子計算回路 Q C では、外リング 4 1 によって、量子ビット 4 を構成する金属電極（この一例において、内側円盤 4 0 、及び外リング 4 1 ）を伝搬する不要な電磁モードから遮蔽できるため、量子ビット 4 の誤り率を抑制できる。ここで量子ビット 4 を構成する金属電極（この一例において、内側円盤 4 0 、及び外リング 4 1 ）を伝搬する不要な電磁モードとは、例えば、第 1 接地電極 2 や貫通電極 1 0 等を備えてもなお残った不要な電磁モードである。

【 0 0 8 0 】

従来、量子ビットを形成する二つの金属電極は、接地電極に対して対称であるか、または、片側の金属電極が接地であった。二つの金属電極が接地電極に対して対称とは、二つの金属電極のうち一方の金属電極と当該接地電極との間の結合容量と、二つの金属電極のうち他方の金属電極と当該接地電極との間の結合容量とが等しいことをいう。また、量子ビットを形成する二つの金属電極のうち片側の金属電極が接地であるとは、片側の金属電極が接地電極と同等の機能を備えていることを意味する。

20

本実施形態に係る超伝導複合量子計算回路 Q C では、量子ビットを形成する二つの金属電極のうち片側の金属電極を接地電極へ短絡しないことにより、接地電極面の電位揺らぎの影響を排除できる。

【 0 0 8 1 】

また、本実施形態に係る超伝導複合量子計算回路 Q C では、回路基板 1 は、第 1 面 S 1 に形成される第 1 接地パターン G P 1 に含まれる量子ビット 4 の位置に応じた第 2 面 S 2 の位置である量子ビット対応位置に、中心部電極 6 0 と、中心部電極 6 0 の周囲を囲む周囲電極（この一例において、基板下面接地電極 1 3 ）と、中心部電極 6 0 と周囲電極（この一例において、基板下面接地電極 1 3 とを接続する接続電極 6 2 とを備える。

30

【 0 0 8 2 】

この構成により、本実施形態に係る超伝導複合量子計算回路 Q C では、量子ビット 4 の制御オフ時において、量子ビット 4 と制御信号線 5 との相互作用により量子ビット 4 のエネルギーが外部へ漏れ出すことを抑制できるため、量子ビット 4 の計算の誤り率を抑制できる。

【 0 0 8 3 】

また、本実施形態に係る超伝導複合量子計算回路 Q C は、制御信号線 5 をさらに備える。制御信号線 5 は、第 1 面 S 1 に形成される配線パターン C P に含まれる量子ビット 4 の位置に対応する位置に第 1 接地電極 2 が有する第 1 非接触部 2 0 の内部、または、第 1 面 S 1 に形成される配線パターン C P に含まれる量子ビット 4 の位置に応じた第 2 面 S 2 の位置である量子ビット対応位置に対応する位置に第 2 接地電極 3 が有する第 2 非接触部の内部、に配置され、量子ビット 4 に制御信号を供給する。

40

【 0 0 8 4 】

この構成により、本実施形態に係る超伝導複合量子計算回路 Q C では、回路基板 1 の基板表面 S 上において、量子ビット 4 の数に依らず一定の配線パターン C P の密度を確保できるため、回路基板 1 の基板表面 S 上において配線パターン C P の密度が大きくなることを抑制できる。

50

【 0 0 8 5 】

従来、制御信号線は、基板の側面から導入され、基板の周辺から基板の表面の二次元平面に配置された量子ビットを制御していた。従来の回路では、量子ビットの数の増大に伴い、回路の配線密度が増え、いずれは限界となる。

一方、本実施形態に係る超伝導複合量子計算回路QCでは、制御信号線5を回路基板1の下側の第2面S2または上側の第1面S1に配置する三次元構造をとることにより、量子ビット4の数に依らず一定の配線パターンCPの密度を確保できる。本実施形態に係る超伝導複合量子計算回路QCでは、量子ビット4の数に依らず一定の配線パターンCPの密度を確保できるため、回路の大規模化に向けた拡張性を担保可能である。

【 0 0 8 6 】

また、本実施形態に係る超伝導複合量子計算回路QCでは、制御信号線5が量子ビット4に供給する制御信号の周波数帯域がマイクロ波帯域である。

【 0 0 8 7 】

本実施形態に係る超伝導複合量子計算回路QCでは、制御や観測にマイクロ波信号を用いることができるため、従来のRF(Radio Frequency)による制御に比べ、接地電極を流れる表面電流面積を最小化し、電極電位のゆらぎが抑制できる。

【 0 0 8 8 】

(量子ビットを構成する金属電極の変形例)

上述した実施形態においては、量子ビット4を構成する金属電極である内側円盤40と、外リング41とが同心円の金属電極を形成する場合について説明したが、量子ビット4を構成する金属電極の形状は同心円に限らない。

ここで図12～18を参照し、量子ビット4を構成する金属電極の形状の変形例について説明する。変形例では、上述した実施形態の量子ビット4を構成する金属電極(図4)と異なる部分を中心に説明する。

【 0 0 8 9 】

図12は、本実施形態の変形例に係る量子ビット4aの一例を示す図である。量子ビット4aは、内側円盤40aと、外リング41aと、ジョセフソン接合42aと、量子ビット手部43a-1と、量子ビット手部43a-2とを備える。

外リング41aは、外リング41(図4)と異なり、閉じておらず、間隙44aを有する。

【 0 0 9 0 】

図13は、本実施形態の変形例に係る量子ビット4bの一例を示す図である。量子ビット4bは、内側円盤40bと、外リング41bと、ジョセフソン接合42bと、量子ビット手部43b-1と、量子ビット手部43b-2とを備える。

外リング41bは、外リング41(図4)と異なり、閉じておらず、間隙44bを有する。外リング41bは、外リング41a(図12)と異なり、量子ビット手部43bと直接には繋がっていない。

【 0 0 9 1 】

外リング41bは、凸部45b-1及び凸部45b-2を有する。量子ビット手部43b-1は先端部46b-1を有し、量子ビット手部43b-2は先端部46b-2を有する。凸部45b-1及び凸部45b-2は、先端部46b-1及び先端部46b-2の形状に応じた凹部を形成する。

【 0 0 9 2 】

図14は、本実施形態の変形例に係る量子ビット4cの一例を示す図である。量子ビット4cは、第1長方形40cと、第2長方形41cと、ジョセフソン接合42cと、量子ビット手部43c-1と、量子ビット手部43c-2とを備える。

第1長方形40cと、第2長方形41cとは、ジョセフソン接合42cにより接続される。第1長方形40cと基板上面接地電極11c-6との距離は、第1容量C1の値が第2容量C2に比べて十分に小さくなる程度に大きい。図14では、一例として、第1長方形40cの面積を小さくして、第1長方形40cと基板上面接地電極11c-6との距離

10

20

30

40

50

を大きくしている。第2長方形41cの第1長方形40cと対向する辺の長さは、第1長方形40cの第2長方形41cと対向する辺の長さ比べて長い。

量子ビット手部43c-1及び量子ビット手部43c-2は、第2長方形41cに直接には繋がっていない。

【0093】

基板上面接地電極11c-5、及び基板上面接地電極11c-6の形状と、基板上面接地電極11-5(図4)、及び基板上面接地電極11-6(図4)とは、第1長方形40cの形状、及び第2長方形41cの形状に応じて異なる。

【0094】

図15は、本実施形態の変形例に係る量子ビット4dの一例を示す図である。量子ビット4dは、第1長方形40dと、第2長方形41dと、ジョセフソン接合42dと、量子ビット手部43d-1と、量子ビット手部43d-2とを備える。

第1長方形40dと基板上面接地電極11d-6との距離は、第1容量C1の値が第2容量C2に比べて十分に小さくなる程度に大きい。図15では、一例として、第1長方形40dの面積を小さくして、第1長方形40dと基板上面接地電極11d-6との距離を大きくしている。図15に示す例では、第2長方形41dの第1長方形40dと対向する辺の長さ、第1長方形40dの第2長方形41dと対向する辺の長さとは等しい。なお、第2長方形41dの第1長方形40dと対向する辺の長さ、第1長方形40dの第2長方形41dと対向する辺の長さとは、図14の第1長方形40c及び第2長方形41cのように等しくなくてもよい。

量子ビット手部43d-1は、屈曲した先端部46d-1を有し、量子ビット手部43d-2は屈曲した先端部46d-2を有する。基板上面接地電極11d-5は、凸部110dを有する。先端部46d-1、先端部46d-2、及び凸部110dは、第2長方形41dに対向する。図15の量子ビット4dでは、先端部46d-1、先端部46d-2、及び凸部110dのため、先端部46d-1、先端部46d-2、及び凸部110dが備えられない場合に比べて第2容量C2が大きくなる。

【0095】

図16は、本実施形態の変形例に係る量子ビット4eの一例を示す図である。量子ビット4eは、第1長方形40eと、十字41eと、ジョセフソン接合42eとを備える。十字部分43e-1と、十字部分43e-2とは、量子ビット4eと隣接する量子ビットの十字の一部がそれぞれ示されている。

第1長方形40eと、十字41eとは、ジョセフソン接合42eにより接続される。

基板上面接地電極11e-5及び基板上面接地電極11e-6の形状の形状と、基板上面接地電極11-5(図4)、及び基板上面接地電極11-6(図4)とは、第1長方形40eと、十字41eの形状に応じて異なる。

【0096】

図17は、本実施形態の変形例に係る量子ビット4fの一例を示す図である。量子ビット4fは、第1長方形40fと、十字41fと、ジョセフソン接合42fとを備える。十字部分43f-1と、十字部分43f-2とは、量子ビット4fと隣接する量子ビットの十字の一部がそれぞれ示されている。

量子ビット4f(図17)と、量子ビット4e(図16)とでは、第1長方形40f(図17)と基板上面接地電極11f-2(図17)との距離は、第1長方形40e(図16)と基板上面接地電極11e-2(図16)との距離よりも大きくなっている点異なる。この一例では、基板上面接地電極11e-2(図16)の十字41e(図16)及び第1長方形40e(図16)に対向する部分の形状が直線であるのに対して、基板上面接地電極11f-2(図17)の十字41f(図17)及び第1長方形40f(図17)に対向する部分の形状が曲線であることによって、第1長方形40f(図17)と基板上面接地電極11f-2(図17)との距離が大きくなっている。

量子ビット4f(図17)では、第1長方形40f(図17)と基板上面接地電極11f-2(図17)との距離が大きいため、量子ビット4e(図16)に比べて第1容量C

10

20

30

40

50

1が小さい。

【0097】

図18は、本実施形態の変形例に係る量子ビット4gの一例を示す図である。量子ビット4gは、第1電極40gと、第2電極41gと、ジョセフソン接合42gと、量子ビット手部43g-1と、量子ビット手部43g-2とを備える。

第1電極40gと、第2電極41gとは、ジョセフソン接合42gにより接続される。第1電極40gと、第2電極41gとは、それぞれ楕円の形状を有し、互いに対向することによって楕形電極を形成する。図18に示す例では、第1電極40gは2つの歯を有し、第2電極41gは3つの歯を有する。

第1電極40gと基板上面接地電極11g-6との距離は、第1容量C1の値が第2容量C2に比べて十分に小さくなる程度に大きい。図18では、一例として、第1電極40gの面積を小さくして、第1電極40gと基板上面接地電極11g-6との距離を大きくしている。

【0098】

上述した変形例においては、内側円盤40a、内側円盤40b、第1長方形40c、第1長方形40d、第1長方形40e、第1長方形40f、及び第1電極40gは、第1の電極の一例である。外リング41a、外リング41b、第2長方形41c、第2長方形41d、十字41e、十字41f、及び第2電極41gは、第2の電極の一例である。

【0099】

第2の電極と接地部GEとの間の結合容量は、第1の電極と接地部GEとの間の結合容量よりも大きい。第1の電極と第2の電極との間の電位差は、不要輻射電界Eによる電位の変動の影響を、第2の電極と接地部GEとの間の結合容量が第1の電極と接地部GEとの間の結合容量よりも大きくない場合に比べて受けにくい。

【0100】

(フィルタパターンの変形例)

上述した実施形態においては、フィルタパターン6が、中心部電極60と基板下面接地電極13とが4つの接続電極62によって接続される場合について説明したが、これに限らない。

ここで図19~21を参照し、フィルタパターン6の変形例について説明する。変形例では、上述した実施形態のフィルタパターン6(図6)と異なる部分を中心に説明する。

【0101】

図19は、本実施形態に係るフィルタパターン6aの一例を示す図である。フィルタパターン6aは、中心部電極60aと、接続電極62aとを備える。中心部電極60aは、間隙部61aを介して周囲を基板下面接地電極13aによって囲まれる。中心部電極60aと、基板下面接地電極13aとは、1つの接続電極62aによって接続される。

なお、接続電極62の数は、図6において説明した4つの場合、図19において説明した1つの場合に限られず、2つ、3つ、5つ以上であってもよい。

【0102】

図20は、本実施形態に係るフィルタパターン6bの一例を示す図である。フィルタパターン6bは、中心部電極60bと、接続電極62bとを備える。中心部電極60bは、間隙部61bを介して周囲を基板下面接地電極13bによって囲まれる。中心部電極60bと、基板下面接地電極13bとは、接続電極62bを介して接続される。

フィルタパターン6bにおいて、中心部電極60bと、接続電極62bとは、一体となって備えられる。中心部電極60bと、接続電極62bとは、一例として曲線状の輪郭を形成する。接続電極62b(図20)の幅は、中心部電極60bから基板下面接地電極13bへ向かう向きに狭くなる。

なお、接続電極62bの数は、図20において説明した1つの場合に限られず、2つ以上であってもよい。

【0103】

図21は、本実施形態に係るフィルタパターン6cの一例を示す図である。フィルタパ

10

20

30

40

50

ターン6cは、中心部電極60cと、接続電極62c-1及び接続電極62c-2とを備える。中心部電極60cは、間隙部61b-1及び間隙部61b-2を介して周囲を基板下面接地電極13cによって囲まれる。中心部電極60cと、基板下面接地電極13cとは、接続電極62c-1及び接続電極62c-2を介して接続される。

中心部電極60cの形状は、長方形である。

なお、接続電極62c-1及び接続電極62c-2の数は、図21において説明した2つの場合に限られず、1つまたは3つ以上であってもよい。

【0104】

以上、図面を参照してこの発明の一実施形態について詳しく説明してきたが、具体的な構成は上述のものに限られることはなく、この発明の要旨を逸脱しない範囲内において様々な設計変更等を行うことが可能である。

【符号の説明】

【0105】

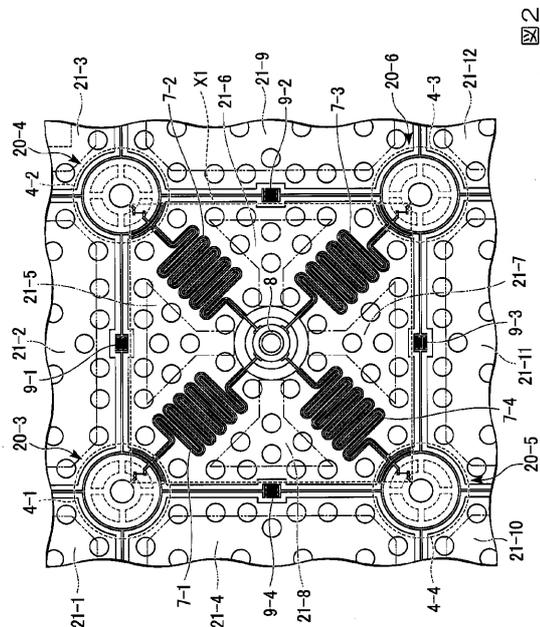
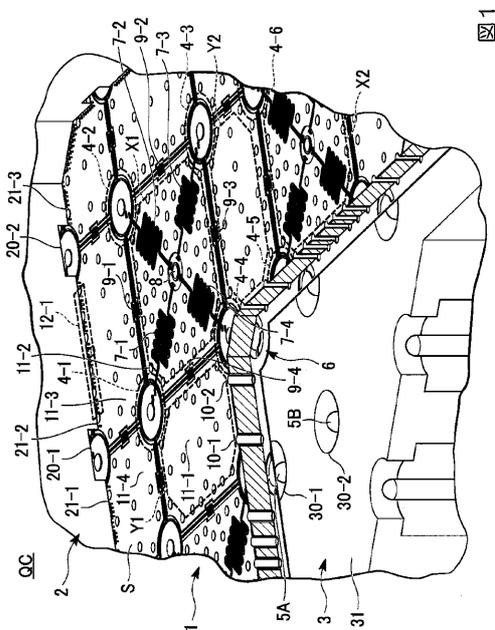
QC 超伝導複合量子計算回路、1 回路基板、S 基板表面、S1 第1面、S2 第2面、2 第1接地電極、3 第2接地電極、4 量子ビット、5 制御信号線、6 フィルタパターン、7 超伝導共振器、8 観測電極、9 キャパシター、10 貫通電極10、11 基板上面接地電極、12 第1展延部、13 基板下面接地電極、14 第2展延部、20 第1非接触部、21 第1接触部、30 第2非接触部、31 第2接触部、40 内側円盤、41 外リング、42 ジョセフソン接合、43 量子ビット手部、45 基板下面接地電極、46 堀部、50 接触ピン、60 中心部電極、61 間隙部61、62 接続電極、80 観測基板貫通電極、P付勢部材、CP 配線パターン、GP 接地パターン

10

20

【図1】

【図2】



【 図 3 】

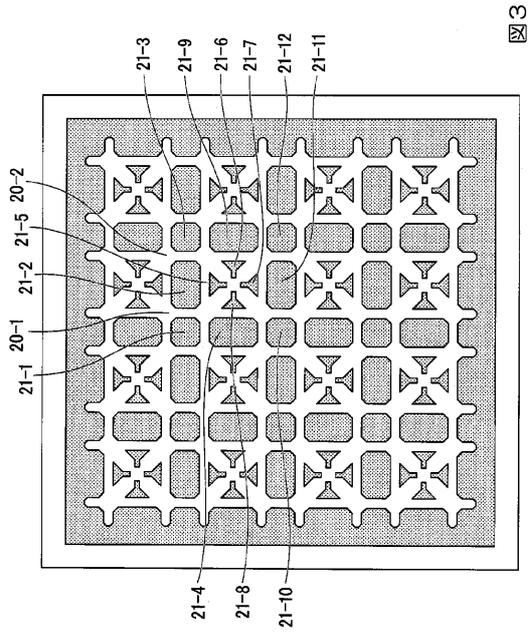


図3

【 図 4 】

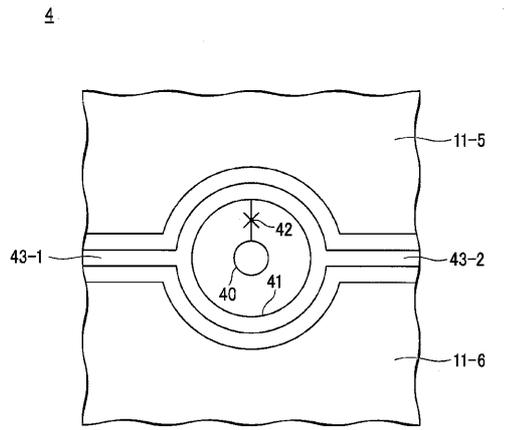


図4

【 図 5 】

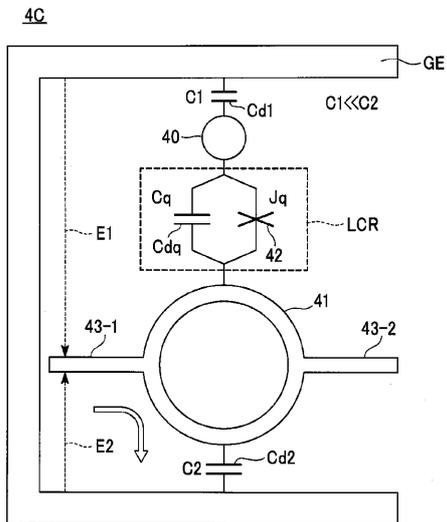


図5

【 図 6 】

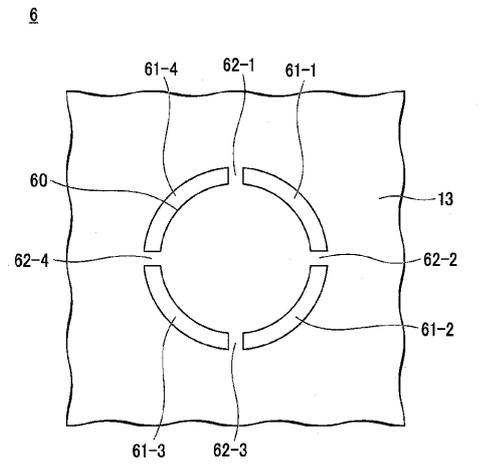


図6

【 図 7 】

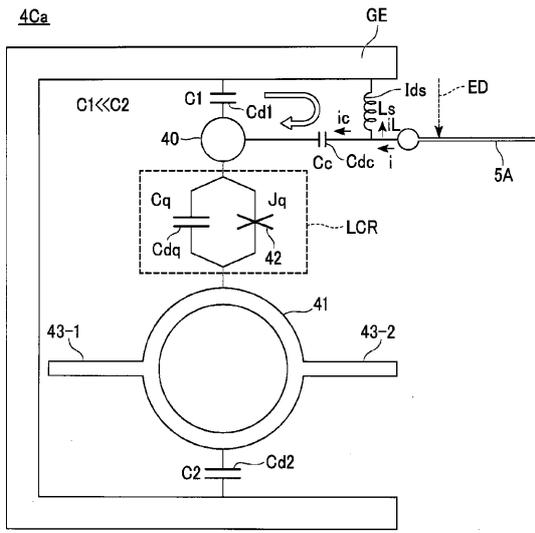


図 7

【 図 8 】

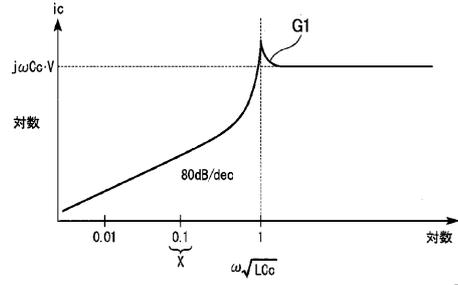


図 8

【 図 9 】

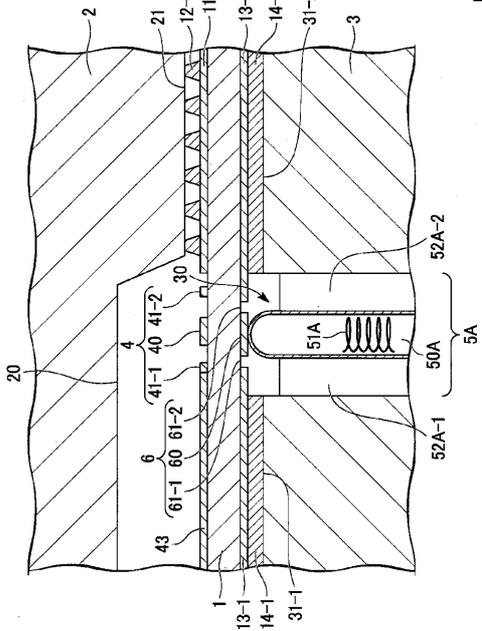


図 9

【 図 10 】

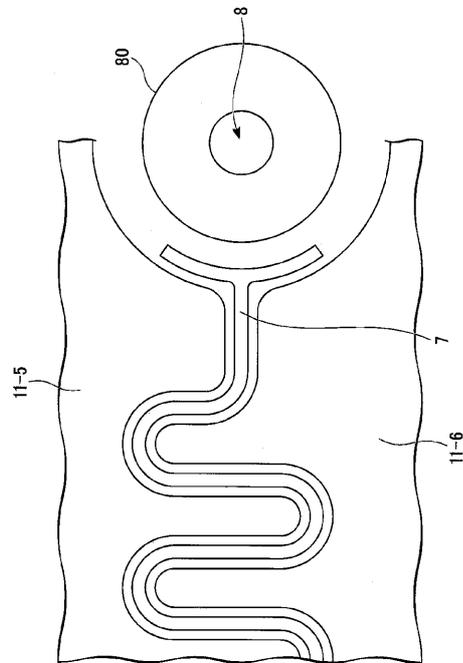


図 10

【 図 1 1 】

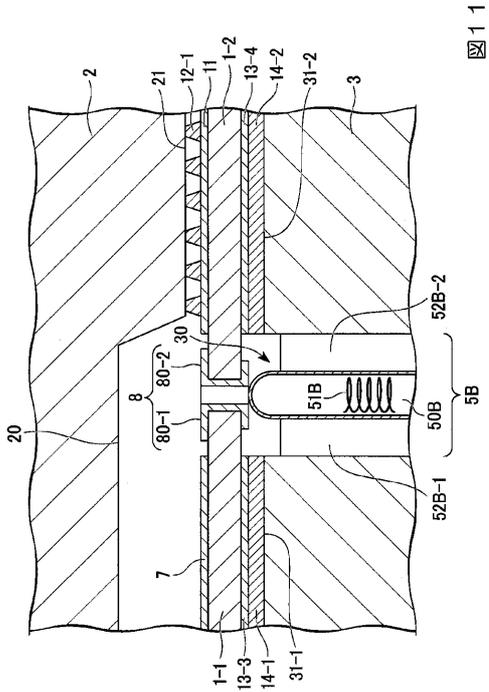


図 1 1

【 図 1 2 】

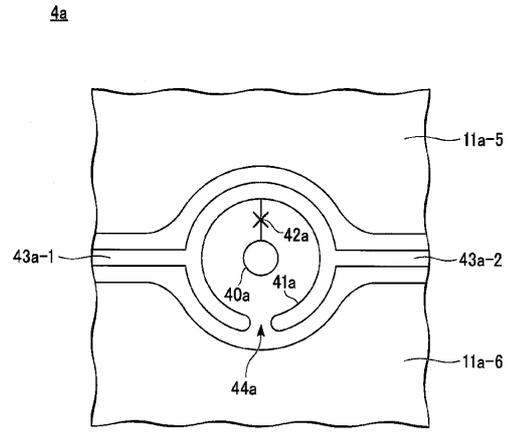


図 1 2

【 図 1 3 】

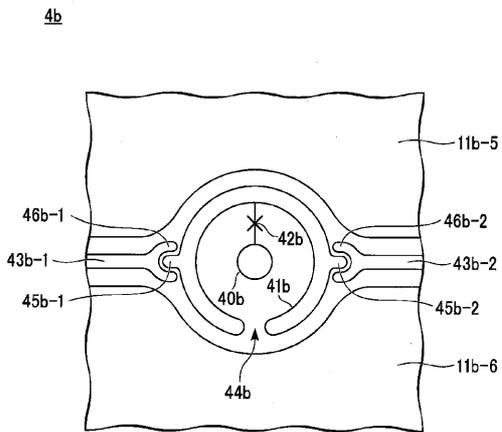


図 1 3

【 図 1 4 】

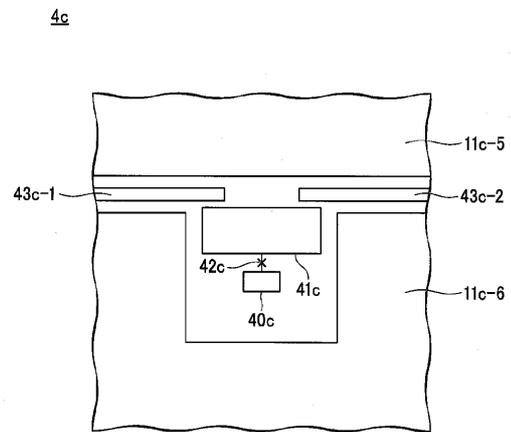


図 1 4

【 図 1 5 】

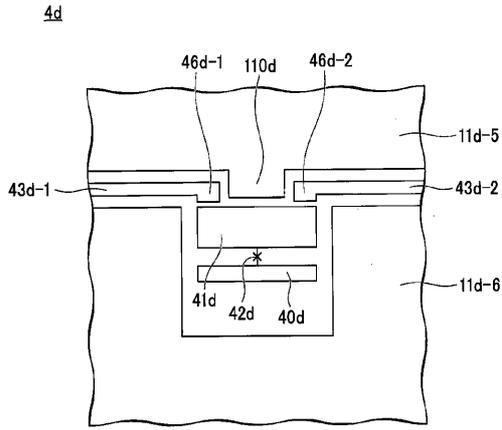


図 1 5

【 図 1 6 】

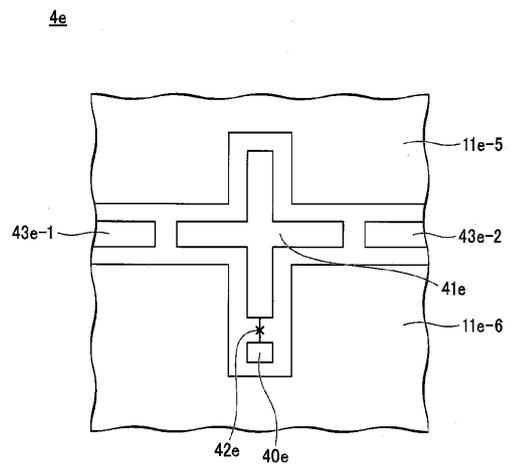


図 1 6

【 図 1 7 】

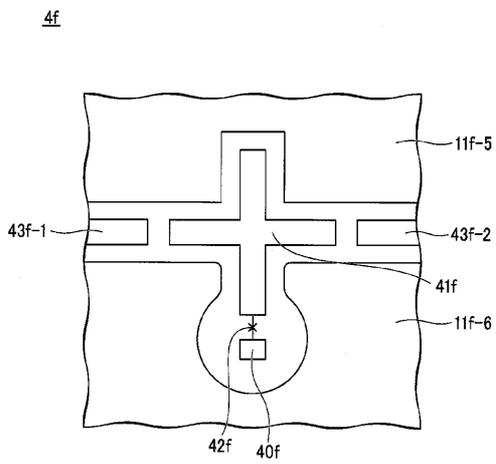


図 1 7

【 図 1 8 】

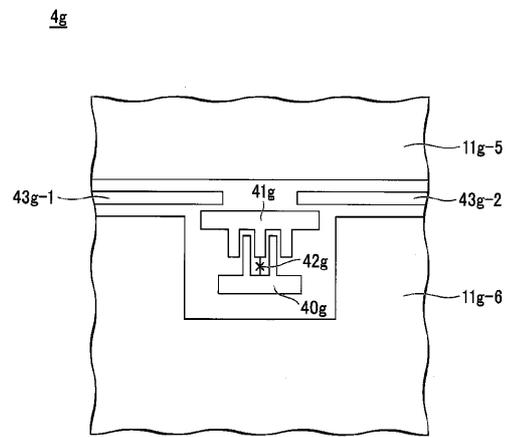


図 1 8

【 図 19 】

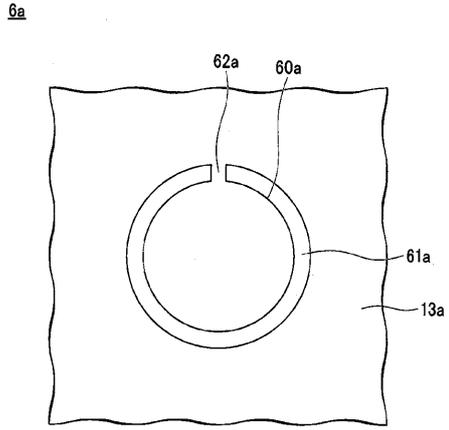


図 19

【 図 20 】

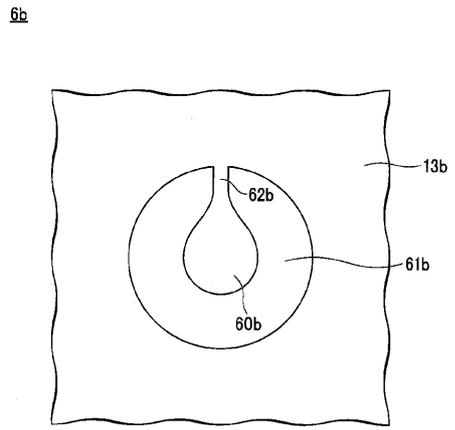


図 20

【 図 21 】

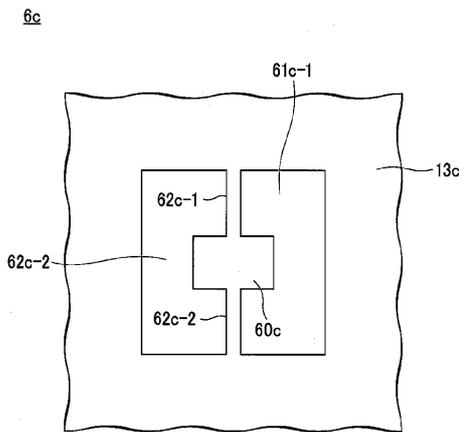


図 21

フロントページの続き

(72)発明者 田淵 豊

東京都目黒区駒場四丁目6番1号 東京大学先端科学技術研究センター内

(72)発明者 玉手 修平

東京都目黒区駒場四丁目6番1号 東京大学先端科学技術研究センター内

審査官 綿引 隆

(56)参考文献 特表2016-511534(JP, A)

国際公開第2018/052414(WO, A1)

特開2018-011266(JP, A)

米国特許第07613765(US, B1)

米国特許出願公開第2014/0264287(US, A1)

(58)調査した分野(Int.Cl., DB名)

H01L 39/02

H01L 39/22

G06N 10/00

H01L 27/18

H03K 19/195