

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6424272号
(P6424272)

(45) 発行日 平成30年11月14日(2018.11.14)

(24) 登録日 平成30年10月26日(2018.10.26)

(51) Int.Cl.	F I
HO 1 L 43/08 (2006.01)	HO 1 L 43/08 Z
HO 1 L 21/8239 (2006.01)	HO 1 L 27/105 4 4 7
HO 1 L 27/105 (2006.01)	HO 1 L 29/82 Z
HO 1 L 29/82 (2006.01)	HO 1 L 41/09
HO 1 L 41/09 (2006.01)	HO 1 L 27/105 4 4 1
請求項の数 14 (全 33 頁) 最終頁に続く	

(21) 出願番号 特願2017-521945 (P2017-521945)
 (86) (22) 出願日 平成28年5月31日(2016.5.31)
 (86) 国際出願番号 PCT/JP2016/065964
 (87) 国際公開番号 W02016/194886
 (87) 国際公開日 平成28年12月8日(2016.12.8)
 審査請求日 平成29年11月29日(2017.11.29)
 (31) 優先権主張番号 特願2015-113515 (P2015-113515)
 (32) 優先日 平成27年6月3日(2015.6.3)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 503360115
 国立研究開発法人科学技術振興機構
 埼玉県川口市本町四丁目1番8号
 (74) 代理人 100087480
 弁理士 片山 修平
 (72) 発明者 菅原 聡
 東京都目黒区大岡山2-12-1 国立大
 学法人東京工業大学内
 (72) 発明者 高村 陽太
 東京都目黒区大岡山2-12-1 国立大
 学法人東京工業大学内
 (72) 発明者 中川 茂樹
 東京都目黒区大岡山2-12-1 国立大
 学法人東京工業大学内

最終頁に続く

(54) 【発明の名称】 磁気抵抗素子および記憶回路

(57) 【特許請求の範囲】

【請求項1】

磁歪材料を含む磁歪層を備えたフリー層と、
 第1強磁性体層を備えるピン層と、
 前記ピン層と前記フリー層との間に設けられた薄膜と、
 前記フリー層と前記ピン層との積層方向に交差する方向から前記磁歪層の少なくとも一
 部を囲むように設けられ、前記磁歪層に圧力を加える圧電体と、
 前記フリー層に印加される電圧および前記ピン層に印加される電圧と異なる電圧を印加
 可能であって、前記フリー層の磁化方向が前記ピン層の磁化方向と平行な平行状態から前
 記フリー層の磁化方向が前記ピン層の磁化方向と反対の反平行状態に前記フリー層の磁化
方向を書き換えるときと、前記反平行状態から前記平行状態に前記フリー層の磁化方向を
書き換えるときと、において、前記圧電体が前記磁歪層に同じ方向に圧力を加えるように
 前記圧電体に電圧を印加する電極と、
 を具備することを特徴とする磁気抵抗素子。

【請求項2】

前記電極は、前記圧電体の少なくとも一部を囲むように設けられ、
 前記圧電体は、前記磁歪層から前記電極に向かう方向または前記電極から前記磁歪層に
 向かう方向に誘電分極することを特徴とする請求項1記載の磁気抵抗素子。

【請求項3】

磁歪材料を含む磁歪層を備えたフリー層と、

第 1 強磁性体層を備えるピン層と、
前記ピン層と前記フリー層との間に設けられた薄膜と、
前記フリー層と前記ピン層との積層方向に交差する方向から前記磁歪層の少なくとも一
部を囲むように設けられ、前記磁歪層に圧力を加える圧電体と、
前記フリー層に印加される電圧および前記ピン層に印加される電圧と異なる電圧を印加
可能であって、前記圧電体が前記磁歪層に圧力を加えるように前記圧電体に電圧を印加す
る電極と、
を具備し、

前記電極は、前記圧電体に対し前記積層方向の両側に設けられた第 1 電極および第 2 電極を含み、

前記圧電体は、前記積層方向に誘電分極することを特徴とする磁気抵抗素子。

【請求項 4】

前記フリー層に対し前記ピン層に印加される電圧の極性が反転したときに、前記フリー層に対し前記電極に印加される電圧の極性は変化しない請求項 2 記載の磁気抵抗素子。

【請求項 5】

前記フリー層に対し前記ピン層に印加される電圧の極性が反転したときに、前記第 1 電極に対し前記第 2 電極に印加される電圧の極性は変化しない請求項 3 記載の磁気抵抗素子。

【請求項 6】

磁歪材料を含む磁歪層を備えたフリー層と、
第 1 強磁性体層を備えるピン層と、
前記ピン層と前記フリー層との間に設けられた薄膜と、
前記フリー層と前記ピン層との積層方向に交差する方向から前記磁歪層の少なくとも一
部を囲むように設けられ、前記磁歪層に圧力を加える圧電体と、
前記フリー層に印加される電圧および前記ピン層に印加される電圧と異なる電圧を印加
可能であって、前記圧電体が前記磁歪層に圧力を加えるように前記圧電体に電圧を印加す
る電極と、
を具備し、

前記フリー層は、前記磁歪層と磁氣的に結合する第 2 強磁性体層を備えることを特徴とする磁気抵抗素子。

【請求項 7】

前記磁歪層は、圧力の印加により磁化容易軸方向が変化し、前記フリー層の磁化方向を反転させることを特徴とする請求項 1 から 6 のいずれか一項記載の磁気抵抗素子。

【請求項 8】

前記フリー層は、前記磁歪層の前記磁化容易軸方向が変化したときに、スピン注入磁化反転により前記磁化方向が反転することを特徴とする請求項 7 記載の磁気抵抗素子。

【請求項 9】

前記薄膜はトンネルバリア絶縁層または非磁性金属層を含むことを特徴とする請求項 1 から 8 のいずれか一項記載の磁気抵抗素子。

【請求項 10】

磁歪材料を含む磁歪層を備えたフリー層と、
第 1 強磁性体層を備えるピン層と、
前記ピン層と前記フリー層との間に設けられた薄膜と、
前記フリー層と前記ピン層との積層方向に交差する方向から前記磁歪層の少なくとも一
部を囲むように設けられ、前記磁歪層に圧力を加える圧電体と、
前記フリー層に印加される電圧および前記ピン層に印加される電圧と異なる電圧を印加
可能であって、前記圧電体が前記磁歪層に圧力を加えるように前記圧電体に電圧を印加す
る電極と、
を具備し、

前記薄膜はピエゾ抵抗体を含み、前記圧電体は前記ピエゾ抵抗体に圧力を加えることを

10

20

30

40

50

特徴とする磁気抵抗素子。

【請求項 1 1】

請求項 9 記載の磁気抵抗素子と、
前記フリー層および前記ピン層のいずれか一方が接続されたビット線と、
前記フリー層および前記ピン層の他方と接続されたスイッチと、
前記フリー層および前記ピン層の他方と前記スイッチを介し接続されたソース線と、
前記スイッチを制御する制御端子が接続されたワード線と、
前記電極が接続された制御線と、
を具備することを特徴とする記憶回路。

【請求項 1 2】

請求項 1 0 記載の磁気抵抗素子と、
前記フリー層および前記ピン層のいずれか一方が接続されたビット線と、
前記フリー層および前記ピン層の他方と接続されたソース線と、
前記電極に接続されたワード線と、
を具備することを特徴とする記憶回路。

【請求項 1 3】

磁歪材料を含む磁歪層を備えたフリー層と、
第 1 強磁性体層を備えるピン層と、
前記ピン層と前記フリー層との間に設けられた薄膜と、
前記フリー層と前記ピン層との積層方向に交差する方向から前記磁歪層の少なくとも一
部を囲むように設けられ、前記磁歪層に圧力を加える圧電体と、
前記フリー層に印加される電圧および前記ピン層に印加される電圧と異なる電圧を印加
可能であって、前記フリー層の磁化方向が前記ピン層の磁化方向と平行な平行状態から前
記フリー層の磁化方向が前記ピン層の磁化方向と反対の反平行状態に前記フリー層の磁化
方向を書き換えるときと、前記反平行状態から前記平行状態に前記フリー層の磁化方向を
書き換えるときと、において、前記圧電体が前記磁歪層に同じ方向に圧力を加えるように
前記圧電体に電圧を印加する電極と、
を備える磁気抵抗素子と、

いずれか一方が前記フリー層および前記ピン層のいずれか一方に接続するソースおよび
ドレインと、
前記ソースおよび前記ドレインの間に設けられ、前記ソースから前記ドレインにキャリ
アが伝導するチャンネルと、
前記交差する方向から前記チャンネルの少なくとも一部を囲むゲートと、を備え、
前記ソース、前記チャンネルおよび前記ドレインが前記積層方向に積層されたトランジス
タと、
を具備することを特徴とする記憶回路。

【請求項 1 4】

磁歪材料を含む磁歪層を備えたフリー層と、
第 1 強磁性体層を備えるピン層と、
前記ピン層と前記フリー層との間に設けられた薄膜と、
前記フリー層と前記ピン層との積層方向に交差する方向から前記磁歪層の少なくとも一
部を囲むように設けられ、前記磁歪層に圧力を加える圧電体と、
前記フリー層に印加される電圧および前記ピン層に印加される電圧と異なる電圧を印加
可能であって、前記圧電体が前記磁歪層に圧力を加えるように前記圧電体に電圧を印加す
る電極と、
を備える磁気抵抗素子と、
いずれか一方が前記フリー層および前記ピン層のいずれか一方に接続するソースおよび
ドレインと、
前記ソースおよび前記ドレインの間に設けられ、前記ソースから前記ドレインにキャリ
アが伝導するチャンネルと、

10

20

30

40

50

前記交差する方向から前記チャンネルの少なくとも一部を囲むゲートと、を備え、
前記ソース、前記チャンネルおよび前記ドレインが前記積層方向に積層されたトランジスタと、
を具備し、

前記チャンネルはピエゾ抵抗体であり、

前記ゲートは、前記キャリアの伝導方向に交差する方向から前記チャンネルに圧力を加える圧電体を備えることを特徴とする記憶回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、磁気抵抗素子および記憶回路に関し、例えばフリー層を有する磁気抵抗素子および記憶回路に関する。

【背景技術】

【0002】

磁気抵抗素子の一種である磁気トンネル接合(MTJ: Magnetic tunnel junction)は、不揮発性メモリMRAM(Magnetoresistive random access memory)の記憶素子として研究・開発が進められている。また、不揮発性記憶を活用したパワーゲーティング(不揮発性パワーゲーティング: NVPG)などの低消費電力ロジックアーキテクチャへの応用も期待されている(特許文献1)。MTJは、磁化方向を変更可能なフリー層と、磁化方向が固定したピン層とを有する。

【0003】

特許文献2の図4には、円筒形状のメモリ素子積層体の外周面に圧電体を設け、圧電体の外周面に金属膜を設けることが記載されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】国際公開第2013/172066号

【特許文献2】特開2012-9786号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

MTJのフリー層の磁化反転には、スピントランスファトルク-電流誘起磁化反転(STT-CIMS)方式が広く用いられている。この方式では、MTJに流れるスピン偏極した電子による電流によって磁化がトルクを受け、磁化反転を生じる。磁化反転に必要な閾値電流密度が J_c である。一般的に、 J_c は 10^6 A/cm^2 台と大きい。 J_c を低減させるためには、磁化反転に関するエネルギーバリアを低下させればよい。しかし、この場合、情報保持時の熱擾乱耐性の劣化や、読み出し電流による誤書き込み確率の増大といった問題を生じる。そこで、磁化を反転させるときにのみ、熱や高周波電圧等の外部刺激を印加し、実効的なエネルギーバリアの形状・高さを変化させ、STT-CIMSを行なう方法が考えられる。この方法を用いれば、熱擾乱耐性等を劣化させずに、 J_c を削減できる。しかしながら、外部刺激のための消費エネルギーは小さくなく、 J_c を削減できてもこの消費エネルギーのため、全体の消費エネルギーを小さくすることは容易ではない。このように、フリー層の磁化方向を変更するための消費エネルギーを削減することが求められている。

【0006】

特許文献2には、金属膜に電圧が印加されると、メモリ素子積層体内の記憶層(フリー層)に圧縮する圧力が加わり、逆磁歪効果で記憶層の保磁力が低下し、スピン注入電流を低減できることが記載されている。

【0007】

しかしながら、金属膜は、メモリ素子積層体に電流を流すための下部電極と電氣的に接

10

20

30

40

50

続されている。このような構造では、メモリ素子積層体に逆方向の電流を流そうとすると、圧電体は記憶層に圧縮する圧力を加えない。よって、スピン注入電流を低減することができない。

【0008】

本発明は、上記課題に鑑みなされたものであり、フリー層の磁化方向を変更するための消費エネルギーを削減することを目的とする。

【課題を解決するための手段】

【0009】

本発明は、磁歪材料を含む磁歪層を備えたフリー層と、第1強磁性体層を備えるピン層と、前記ピン層と前記フリー層との間に設けられた薄膜と、前記フリー層と前記ピン層との積層方向に交差する方向から前記磁歪層の少なくとも一部を囲むように設けられ、前記磁歪層に圧力を加える圧電体と、前記フリー層に印加される電圧および前記ピン層に印加される電圧と異なる電圧を印加可能であって、前記フリー層の磁化方向が前記ピン層の磁化方向と平行な平行状態から前記フリー層の磁化方向が前記ピン層の磁化方向と反対の反平行状態に前記フリー層の磁化方向を書き換えるときと、前記反平行状態から前記平行状態に前記フリー層の磁化方向を書き換えるときと、において、前記圧電体が前記磁歪層に同じ方向に圧力を加えるように前記圧電体に電圧を印加する電極と、を具備することを特徴とする磁気抵抗素子である。

【0010】

上記構成において、前記電極は、前記圧電体の少なくとも一部を囲むように設けられ、前記圧電体は、前記磁歪層から前記電極に向かう方向または前記電極から前記磁歪層に向かう方向に誘電分極する構成とすることができる。

【0011】

本発明は、磁歪材料を含む磁歪層を備えたフリー層と、第1強磁性体層を備えるピン層と、前記ピン層と前記フリー層との間に設けられた薄膜と、前記フリー層と前記ピン層との積層方向に交差する方向から前記磁歪層の少なくとも一部を囲むように設けられ、前記磁歪層に圧力を加える圧電体と、前記フリー層に印加される電圧および前記ピン層に印加される電圧と異なる電圧を印加可能であって、前記圧電体が前記磁歪層に圧力を加えるように前記圧電体に電圧を印加する電極と、を具備し、前記電極は、前記圧電体に対し前記積層方向の両側に設けられた第1電極および第2電極を含み、前記圧電体は、前記積層方向に誘電分極することを特徴とする磁気抵抗素子である。

【0012】

上記構成において、前記フリー層に対し前記ピン層に印加される電圧の極性が反転したときに、前記フリー層に対し前記電極に印加される電圧の極性は変化しない構成とすることができる。

【0013】

上記構成において、前記フリー層に対し前記ピン層に印加される電圧の極性が反転したときに、前記第1電極に対し前記第2電極に印加される電圧の極性は変化しない構成とすることができる。

【0014】

本発明は、磁歪材料を含む磁歪層を備えたフリー層と、第1強磁性体層を備えるピン層と、前記ピン層と前記フリー層との間に設けられた薄膜と、前記フリー層と前記ピン層との積層方向に交差する方向から前記磁歪層の少なくとも一部を囲むように設けられ、前記磁歪層に圧力を加える圧電体と、前記フリー層に印加される電圧および前記ピン層に印加される電圧と異なる電圧を印加可能であって、前記圧電体が前記磁歪層に圧力を加えるように前記圧電体に電圧を印加する電極と、を具備し、前記フリー層は、前記磁歪層と磁気的に結合する第2強磁性体層を備えることを特徴とする磁気抵抗素子である。

【0015】

上記構成において、前記磁歪層は、圧力の印加により磁化容易軸方向が変化し、前記フリー層の磁化方向を反転させる構成とすることができる。

【0016】

上記構成において、前記フリー層は、前記磁歪層の前記磁化容易軸方向が変化したときに、スピン注入磁化反転により前記磁化方向が反転する構成とすることができる。

【0017】

上記構成において、前記薄膜はトンネルバリア絶縁層または非磁性金属層を含む構成とすることができる。

【0018】

本発明は、磁歪材料を含む磁歪層を備えたフリー層と、第1強磁性体層を備えるピン層と、前記ピン層と前記フリー層との間に設けられた薄膜と、前記フリー層と前記ピン層との積層方向に交差する方向から前記磁歪層の少なくとも一部を囲むように設けられ、前記磁歪層に圧力を加える圧電体と、前記フリー層に印加される電圧および前記ピン層に印加される電圧と異なる電圧を印加可能であって、前記圧電体が前記磁歪層に圧力を加えるように前記圧電体に電圧を印加する電極と、を具備し、前記薄膜はピエゾ抵抗体を含み、前記圧電体は前記ピエゾ抵抗体に圧力を加えることを特徴とする磁気抵抗素子である。

10

【0019】

本発明は、上記磁気抵抗素子と、前記フリー層および前記ピン層のいずれか一方が接続されたビット線と、前記フリー層および前記ピン層の他方と接続されたスイッチと、前記フリー層および前記ピン層の他方と前記スイッチを介し接続されたソース線と、前記スイッチを制御する制御端子が接続されたワード線と、前記電極が接続された制御線と、を具備することを特徴とする記憶回路である。

20

【0020】

本発明は、上記磁気抵抗素子と、前記フリー層および前記ピン層のいずれか一方が接続されたビット線と、前記フリー層および前記ピン層の他方と接続されたソース線と、前記電極に接続されたワード線と、を具備することを特徴とする記憶回路である。

【0021】

本発明は、磁歪材料を含む磁歪層を備えたフリー層と、第1強磁性体層を備えるピン層と、前記ピン層と前記フリー層との間に設けられた薄膜と、前記フリー層と前記ピン層との積層方向に交差する方向から前記磁歪層の少なくとも一部を囲むように設けられ、前記磁歪層に圧力を加える圧電体と、前記フリー層に印加される電圧および前記ピン層に印加される電圧と異なる電圧を印加可能であって、前記フリー層の磁化方向が前記ピン層の磁化方向と平行な平行状態から前記フリー層の磁化方向が前記ピン層の磁化方向と反対の反平行状態に前記フリー層の磁化方向を書き換えるときと、前記反平行状態から前記平行状態に前記フリー層の磁化方向を書き換えるときと、において、前記圧電体が前記磁歪層に同じ方向に圧力を加えるように前記圧電体に電圧を印加する電極と、を備える磁気抵抗素子と、いずれか一方が前記フリー層および前記ピン層のいずれか一方に接続するソースおよびドレインと、前記ソースおよび前記ドレインの間に設けられ、前記ソースから前記ドレインにキャリアが伝導するチャネルと、前記交差する方向から前記チャネルの少なくとも一部を囲むゲートと、を備え、前記ソース、前記チャネルおよび前記ドレインが前記積層方向に積層されたトランジスタと、を具備することを特徴とする記憶回路である。

30

【0022】

本発明は、磁歪材料を含む磁歪層を備えたフリー層と、第1強磁性体層を備えるピン層と、前記ピン層と前記フリー層との間に設けられた薄膜と、前記フリー層と前記ピン層との積層方向に交差する方向から前記磁歪層の少なくとも一部を囲むように設けられ、前記磁歪層に圧力を加える圧電体と、前記フリー層に印加される電圧および前記ピン層に印加される電圧と異なる電圧を印加可能であって、前記圧電体が前記磁歪層に圧力を加えるように前記圧電体に電圧を印加する電極と、を備える磁気抵抗素子と、いずれか一方が前記フリー層および前記ピン層のいずれか一方に接続するソースおよびドレインと、前記ソースおよび前記ドレインの間に設けられ、前記ソースから前記ドレインにキャリアが伝導するチャネルと、前記交差する方向から前記チャネルの少なくとも一部を囲むゲートと、を備え、前記ソース、前記チャネルおよび前記ドレインが前記積層方向に積層されたトラン

40

50

ジスタと、を具備し、前記チャネルはピエゾ抵抗体であり、前記ゲートは、前記キャリアの伝導方向に交差する方向から前記チャネルに圧力を加える圧電体を備えることを特徴とする記憶回路である。

【発明の効果】

【0023】

本発明によれば、フリー層の磁化方向を変更するための消費エネルギーを削減することができる。

【図面の簡単な説明】

【0024】

【図1】図1は、実施例1に係る不揮発性メモリ素子の断面図である。

10

【図2】図2(a)および図2(b)は、実施例1における動作を説明する図である。

【図3】図3(a)は、実施例2に係る不揮発性メモリ素子の斜視図であり、図3(b)は、断面図である。

【図4】図4(a)および図4(b)は、実施例2における動作を説明する図である。

【図5】図5(a)および図5(b)は、実施例2における別の動作を示す図である。

【図6】図6(a)は、実施例2の変形例1に係る不揮発性メモリ素子の斜視図であり、図6(b)は、断面図である。

【図7】図7(a)および図7(b)は、実施例2の変形例1の動作を説明する図である。

【図8】図8(a)および図8(b)は、実施例2の変形例1における別の動作を示す図である。

20

【図9】図9(a)は、実施例2のシミュレーションに用いた寸法を示す図であり、図9(b)は、実施例2における V_{fer} に対する圧力を示す図である。

【図10】図10(a)は、実施例2のシミュレーションに用いた磁歪層の寸法を示す図であり、図10(b)は、実施例2における磁化方向の傾き角に対する単位堆積あたりの磁化エネルギーを示す図である。

【図11】図11は、実施例2における時間に対する電流密度 J および圧力 P のパルス波形、および磁化方向 M_z を示す図である。

【図12】図12は、実施例2における圧力に対する閾値電流密度 J_c を示す図である。

【図13】図13(a)は、実施例2における圧力 P に対する MTJ と PE の消費エネルギーを示す図、図13(b)は、圧力 P に対する $MTJ + PE$ の消費エネルギーを示す図である。

30

【図14】図14(a)および図14(b)は、実施例2の変形例2に係る不揮発性メモリ素子の例を示す断面図である。

【図15】図15は、実施例1の変形例1に係る不揮発性メモリ素子の例を示す断面図である。

【図16】図16は、実施例3に係るMRAMのブロック図である。

【図17】図17(a)から図17(c)は、実施例3における記憶セルの例を示す回路図である。

【図18】図18(a)から図18(c)は、実施例3における記憶セルの別の例を示す回路図である。

40

【図19】図19は、実施例1に係る不揮発性メモリセルを実施例3の図17(a)の記憶セルに用いたときの断面図(その1)である。

【図20】図20は、実施例1に係る不揮発性メモリセルを実施例3の図17(a)の記憶セルに用いたときの断面図(その2)である。

【図21】図21は、実施例2の変形例1に係る不揮発性メモリセルを実施例3の図18(a)の記憶セルに用いたときの断面図である。

【図22】図22は、磁気抵抗層を圧電体内に配列した斜視図である。

【図23】図23は、実施例4に係る電子デバイスの斜視図である。

【図24】図24は、実施例4の変形例1に係る電子デバイスの斜視図である。

50

【図 25】図 25 は、実施例 5 に係る不揮発性 S R A M の記憶セルの回路図である。

【図 26】図 26 は、実施例 5 の変形例 1 に係る不揮発性フリップフロップ回路の回路図である。

【図 27】図 27 (a) は、実施例 6 に係る不揮発性メモリ素子の斜視図、図 27 (b) は、断面図である。

【図 28】図 28 は、実施例 6 の変形例 1 に係る記憶セルの回路図である。

【図 29】図 29 (a) および図 29 (b) は、それぞれ比較例 1 および 2 に係る磁気抵抗素子の断面図である。

【発明を実施するための形態】

【0025】

以下、図面を参照し実施例について説明する。

【実施例 1】

【0026】

実施例 1 は、磁気トンネル接合 M T J を用いた磁気抵抗素子の例である。図 1 は、実施例 1 に係る不揮発性メモリ素子の断面図である。図 1 に示すように、不揮発性メモリ素子 110 において、圧電体電極 24、圧電体 22、フリー層電極 26、磁気抵抗層 20 およびピン層電極 28 が積層方向 z に積層されている。圧電体電極 24 からピン層電極 28 までの積層体は高降伏強度材料からなる支持構造体 48 により支持されている。支持構造体 48 は圧電体電極 24、圧電体 22、フリー層電極 26、磁気抵抗層 20 およびピン層電極 28 よりヤング率が大きくかつ降伏強度が高い材料により形成される。圧電体電極 24、圧電体 22、フリー層電極 26、フリー層 10、トンネルバリア層 14、ピン層 18 およびピン層電極 28 の周囲には、低ヤング率領域 29 が設けられている。低ヤング率領域 29 は、圧電体電極 24、圧電体 22、フリー層電極 26、磁気抵抗層 20 およびピン層電極 28 よりヤング率が小さい領域であり、例えば空隙または樹脂等の有機材料からなる。磁気抵抗層 20 は、フリー層 10、トンネルバリア層 14 およびピン層 18 を備える。

【0027】

フリー層 10 は、強磁性体層 12 および磁歪層 11 を有する。ピン層 18 は、強磁性体層 16 および磁化固定層 17 を有する。トンネルバリア層 14 は、強磁性体層 12 および 16 に挟まれている。強磁性体層 12 および 16 は、強磁性体を含み、スピン分極率の高い層である。磁歪層 11 は磁歪材料を含む。磁歪材料は、圧力が加わると材料内部の磁気異方性が変化する逆磁歪効果を有する。磁歪層 11 は、強磁性体層 12 と磁氣的に結合している。これにより、磁歪層 11 と強磁性体層 12 の磁化方向は一斉に反転する。磁化固定層 17 は、強磁性体層 12 および 16 より体積の大きい硬磁性体材料、または反強磁性体を含む。これにより、磁化固定層 17 は容易に磁化方向が反転しない。強磁性体層 16 は、磁化固定層 17 と磁氣的に結合（例えば交換結合）している。このため、強磁性体層 16 の磁化方向も反転し難くなる。

【0028】

フリー層電極 26 は、フリー層 10 に電氣的に接続する。ピン層電極 28 は、ピン層 18 に電氣的に接続する。圧電体 22 は、誘電分極の方向 80 のように + z 方向に誘電分極している。圧電体電極 24 がフリー層電極 26 に対し圧電体 22 に電圧を印加すると、圧電体 22 は磁歪層 11 に圧力を加える。圧力の方向は + z 方向である。磁気抵抗層 20 は、強磁性体層 12 の磁化方向により、フリー層電極 26 とピン層電極 28 との間の抵抗値が変化する。強磁性体層 12 の磁化方向は、例えば S T T - C I M S 方式を用い反転する。

【0029】

実施例 1 では、圧電体 22 は、フリー層電極 26 に対し圧電体電極 24 に印加される電圧により、圧力を磁歪層 11 に加える。圧力が印加された状態で強磁性体層 12 の磁化を反転させる。これにより、磁化反転のための閾値電流密度 J_c を低下させる。

【0030】

図 2 (a) および図 2 (b) は、実施例 1 における動作を説明する図である。端子 T 1

10

20

30

40

50

からフリー層 10 に印加される電圧を V_{free} 、端子 T2 からピン層 18 に印加される電圧を V_{pin} 、端子 T3 から圧電体電極 24 に印加される電圧を V_{fer} とする。電源電圧を V_{DD} および書き込み時の電圧を V_w (以下では正電圧とする) とする。フリー層 10 の磁化方向がピン層 18 と平行な状態を平行状態、フリー層 10 の磁化方向がピン層 18 と反対のときを反平行状態という。

【0031】

図 2 (a) に示すように、平行状態から反平行状態に書き換えるとき、 $V_{free} = 0$ V、 $V_{pin} = V_w$ とする。 $V_{fer} = 0$ V であれば、通常の STT により、フリー層 10 の磁化方向は反平行状態になろうとする。実施例 1 では、 $V_{fer} = V_{DD}$ とする。圧電体電極 24 に端子 T1 に対し電圧 V_{DD} が印加される。圧電体 22 は磁歪層 11 に +z 方向の圧力を印加する。磁化方向が z 方向であり、磁歪層 11 の磁歪係数が正のとき、磁歪層 11 の磁気容易面が xy 面となる。このため、フリー層 10 の磁化方向が小さい電流で反転し、反平行状態となる。

10

【0032】

図 2 (b) に示すように、反平行状態から平行状態に書き換えるとき、 $V_{free} = V_w$ 、 $V_{pin} = 0$ V とする。 $V_{fer} = 0$ V であれば、通常の STT により、フリー層 10 の磁化方向は平行状態になろうとする。実施例 1 では、 $V_{fer} = V_{DD}$ とする。圧電体電極 24 に端子 T1 に対し電圧 $V_{DD} - V_w$ が印加される。ここで、 $V_{DD} - V_w > 0$ V となるように V_w を設定する。圧電体 22 は磁歪層 11 に +z 方向の圧力を印加する。磁化容易面が xy 面となるため、フリー層 10 の磁化方向が小さい電流で反転し、平行状態となる。

20

【0033】

図 2 (a) および図 2 (b) では、誘電分極の方向 80 が +z 方向のため、磁化方向を反転させるときに V_{free} に対し V_{fer} が正となるように各電圧を設定する。誘電分極の方向 80 が -z 方向の場合、磁化方向を反転させるときに V_{free} に対し V_{fer} が負となるように各電圧を設定すればよい。このように、圧電体 22 は、+z 方向または -z 方向に誘電分極していればよい。

【0034】

実施例 1 によれば、磁歪層 11 が強磁性体層 12 に磁氣的に結合している。圧電体電極 24 が圧電体 22 に電圧を印加することにより、圧電体 22 が磁歪層 11 に圧力を加える。これにより、磁歪層 11 は、圧力の印加により磁化容易軸方向が変化し、フリー層 10 の磁化方向を反転させる。これにより、フリー層 10 の磁化方向を変更するときの磁気抵抗層 20 を流れる電流を削減できる。よって消費エネルギーを抑制できる。

30

【0035】

実施例 1 のように、圧電体 22 は積層方向に磁歪層 11 に圧力を加える場合、支持構造体 48 (支持体) が圧電体 22 および磁歪層 11 を積層方向の両側から支持する。これにより、圧電体 22 からの圧力を効率よく磁歪層 11 に加えることができる。また、圧電体電極 24 からピン層電極 28 までの積層体の上下左右方向の四方は、支持構造体 48 に取り囲まれていることが好ましい。

【実施例 2】

40

【0036】

実施例 1 では、圧電体 22 が磁歪層 11 に圧力を加えるため、支持構造体 48 を用いる。以下に説明する実施例 2 では、フリー層 10 は、超磁歪材料からなる磁歪層 11 を含んでいる。磁歪層 11 の周囲を圧電体 22 が取り囲む。この構造では、高降伏強度材料などによる支持構造体 48 を用いることなく、圧電体 22 から磁歪層 11 に圧力を印加できる。この圧力により磁歪層 11 が歪む。逆磁歪効果によって磁歪層 11 内の磁気異方性が変化する。この圧力による磁歪層 11 の磁気異方性の変化と磁気抵抗素子に流れるスピン偏極電流が磁化に与えるスピントランスファトルクを組み合わせることで、低電圧駆動・低電流密度での磁化反転動作を実現できる。

【0037】

50

図3(a)は、実施例2に係る不揮発性メモリ素子の斜視図であり、図3(b)は、断面図である。図3(a)および図3(b)に示すように、不揮発性メモリ素子100において、磁気抵抗層20は、磁気トンネル接合素子であり、円筒形状である。磁気抵抗層20の中心軸をz軸とし、径方向をr方向、径方向を含む面をxy面、フリー層10の磁化方向Mとz軸との角度を θ とする。

【0038】

磁気抵抗層20は、フリー層10、トンネルバリア層14およびピン層18を備える。フリー層10は、強磁性体層12(第2強磁性体層)および磁歪層11を有する。ピン層18は、強磁性体層16(第1強磁性体層)および磁化固定層17を有する。トンネルバリア層14は、強磁性体層12および16に挟まれている。強磁性体層12および16は、強磁性体を含み、スピン分極率の高い層である。磁歪層11は磁歪材料を含む。磁歪材料は、圧力が加わると材料内部の磁気異方性が変化する逆磁歪効果を有する。磁歪層11は、強磁性体層12と磁氣的に結合している。これにより、磁歪層11と強磁性体層12の磁化方向は一斉に反転する。磁化固定層17は、強磁性体層12および16より体積の大きい硬磁性体材料、または反強磁性体を含む。これにより、磁化固定層17は容易に磁化方向が反転しない。強磁性体層16は、磁化固定層17と磁氣的に結合している。このため、強磁性体層16の磁化方向も反転し難くなる。

10

【0039】

フリー層電極26は、フリー層10に電氣的に接続する。ピン層電極28は、ピン層18に電氣的に接続する。圧電体22は、磁気抵抗層20を囲み、誘電分極の方向80のように-r方向に誘電分極している。圧電体電極24は、圧電体22を囲むように設けられている。圧電体電極24が圧電体22に電圧を印加すると、圧電体22は磁歪層11に圧力を加える。圧力の方向は-r方向である。図3(a)および図3(b)では、圧電体22は、磁気抵抗層20に圧力を加えるが、圧電体22は少なくとも磁歪層11に圧力を加えればよい。

20

【0040】

図4(a)および図4(b)は、実施例2における動作を説明する図である。端子T1からフリー層10に印加される電圧をVfree、端子T2からピン層18に印加される電圧をVpin、端子T3から圧電体電極24に印加される電圧をVferriとする。電源電圧をVDDおよび書き込み時の電圧をVw(以下では正電圧とする)とする。フリー層10の磁化方向がピン層18と平行な状態を平行状態、フリー層10の磁化方向がピン層18と反対のときを反平行状態という。

30

【0041】

図4(a)に示すように、平行状態から反平行状態に書き換えるとき、Vfree=0V、Vpin=Vwとする。Vferri=0Vであれば、通常のSTTにより、フリー層10の磁化方向は反平行状態になろうとする。実施例2では、Vferri=VDDとする。圧電体電極24に端子T1に対し電圧VDDが印加される。圧電体22は磁歪層11に-r方向の圧力を印加する。磁化方向がz方向であり、磁歪層11の磁歪係数が負のとき、磁歪層11の磁気容易面がxy面となる。このため、フリー層10の磁化方向が小さい電流で反転し、反平行状態となる。

40

【0042】

図4(b)に示すように、反平行状態から平行状態に書き換えるとき、Vfree=Vw、Vpin=0Vとする。Vferri=0Vであれば、通常のSTTにより、フリー層10の磁化方向は平行状態になろうとする。実施例2では、Vferri=VDDとする。圧電体電極24に端子T1に対し電圧VDD-Vwが印加される。ここで、VDD-Vw>0VとなるようにVwを設定する。圧電体22は磁歪層11に-r方向の圧力を印加する。磁化容易面がxy面となるため、フリー層10の磁化方向が小さい電流で反転し、平行状態となる。

【0043】

図5(a)および図5(b)は、実施例2における別の動作を示す図である。図5(a)

50

に示すように、平行状態から反平行状態に書き込む動作は、図4(a)と同じである。図5(b)に示すように、 $V_{free} = 0V$ 、 $V_{pin} = -V_w$ 、 $V_{ferr} = V_{DD}$ とする。フリー層10はピン層18に対し正の電圧となり、かつ、 V_{ferr} は V_{free} に対し V_{DD} となる。よって、反平行状態から平行状態に書き込まれる。図5(b)では、図4(b)と異なり $V_{DD} < V_w$ でもよい。

【0044】

図4(a)から図5(b)において、フリー層10の磁化方向を反転させないときには、例えば $V_{free} = V_{pin} = V_{ferr}$ (例えば $0V$)とする。これにより、フリー層10の磁化方向は維持される。

【0045】

図4(a)から図5(b)では、誘電分極の方向80が $-r$ 方向のため、磁化方向を反転させるときに V_{free} に対し V_{ferr} が正となるように各電圧を設定する。誘電分極の方向80が $+r$ 方向の場合、磁化方向を反転させるときに V_{free} に対し V_{ferr} が負となるように各電圧を設定すればよい。このように、圧電体電極24が圧電体22を囲むように設けられている場合、圧電体22は、 $-r$ 方向(すなわち圧電体電極24から磁歪層11に向かう方向)または $+r$ 方向(すなわち磁歪層11から圧電体電極24に向かう方向)に誘電分極していればよい。

【0046】

図6(a)は、実施例2の変形例1に係る不揮発性メモリ素子の斜視図であり、図6(b)は、断面図である。図6(a)および図6(b)に示すように、不揮発性メモリ素子101において、圧電体22の誘電分極の方向80は $+z$ 方向である。圧電体22の z 方向に対向するように圧電体電極24aおよび24bが設けられている。圧電体電極24aに対し24bに正の電圧を印加することにより、圧電体22は磁歪層11に $-r$ 方向の圧力を加えることができる。その他の構成は実施例2の図4(a)および図4(b)と同じであり説明を省略する。

【0047】

図7(a)および図7(b)は、実施例2の変形例1における動作を説明する図である。端子T3aから圧電体電極24aに印加される電圧を V_{ferr2} 、端子T3bから圧電体電極24bに印加される電圧を V_{ferr1} とする。図7(a)に示すように、平行状態から反平行状態に書き換えるとき、 $V_{free} = 0V$ 、 $V_{pin} = V_w$ 、 $V_{ferr1} = V_{DD}$ 、 $V_{ferr2} = 0V$ とする。これにより、圧電体22は磁歪層11に $-r$ 方向の圧力を加える。よって、図4(a)と同様に、平行状態から反平行状態となる。

【0048】

図7(b)に示すように、反平行状態から平行状態に書き換えるとき、 $V_{free} = V_w$ 、 $V_{pin} = 0V$ 、 $V_{ferr1} = V_{DD}$ 、 $V_{ferr2} = 0V$ とする。これにより図4(b)と同様に、反平行状態から平行状態となる。

【0049】

図8(a)および図8(b)は、実施例2の変形例1における別の動作を示す図である。図8(a)に示すように、平行状態から反平行状態に書き込む動作は、図7(a)と同じである。図8(b)に示すように、反平行状態から平行状態に書き換えるとき、 $V_{free} = V_w$ 、 $V_{pin} = 0V$ 、 $V_{ferr1} = V_{DD}$ 、 $V_{ferr2} = V_w$ とする。 $V_{DD} - V_w > 0V$ となるように電圧 V_w を設定しておけば、圧電体22は磁歪層11に $-r$ 方向の圧力を加える。よって、反平行状態から平行状態に書き込まれる。

【0050】

図7(a)から図8(b)において、フリー層10の磁化方向を反転させないときには、例えば $V_{free} = V_{pin} = V_{ferr1} = V_{ferr2}$ (例えば $0V$)とする。これにより、フリー層10の磁化方向は維持される。

【0051】

図7(a)から図8(b)では、誘電分極の方向80が $+z$ 方向のため、磁化方向を反転させるときに V_{ferr2} に対し V_{ferr1} が正となるように各電圧を設定する。誘

10

20

30

40

50

電分極の方向が $-z$ 方向の場合、磁化方向を反転させるときに V_{ferr2} に対し V_{ferr1} が負となるように各電圧を設定すればよい。このように、圧電体電極 24a および 24b が z 方向（磁歪層 11 と強磁性体層 12 の積層方向）に複数設けられている場合、圧電体 22 は、 $+z$ 方向または $-z$ 方向に誘電分極していればよい。

【0052】

図 4 (a) から図 5 (b) および図 7 (a) から図 8 (b) では、フリー層 10 およびピン層 18 の磁化方向が z 方向である垂直磁化型の場合を例に説明したが、フリー層 10 およびピン層 18 の磁化方向が xy 面内である面内磁化方式では、磁歪層 11 の磁歪係数を負とする。これにより、図 4 (a) から図 5 (b) および図 7 (a) から図 8 (b) と同様に動作させることができる。

10

【0053】

実施例 2 についてシミュレーションを行った。シミュレーションにおいて用いる各材料の物性値はバルクの値を用いた。まず、電圧 V_{ferr} に対する圧電体 22 が磁気抵抗層 20 に加える圧力をシミュレーションした。

【0054】

図 9 (a) は、実施例 2 のシミュレーションに用いた寸法を示す図であり、図 9 (b) は、実施例 2 における V_{ferr} に対する圧力を示す図である。図 9 (a) および図 9 (b) に示すように、圧電体 22 における r 方向の幅 t_0 を 10 nm 、 z 方向の幅 w_0 を 10 nm 、ヤング率 E_{PE} を 60 GPa 、ポアソン比 ν_{PE} を 0.3 とした。磁気抵抗層 20 における z 方向の幅 w を 10 nm 、半径 R を 10 nm 、およびヤング率 E_{MTJ} を 40 GPa とした。

20

【0055】

図 9 (b) に示すように、 $V_{free} = V_{pin} = 0\text{ V}$ としたとき、 V_{ferr} を印加すると、 $-r$ 方向の圧力 P が大きくなる。 V_{ferr} を 0.1 V とすると圧力 P は約 0.2 GPa 以上となる。 V_{ferr} を 0.5 V とすると圧力 P は 1 GPa 以上となる。

【0056】

次に、磁歪層 11 を超磁歪材料である SmFe_2 薄膜とし、磁化エネルギーの磁化方向の角度依存性をシミュレーションした。図 10 (a) は、実施例 2 のシミュレーションに用いた磁歪層の寸法を示す図であり、図 10 (b) は、実施例 2 における磁化方向の傾き角に対する単位体積あたりの磁化エネルギーを示す図である。

30

【0057】

図 10 (a) および図 10 (b) に示すように、磁歪層 11 の直径 $2R$ を 20 nm 、 z 方向の膜厚 w_1 を 2 nm 、磁化方向 M の z 軸からの傾き角 θ を 0° から 180° まで変化させた。磁歪層 11 に加わる $-r$ 方向の圧力 P を 0 GPa から 0.5 GPa まで 0.05 GPa ステップで変化させた。 SmFe_2 の垂直磁気異方性定数は、圧力 $P = 0$ で 10 年の磁化保持特性が得られるように設定した。 SmFe_2 の飽和磁化および磁歪係数はバルクの値を用いた。磁歪層 11 における磁歪係数はすべての方向に等しい等方磁歪膜とした。

【0058】

図 10 (b) に示すように、圧力 P が 0 GPa のとき、磁気異方性の容易軸は z 方向である。すなわち、角 θ が 0° および 180° のとき、磁化エネルギーが極小となり、角が 90° のとき、磁化エネルギーが極大となる。極小と極大の磁化エネルギー差がエネルギー障壁高さ E_b となる。圧力 P が 0 GPa のときの障壁高さ E_b は $80\text{ k}_B\text{ T}$ である。障壁高さ E_b では、磁化方向 M が $+z$ 方向または $-z$ 方向のとき 10 年程度磁化方向が保持される。

40

【0059】

圧力 P が増加すると、 xy 面内の磁気異方性エネルギーが増加する。すなわち、角 θ が 0° および 180° のときの磁化エネルギーが増加し、角が 90° のときの磁化エネルギーが減少する。これにより障壁高さ E_b が減少する。圧力 P が 0.2 GPa 以上では、磁気異方性は xy 面が容易面となる。すなわち、角 θ が 0° および 180° のとき、磁化工

50

エネルギーが極大となり、角が 90° のとき、磁化エネルギーが極小となる。xy 面が磁気容易面となると、磁化方向の反転が容易となる。図 9 (b) から、V ferr を $0.1 V$ で圧力 P を $0.2 GPa$ とすることができる。

【0060】

次に、実施例 2 に係るフリー層の磁化反転動作と STT 電流密度を LLG (Landau-Lifshitz-Gilbert) 方程式を用いシミュレーションした。磁歪層 11 を $SmFe_2$ とし、単層でシミュレーションを行なった。

【0061】

図 11 は、実施例 2 における時間に対する電流密度 J および圧力 P のパルス波形、および磁化方向 Mz を示す図である。電流密度 J は、電圧 V pin および V free の印加により磁気抵抗層 20 内を磁化方向 Mz を反転させるように流れる。圧力 P は、圧電体 22 が磁歪層 11 に -r 方向に印加する圧力である。磁化方向 Mz は、+z 方向を 1、-z 方向を -1、r 方向を 0 とする。

【0062】

時間 $t = 0$ において、電流密度 $J = 0.125 MA/cm^2$ と圧力 $P = 0.31 GPa$ を同時に印加する。時間 $t = 8 ns$ において、圧力 P を 0 とし、時間 $t = 10 ns$ において電流密度 J を 0 とする。

【0063】

圧力 P を印加すると、xy 面が磁気容易面となり磁化方向 Mz を xy 面に向けようとするダンピング効果が生じる。また、電流密度 J を印加すると STT 電流により磁化方向 Mz が反転しようとする STT 効果が生じる。これらの効果により、 $t = 0$ から $8 ns$ の間で磁化方向 Mz がほぼ 0 となる。磁化には、STT 効果により -z 方向にトルクが加わっているため、磁化方向 Mz は 0 よりやや負側で安定する。

【0064】

時間 $t = 8 ns$ において、圧力 P を 0 とすると、磁気容易軸は z 軸となる。ダンピング方向は -z 方向に磁化方向 Mz を向かせる方向となり、磁化方向 Mz は -1 となる。このように、フリー層 10 の磁化反転が行なわれる。

【0065】

次に、圧力 P に対する閾値電流密度 Jc をシミュレーションした。ここで、閾値電流密度 Jc を以下のように定義した。+z 方向の磁化方向の磁気抵抗層 20 に、磁化反転させるため圧力 P と電流密度 J を加える。圧力 P と電流密度 J を 0 にする直前の磁化方向の角を θ_1 とする。角 θ_1 は、圧力 P を 0 とした後熱エネルギー $k_B T$ による揺らぎが加わっても、磁化方向が +z 方向に戻るために必要なエネルギーバリアを越えない角度とする。角度 θ_1 を実現できる印加パルス時間内の最小の電流密度 J を閾値電流密度 Jc とする。磁気抵抗層 20 に閾値電流密度 Jc 以上の電流密度を印加すれば、熱による磁化方向の揺らぎがあっても、磁化反転できる。

【0066】

図 12 は、実施例 2 における圧力に対する閾値電流密度 Jc を示す図である。磁気抵抗層 20 に印加する電流密度 J のパルス幅を $10 ns$ とし、圧電体 22 が磁歪層 11 に加える圧力 P のパルス幅を $8 ns$ とした。各材料の物性値および寸法はこれまでのシミュレーションと同じである。

【0067】

圧力 P が 0 から増加すると、閾値電流密度 Jc は減少する。圧力 P が $0.31 GPa$ のとき、閾値電流密度 Jc は最小となる。最小の閾値電流密度 Jc は $0.125 MA/cm^2$ である。この値は、圧力 P が 0 のときの約 $1/20$ である。熱による揺らぎのマージンを小さく仮定すれば (すなわち角度 θ_1 を小さくすれば) 閾値電流密度 Jc の最小値をさらに小さくできる。また、印加する電流密度 J および圧力 P のパルス形状および制御方法を工夫すれば、最小の閾値電流密度 Jc をさらに小さくできる。

【0068】

図 13 (a) は、実施例 2 における圧力 P に対する MTJ と PE の消費エネルギーを示

10

20

30

40

50

す図、図13(b)は、圧力Pに対するMTJ+PEの消費エネルギーを示す図である。MTJは、磁気抵抗層20で消費されるエネルギーであり、印加する電流密度Jに主に起因するものである。PEは圧電体22で消費されるエネルギーであり、印加する圧力Pに主に起因するものである。

【0069】

図13(a)に示すように、圧力が増加すると、MTJの消費エネルギーは減少し、PEの消費エネルギーは増加する。PEの消費エネルギーはMTJの消費エネルギーより10桁小さく無視できる。図13(b)に示すように、不揮発性メモリ素子100全体の消費エネルギー(MTJ+PEの消費エネルギー)は、ほぼMTJの消費エネルギーである。圧力を印加することにより、全体の消費エネルギーを2桁以上削減できる。

10

【0070】

圧力を消費エネルギーが最小となる0.31GPaとするためのVferは、約0.13Vである。このように、圧電体電極24にわずかな電圧を印加することにより、不揮発性メモリ素子100の消費エネルギーを小さくできる。実施例2を例に説明したが、実施例2の変形例1においても同様に消費エネルギーを削減できる。

【0071】

実施例2およびその変形例1によれば、磁歪層11が強磁性体層12に磁氣的に結合している。圧電体電極24が圧電体22に電圧を印加することにより、圧電体22が磁歪層11に圧力を加える。これにより、磁歪層11は、圧力の印加により磁化容易軸方向が変化し、フリー層10の磁化方向を反転させる。例えば、フリー層10は、磁歪層11の磁化容易方向が変化したときに、スピン注入磁化反転により磁化方向が反転する。これにより、フリー層10の磁化方向を変更するときの磁気抵抗層20を流れる電流を削減できる。よって消費エネルギーを抑制できる。なお、スピン注入磁化反転以外の方法でフリー層10の磁化方向を変更してもよい。

20

【0072】

また、圧電体22は、z方向に交差する方向から磁歪層11を囲むように設けられている。これにより、圧電体22が磁歪層11を囲み磁歪層11に周囲から圧力を加える。圧電体22は、z方向に直交する全ての方向から磁歪層11を囲むように設けられることが好ましい。圧電体22は、z方向に直交する一部の方向から磁歪層11を囲むように設けられていてもよい。

30

【0073】

磁気抵抗層20を円筒形状、圧電体22をドーナツ形状とする例を説明したが、磁気抵抗層20および圧電体22の形状はこれらには限られない。例えば、磁気抵抗層20は四角柱等の多角柱でもよい。また、多角柱の角は丸く縁取りされていてもよい。磁気抵抗層20に均一に圧力を加えるため、磁気抵抗層20および圧電体22は、z軸に対し回転対称であることが好ましい。

【0074】

磁気抵抗層20のうち磁歪層11以外の各層と圧電体22との間に空隙または絶縁体が設けられていてもよい。絶縁体のヤング率を磁歪層11より小さくすることにより、圧電体22から磁歪層11以外の各層に加わる圧力を緩和できる。圧電体22のz方向の幅は圧電体22が圧力を加える層のz方向の幅より大きいことが好ましい。例えば、圧電体22が磁気抵抗層20の全層に圧力を加える場合、圧電体22のz方向の幅wは磁気抵抗層20のz方向の幅w0より大きい。これにより、磁気抵抗層20に均一に圧力が加わる。

40

【0075】

実施例2およびその変形例1では、フリー層電極26およびピン層電極28と、圧電体22との間に隙間が形成されている。フリー層電極26およびピン層電極28のヤング率が小さい場合(例えば、磁気抵抗層20より小さい場合)、フリー層電極26およびピン層電極28と、圧電体22との間が接触していてもよい。

【0076】

図14(a)および図14(b)は、実施例2の変形例2に係る不揮発性メモリ素子の

50

例を示す断面図である。図15は、実施例1の変形例1に係る不揮発性メモリ素子の例を示す断面図である。図14(a)から図15に示すように、不揮発性メモリ素子100a、101aおよび110aにおいては、フリー層10とピン層18との間に薄膜として非磁性金属層14aが設けられている。磁気抵抗層20は、巨大磁気抵抗(GMR: Giant magneto resistance)素子である。その他の構成は、図3(b)、図6(b)および図1と同じであり、説明を省略する。このように、磁気抵抗層20は、磁気トンネル接合素子でもよいし巨大磁気抵抗素子でもよい。磁気トンネル接合素子では、フリー層10とピン層18との間の薄膜は、トンネルバリア絶縁層である。巨体磁気抵抗素子では、この薄膜は非磁性金属層である。

【0077】

実施例1、実施例2およびその変形例において、磁歪層11を構成する磁歪材料は、圧力が加わると材料内部の磁気異方性が変化する逆磁歪効果を有する。磁歪層11は、磁歪係数の絶対値が大きい超磁歪材料からなることが好ましい。磁歪層11には、負の磁歪係数を有する材料として、 SmFe_2 、 SmFeN 、 SmFeB または CoFe_2O_4 等を用いることができる。正の磁歪係数を有する材料として、 Terfenol-D または Gernol-G を用いることができる。実施例1では、圧電体22が磁歪層11に印加する圧力はz方向である。このため、強磁性体層12の磁化方向がz軸方向の面直磁化型の場合、磁歪係数は正であることが好ましく、強磁性体層12の磁化方向がxy方向の面内磁化の場合、磁歪係数は負であることが好ましい。実施例2およびその変形例では、圧電体22が磁歪層11に印加する圧力は-r方向である。このため、強磁性体層12および16の磁化方向がz方向の面直磁化型の場合、磁歪係数は負であることが好ましく、強磁性体層12および16の磁化方向がxy面内の面内磁化型の場合、磁歪係数は正であることが好ましい。

【0078】

強磁性体層12および16を構成する強磁性体としては、 $\text{Co}_2\text{Fe}(\text{Si}, \text{Al})$ 、 Co_2MnSi 、または $\text{Co}_2(\text{Fe}, \text{Mn})$ 等のフルホイスラー合金、 Fe 、 Co または CoFeB 等の強磁性遷移金属または強磁性遷移金属化合物を用いることができる。

【0079】

トンネルバリア層14は、例えば MgO 、 AlO_x 、 TiO_x 等の非磁性絶縁膜を用いることができる。非磁性金属層14aとしては、 Ag 、 Cu 、 Cr または Au 等を用いることができる。フリー層電極26、ピン層電極28および圧電体電極24は、例えば Ag 、 Cu 、 Cr または Au 等の非磁性金属からなる。磁歪層11がフリー層電極26を兼ねてもよく、磁化固定層17がピン層電極28を兼ねてもよい。

【0080】

圧電体22は、印加される電圧により機械的に変形する逆圧電効果を有する材料からなる。圧電体22の材料としては、例えば以下の ABC_3 型のペロブスカイト構造物質を用いることができる。

$(\text{Pb}, \text{M1})(\text{Ti}, \text{M2})\text{O}_3$ 、
 $(\text{Bi}, \text{M1})(\text{Zn}, \text{Ti}, \text{M2})\text{O}_3$ 、
 $(\text{Bi}, \text{M1})(\text{Na}, \text{Ti}, \text{M2})\text{O}_3$ 、
 $(\text{K}, \text{M1})(\text{Nb}, \text{M2})\text{O}_3$ 、
 $(\text{Li}, \text{M1})(\text{Nb}, \text{M2})\text{O}_3$ 、
 $(\text{Li}, \text{M1})(\text{Ta}, \text{M2})\text{O}_3$ 、

または

$(\text{Na}, \text{M1})(\text{Nb}, \text{M2})\text{O}_3$

ここで、M1は価数が1-3価の Li 、 Ca 、 Ba 、 Sr 、 Bi 、 Pb またはランタノイド等である。M2は価数が2-6価の Zr 、 Hf 、 Mg/Nb 、 Mg/Ta 、 In/Sc 等である。

ペロブスカイト構造物質以外の材料として、以下を用いることができる。

$(\text{Hf}, \text{M3})\text{O}_2$

10

20

30

40

50

ここで、M3はSr、Si、Ba、Ca、Mg、Zr、Ce、Ti、Ge、Sn、Nb、Taまたはランタノイドである。

圧電体22の材料として、典型的にはPZT(チタン酸ジルコン酸鉛)、PSZT(ストロンチウム添加チタン酸ジルコン酸鉛)、PMT-PT(マグネシウムニオブ酸-チタン酸鉛)、またはPZN-PT(亜鉛ニオブ酸-チタン酸鉛)を用いることができる。

【0081】

実施例1の支持構造体48としては、例えば窒化シリコンなどを用いることができる。

【0082】

磁歪層11、強磁性体層12、16、トンネルバリア層14、磁化固定層17、圧電体22、圧電体電極24、フリー層電極26およびピン層電極28は、例えばスパッタリング法、CVD(Chemical Vapor Deposition)法を用いて形成できる。

10

【0083】

磁気抵抗素子の例として、2端子素子のMTJ素子およびGMR素子を説明したが、磁気抵抗素子はフリー層を有すればよい。例えば、スピントランジスタに実施例1、実施例2およびその変形例のフリー層および圧電体を用いることができる。

【実施例3】

【0084】

実施例3は、記憶回路として、実施例1、実施例2およびその変形例に係る不揮発性メモリ素子を用いたMRAMの例である。図16は、実施例3に係るMRAMのブロック図である。図16に示すように、MRAM102は、メモリ領域42、制御部45、ドライバ44および46を備えている。メモリ領域42には複数の記憶セル40がマトリクス状に配列されている。行方向に配列した記憶セル40は行方向に延伸するビット線BLおよびソース線SLに接続される。列方向に配列された記憶セル40は列方向に延伸するワード線WLに接続される。図示していないが後述するSE線が列方向または行方向に延伸している。ドライバ44および46は、制御部45の指示により、列および行を選択しワード線WL、ビット線BL、ソース線SLおよびSE線等に電圧等の信号を印加する。これにより、1つの記憶セル40が選択される。記憶セル40へのデータの書き込みおよび記憶セル40は、制御部45の指示により不図示の読み出し回路および書き込み回路が行なう。

20

【0085】

図17(a)から図17(c)は、実施例3における記憶セルの例を示す回路図である。Fはフリー層、Pはピン層を示す。図17(a)に示すように、記憶セル40は、不揮発性メモリ素子30およびFET(Field Effect Transistor)34を備えている。FET34はNチャネルMOS(Metal Oxide Semiconductor)FETである。不揮発性メモリ素子30は、実施例1および実施例2の不揮発性メモリ素子である。フリー層に接続されるフリー層側端子31、ピン層に接続されるピン層側端子32は、それぞれ実施例1および実施例2における端子T1および端子T2に対応する。フリー層Fおよびピン層Pの横に図示された電極33は圧電体電極24に対応する。なお、端子T1とT2は逆に接続されていてもよい。

30

【0086】

不揮発性メモリ素子30の端子31は、FET34のドレインに接続されている。端子32はビット線BLに接続されている。電極33はSE線に接続されている。SE線はワード線WLと平行にメモリ領域42内を延伸している。記憶セル40への書き込みは、不揮発性メモリ素子30の磁化反転に対応する。記憶セル40への書き込みのとき、制御部45は、ドライバ46にビット線BLとソース線SLのうちいずれか一方に電圧Vwを、他方に0Vを印加させる。制御部45は、ドライバ44にワード線WLおよびSE線に電圧VDDを印加させる。これにより、図4(a)および図4(b)において説明したように不揮発性メモリ素子30内のフリー層10の磁化方向が反転し、記憶セル40への書き込みが行なわれる。制御部45がドライバ44および46に図5(a)および図5(b)のように各線に電圧を印加することで書き込みを行なうこともできる。

40

50

【 0 0 8 7 】

図 1 7 (b) に示すように、S E 線はビット線 B L と平行でもよい。この例では、S E 線の電圧はドライバ 4 6 が印加する。その他の構成は図 1 7 (a) と同じであり、説明を省略する。

【 0 0 8 8 】

図 1 7 (a) および図 1 7 (b) では、選択された S E 線と同じ S E 線に接続された記憶セル 4 0 の圧電体 2 2 に電圧が印加される。これにより、これらの記憶セル 4 0 の磁歪層 1 1 に圧力が加わる。この現象を圧力ディスターブとする。圧力ディスターブを受けた記憶セル 4 0 のフリー層 1 0 の磁気異方性は x y 面方向となる。この記憶セル 4 0 では電流密度 J は印加されていないものの、フリー層 1 0 の磁化方向が x y 面となることが起こりうる。そして、圧力 P が 0 となった後、フリー層 1 0 の磁化方向は反転する場合が考えられる。こうなると、誤書き込みとなる。

10

【 0 0 8 9 】

図 1 7 (c) は、圧力ディスターブを抑制する記憶セルの例である。図 1 7 (c) に示すように、記憶セル 4 0 は、F E T 3 8 を備える。F E T 3 8 は、N チャネル M O S F E T である。F E T 3 8 のソースは電極 3 3 に、ドレインは、S E 2 線に、ゲートは S E 1 線に接続されている。S E 1 線はワード線 W L と平行に、S E 2 線はビット線 B L と平行に延伸している。ドライバ 4 4 および 4 6 は、書き込む記憶セル 4 0 の S E 1 線および S E 2 線を選択し電圧 V D D を印加する。これにより、選択された記憶セル 4 0 のみの圧電体 2 2 に電圧が印加される。よって、圧力ディスターブを抑制できる。その他の構成は図 1 7 (a) と同じであり説明を省略する。

20

【 0 0 9 0 】

図 1 8 (a) から図 1 8 (c) は、実施例 3 における記憶セルの別の例を示す回路図である。不揮発性メモリ素子 3 0 は、実施例 2 の変形例 1 に係る不揮発性メモリ素子である。図 1 8 (a) に示すように、不揮発性メモリ素子 3 0 は、電極 3 5 および 3 6 を有する。電極 3 5 および 3 6 は、それぞれ実施例 2 の変形例の圧電体電極 2 4 a および 2 4 b に対応する。電極 3 5 および 3 6 はそれぞれ S E 2 線および S E 1 線に接続されている。S E 1 線および S E 2 線はワード線 W L と平行に延伸している。記憶セル 4 0 への書き込みのとき、制御部 4 5 はドライバ 4 6 にビット線 B L とソース線 S L のうちいずれか一方に電圧 V w を、他方に 0 V を印加させる。制御部 4 5 はドライバ 4 4 にワード線 W L および S E 1 線に電圧 V D D を、S E 2 線に 0 V を印加させる。これにより、図 7 (a) および図 7 (b) において説明したように不揮発性メモリ素子 3 0 内のフリー層 1 0 の磁化方向が反転し、記憶セル 4 0 への書き込みが行なわれる。制御部 4 5 がドライバ 4 4 および 4 6 に図 8 (a) および図 8 (b) のように各線に電圧を印加することで書き込みを行なうこともできる。

30

【 0 0 9 1 】

図 1 8 (b) に示すように、S E 1 線および S E 2 線はビット線 B L と平行でもよい。この例では、S E 1 線および S E 2 線の電圧はドライバ 4 6 が印加する。その他の構成は図 1 8 (a) と同じであり、説明を省略する。なお、S E 1 線と S E 2 線とは交差するように設けられていてもよい。

40

【 0 0 9 2 】

図 1 8 (c) に示すように、F E T 3 8 のソースは電極 3 6 に、ドレインは S E 1 線に、ゲートは S E 3 線に接続されている。S E 1 線および S E 2 線はビット線 B L と平行に、S E 3 線はワード線 W L と平行に延伸している。制御部 4 5 はドライバ 4 4 および 4 6 に書き込む記憶セル 4 0 の S E 1 線および S E 3 線を選択させ、選択した S E 1 線および S E 3 線に電圧 V D D を、S E 2 線に 0 V を印加させる。これにより、選択された記憶セル 4 0 のみの圧電体 2 2 に電圧が印加される。よって、圧力ディスターブを抑制できる。その他の構成は図 1 8 (b) と同じであり説明を省略する。

【 0 0 9 3 】

実施例 3 によれば、ビット線 B L にフリー層 1 0 およびピン層 1 8 のいずれか一方が接

50

続されている。F E T 3 4 は、フリー層 1 0 およびピン層 1 8 の他方と接続されている。ソース線 S L に F E T 3 4 を介しフリー層 1 0 およびピン層 1 8 の他方が接続されている。ワード線 W L に F E T 3 4 のゲートが接続されている。S E 線、S E 1 線および S E 2 線、または S E 1 線から S E 3 線（制御線）は圧電体電極 2 4 または 2 4 a および 2 4 b に接続されている。これにより、実施例 2 およびその変形例に係る不揮発性メモリ素子を M R A M に適用することができる。よって、M R A M の消費エネルギーを削減できる。なお、F E T 3 4 はワード線 W L が制御端子に接続されたスイッチであればよい。

【 0 0 9 4 】

図 1 9 および図 2 0 は、実施例 1 に係る不揮発性メモリ素子（磁気抵抗素子）を実施例 3 の図 1 7 (a) の記憶セルに用いたときの断面図である。図 1 9 は、図 2 0 の B - B 断面図であり、図 2 0 は、図 1 9 の A - A 断面図である。図 1 9 において、ビット線 B L および S E 線に相当する配線およびビア、フリー層電極 2 6 と F E T 3 8 を接続するビアは B - B 断面にはないが、破線で示す。

10

【 0 0 9 5 】

図 1 9 および図 2 0 に示すように、不揮発性メモリ素子 3 0 は層間絶縁膜 8 5 の間に形成され、F E T 3 4 はシリコン基板である半導体基板 9 4 に形成されている。半導体基板 9 4 上に層間絶縁膜 8 5 が積層されている。層間絶縁膜 8 5 内に支持構造体 4 8 が形成されている。支持構造体 4 8 内には低ヤング率領域 2 9 が形成されている。低ヤング率領域 2 9 内に圧電体電極 2 4、圧電体 2 2、フリー層電極 2 6、磁気抵抗層 2 0 およびピン層電極 2 8 が形成されている。

20

【 0 0 9 6 】

半導体基板 9 4 に S T I (Shallow trench isolation)酸化膜 8 1 が形成されている。半導体基板 9 4 内の酸化膜 8 1 に囲まれた領域にソース領域 8 6 a およびドレイン領域 8 6 b が形成されている。ソース領域 8 6 a およびドレイン領域 8 6 b の間のチャネル領域上にゲート酸化膜 8 8 を介しゲート電極 8 7 が形成されている。ゲート電極 8 7 の両側には絶縁性の側壁 9 8 が形成されている。ソース領域 8 6 a、ドレイン領域 8 6 b およびゲート電極 8 7 は金属シリサイド膜 8 9 を介しビア 8 3、8 3 a または 8 3 b に接続されている。

【 0 0 9 7 】

ビット線 B L に相当する配線 8 4 はビア 8 3 c を介しピン層電極 2 8 に接続されている。S E 線に対応する配線 8 4 は、ビア 8 3 d を介し圧電体電極 2 4 に接続されている。ソース線 S L に相当する配線 8 4 はビア 8 3 を介しソース領域 8 6 a に接続されている。フリー層電極 2 6 とドレイン領域 8 6 b とはビア 8 3 a を介し接続されている。

30

【 0 0 9 8 】

このように、層間絶縁膜 8 5 内に支持構造体 4 8 を形成し、支持構造体 4 8 内に不揮発性メモリ素子 3 0 を設ける。これにより、F E T 3 8 と不揮発性メモリ素子 3 0 を集積化することができる。圧電体 2 2 の圧力を効率的に磁歪層 1 1 に加えるため、圧電体電極 2 4 からピン層電極 2 8 は支持構造体 4 8 に挟まれ支持されている。圧電体 2 2 の圧力を効率的に磁歪層 1 1 に加えるため、フリー層電極 2 6 のヤング率は大きく（例えば磁歪層 1 1 より大きい）、また、ビア 8 3 a のヤング率はフリー層電極 2 6 より小さいことが好ましい。ビア 8 3 a の側面がビア 8 3 a よりヤング率の小さな材料の絶縁膜 2 7 で覆われていることが好ましい。支持構造体 4 8 は、不揮発性メモリ素子 3 0 の周囲にのみ形成してもよいし、図 1 9 および図 2 0 のように全面に形成してもよい。

40

【 0 0 9 9 】

図 2 1 は、実施例 2 の変形例 1 に係る不揮発性メモリ素子を実施例 3 の図 1 8 (a) の記憶セルに用いたときの断面図である。図 2 1 に示すように、層間絶縁膜 8 5 内に圧電体 2 2 の層が形成されている。圧電体 2 2 内に磁気抵抗層 2 0 が埋め込まれている。圧電体 2 2 の上面および下面に磁気抵抗層 2 0 を囲うように圧電体電極 2 4 b および 2 4 a が形成されている。S E 1 線に相当する配線 8 4 はビア 8 3 d を介し圧電体電極 2 4 b に接続されている。S E 2 線に相当する配線 8 4 は圧電体電極 2 4 a に接続されている。磁気抵

50

抗層 20 はビア 83 および金属シリサイド膜 89 を介しドレイン領域 86b に接続されている。その他の構成は図 19 および図 20 と同じであり説明を省略する。

【0100】

図 22 は、磁気抵抗層を圧電体内に配列した斜視図である。圧電体 22、磁気抵抗層 20、圧電体電極 24a、24b およびビア 83 を図示している。図 22 に示すように、磁気抵抗層 20 をシート状の圧電体 22 内に配列させることもできる。これにより、記憶セル 40 を効率よく集積化させることができる。

【0101】

このように、層間絶縁膜 85 内に圧電体 22 をシート状に形成することにより、FET 38 と不揮発性メモリ素子 30 を集積化することができる。圧電体 22 の上または下には圧力を緩和するための低ヤング率領域 29 を設けることが好ましい。圧電体 22 は、不揮発性メモリ素子 30 の周囲にのみ形成してもよいし、図 21 のように全面に形成してもよい。

【0102】

実施例 1 および実施例 2 の変形例 1 以外の不揮発性メモリ素子を用い、実施例 3 の記憶セル 40 を形成することもできる。

【実施例 4】

【0103】

実施例 4 は、実施例 1、実施例 2 およびその変形例に係る不揮発性メモリ素子とワイヤ型 FET とを用いる電子デバイスの例である。図 23 は、実施例 4 に係る電子デバイスの斜視図である。図 23 に示すように、電子デバイス 105 において、実施例 2 に係る不揮発性メモリ素子 100 にワイヤ型 FET 50 が接続されている。ワイヤ型 FET 50 は、チャンネル 51、ゲート絶縁膜 52、ゲート 55、ソース 56 およびドレイン 58 を備えている。チャンネル 51 は、シリコン等の半導体である。ゲート絶縁膜 52 は、酸化シリコン等の絶縁膜である。ゲート 55 は、ポリシリコン層 53 と金属層 54 を備える。ソース 56 およびドレイン 58 は、金属層である。

【0104】

チャンネル 51、ソース 56 およびドレイン 58 は円筒形状である。ドレイン 58 はフリー層 10 に接続されている。チャンネル 51 は、ソース 56 およびドレイン 58 の間に設けられている。ゲート絶縁膜 52 はチャンネル 51 を囲むように設けられている。ゲート 55 は、ゲート絶縁膜 52 を囲むように設けられている。ナノワイヤをチャンネル 51 とする FET 等のトランジスタは、構造が不揮発性メモリ素子 100 に類似している。例えば、ソース 56、チャンネル 51 およびドレイン 58 は、フリー層 10、トンネルバリア層 14 およびピン層 18 の積層方向 (z 方向) に積層されている。ゲート 55 は、z 方向に交差する方向 (例えば -r 方向) からチャンネル 51 の少なくとも一部を囲む。そこで、不揮発性メモリ素子 100 とワイヤ型 FET 50 を積層することにより、占有面積を削減できる。ソース 56 およびドレイン 58 のいずれか一方がフリー層 10 およびピン層 18 のいずれか一方に接続されていればよい。不揮発性メモリ素子 100 は、実施例 2 の変形例 1 および 2 に係る不揮発性メモリ素子 101 でもよい。

【0105】

実施例 4 の変形例 1 は、ワイヤ型 FET を PET (Piezoelectronic Transistor) とする例である。PET は、大きなピエゾ効果を有する圧電体と、圧力によって金属 - 絶縁体転移を引き起こすピエゾ抵抗効果を有するピエゾ抵抗体を有するトランジスタである。図 24 は、実施例 4 の変形例 1 に係る電子デバイスの斜視図である。図 24 に示すように、電子デバイス 106 において、PET 60 は、ピエゾ抵抗体 61、圧電体 62、ゲート電極 64、ソース 66 およびドレイン 68 を備えている。ピエゾ抵抗体 61、ソース 66 およびドレイン 68 は円筒形状である。ゲートは、圧電体 62 とゲート電極 64 を含む。圧電体 62 はピエゾ抵抗体 61 を囲んでいる。圧電体 62 の誘電分極の方向 82 は -r 方向である。ゲート電極 64 は、圧電体 62 を囲んでいる。ソース 66 およびドレイン 68 は、ピエゾ抵抗体 61 の z 方向の両側に設けられている。ゲートは、-r 方向からピエゾ抵

10

20

30

40

50

抗体 6 1 に圧力を加える圧電体 6 2 を備える。

【 0 1 0 6 】

P E T 6 0 では、ソース 6 6 を基準としてゲート電極 6 4 に正の電圧が印加されると、圧電体 6 2 はピエゾ抵抗体 6 1 に - r 方向の圧力を加える。これにより、ピエゾ抵抗体 6 1 は金属相となる。よって、ソース 6 6 からドレイン 6 8 にキャリアが伝導する。ゲート電極 6 4 とソース 6 6 との間に電圧が印加されないとき、ピエゾ抵抗体 6 1 には圧力が加わらず、ピエゾ抵抗体 6 1 は絶縁相となる。これにより、ソース 6 6 からドレイン 6 8 へのキャリアの伝導が遮断される。圧電体 6 2 がピエゾ抵抗体 6 1 を - r 方向から囲うため、圧電体 6 2 はピエゾ抵抗体 6 1 に効率的に圧力を加えることができる。ピエゾ抵抗体 6 1 は金属相と絶縁相とが切り替わるため、大きなオン/オフ電流比を得ることができる。

10

【 0 1 0 7 】

P E T 6 0 は、構造が不揮発性メモリ素子 1 0 0 に類似している。そこで、不揮発性メモリ素子 1 0 0 と P E T 6 0 を積層することにより、占有面積を削減できる。ソース 6 6 およびドレイン 6 8 のいずれか一方がフリー層 1 0 およびピン層 1 8 のいずれか一方に接続されていればよい。不揮発性メモリ素子 1 0 0 は、実施例 2 の変形例 1 および 2 に係る不揮発性メモリ素子でもよい。また、P E T 6 0 の圧電体 6 2 の誘電分極の方向 8 2 は + r 方向でもよい。圧電体 6 2 の誘電分極の方向は + z 方向または - z 方向でもよい。この場合、圧電体 6 2 の z 方向の両側にそれぞれゲートを配置する。ピエゾ抵抗体 6 1 の材料としては、例えば $S m S e$ 、 $T m S e$ 、 $S m S$ 、 $C a _ 2 R u O _ 4$ 、 $(C a , B a , S r R u) O _ 3$ 、 $N i (S _ x S e _ { 1 - x }) _ 2 C$ 、または $(V _ { 1 - x } C r _ x) _ 2 O _ 3$ を用いることができる。圧電体 6 2 の材料としては、圧電体 2 2 と同じ材料を用いることができる。

20

【 実施例 5 】

【 0 1 0 8 】

実施例 5 は、不揮発性双安定回路に実施例 1、実施例 2 およびその変形例に係る不揮発性メモリ素子を用いる例である。図 2 5 は、実施例 5 に係る不揮発性 S R A M (Nonvolatile Static R A M) の記憶セルの回路図である。図 2 5 に示すように、不揮発性 S R A M の記憶セル 7 0 は、双安定回路 7 2 および不揮発性メモリ素子 3 0 を有している。不揮発性メモリ素子 3 0 は、実施例 1、実施例 2 およびその変形例に係る不揮発性メモリ素子である。双安定回路 7 2 は、データを揮発的に記憶する。不揮発性メモリ素子 3 0 は、双安定回路 7 2 に記憶されたデータを不揮発的にストアし (すなわち、不揮発性メモリ素子 3 0 にデータを記憶し、不揮発性メモリ素子 3 0 データを不揮発的に保持する)、不揮発的にストアされたデータを双安定回路 7 2 にリストアする。

30

【 0 1 0 9 】

双安定回路 7 2 はループ状に接続されたインバータ 7 1 a および 7 1 b と、ループ上に設けられ互いに相補的な記憶ノード Q および Q B を有する。図示を省略するが、双安定回路 7 2 は電源とグランドとの間に接続されている。また、双安定回路 7 2 と電源との間、双安定回路 7 2 とグランドとの間、または、双安定回路と電源との間および双安定回路 7 2 とグランドとの間の両方に、トランジスタからなるパワースイッチが設けられていてもよい。記憶ノード Q および Q B はそれぞれ F E T 7 3 および 7 4 を介し入出力線 D および D B に接続されている。F E T 7 3 および 7 4 のゲートはワード線 W L に接続されている。双安定回路 7 2 へのデータの書き込みおよび読み出しは、F E T 7 5 をオフし、通常の S R A M と同じように行われる。

40

【 0 1 1 0 】

記憶ノード Q および Q B と制御線 C T R L との間の経路 7 6 において、F E T 7 5 と不揮発性メモリ素子 3 0 とが直列に接続されている。F E T 7 5 のソースおよびドレインの一方は記憶ノード Q および Q B に接続され、ソースおよびドレインの他方は不揮発性メモリ素子 3 0 に接続されている。F E T 7 5 のゲートはスイッチ線 S R に接続されている。

【 0 1 1 1 】

双安定回路 7 2 から不揮発性メモリ素子 3 0 へのデータのストア動作は、F E T 7 5 をオンした状態で、S E (Store enable) レベルをハイレベルとし、制御線 C T R L をハイ

50

レベルとローレベルとにすることにより行なわれる。不揮発性メモリ素子30にデータがストアされた後、記憶セル70に供給される電源を遮断する。不揮発性メモリ素子30として、実施例1、実施例2およびその変形例を用いているため、通常の磁気抵抗素子を用いた場合よりも、リストア動作に必要な消費エネルギーを削減できる。

【0112】

不揮発性メモリ素子30から双安定回路72へのデータのリストア動作は、FET75をオンし、制御線CTRLをローレベルとした状態で、双安定回路72に電力が供給することにより行なわれる。

【0113】

実施例5の変形例1は、不揮発性マスタスレーブ型フリップフロップ回路に実施例1、実施例2およびその変形例を用いる例である。図26は、実施例5の変形例1に係る不揮発性フリップフロップ回路の回路図である。図26に示すように、不揮発性フリップフロップ回路70aは、Dラッチ回路99aとDラッチ回路99bとを備えている。Dラッチ回路99aは、双安定回路72、パスゲート77a、77b、不揮発性メモリ素子30、FET75および78を備えている。双安定回路72のループ内にパスゲート77bとFET78が並列に接続されている。双安定回路72内の記憶ノードQおよびQBと制御線CTRLとの間にFET75と不揮発性メモリ素子30が直列に接続されている。記憶ノードQはインバータ79aを介しQB信号となる。記憶ノードQBはインバータ79bを介しQ信号となる。記憶ノードQは、パスゲート77aを介しDラッチ回路99bに接続される。

10

20

【0114】

Dラッチ回路99bは、双安定回路92、パスゲート93aおよび93bを備えている。双安定回路92は、インバータ91aおよび91bがループ状に接続されている。双安定回路92のループ内にパスゲート93bが接続されている。双安定回路92には、インバータ95およびパスゲート93aを介しデータDが入力する。クロック信号CLKは、インバータ96を介しクロックCBとなり、さらにインバータ97を介しクロックCとなる。クロックCBおよびCは、各パスゲート77a、77b、93aおよび93bに入力する。

【0115】

実施例5の不揮発性SRAMセルおよび実施例5の変形例1の不揮発性フロップフリップ回路を例えばレジスタまたはキャッシュメモリに用いることができる。このように、実施例1、実施例2およびその変形例に係る不揮発性メモリ素子を、不揮発性双安定回路を有する不揮発性パワーゲーティングシステムに用いることができる。これにより、不揮発性書き込みのときの消費エネルギーを低減できる。よって、ブレイクインタイム(特許文献1を参照)を削減し、高エネルギー効率の不揮発性パワーゲーティングが可能となる。

30

【0116】

実施例5およびその変形例の経路76において、不揮発性メモリ素子30とFET75の接続関係は逆でもよい。FET75を省略し、不揮発性メモリ素子30のみを接続してもよい。さらに、不揮発性メモリ素子30は、1つであり、双安定回路72の1つの記憶ノードQまたはQBと制御線CTRLとの間に不揮発性メモリ素子30が接続されていてもよい。不揮発性メモリ素子30とFET75は、実施例4の不揮発性メモリ素子30とワイヤ型FET50でもよいし、実施例4の変形例の不揮発性メモリ素子30とPET60でもよい。

40

【実施例6】

【0117】

実施例6は、フリー層とピン層との間の薄膜にピエゾ抵抗体を用いる例である。図27(a)は、実施例6に係る電子デバイスの斜視図、図27(b)は、断面図である。図27(a)および図27(b)に示すように、不揮発性メモリ素子107においては、フリー層10とピン層18との間の薄膜がピエゾ抵抗体15である。圧電体22は、-r方向

50

に誘電分極している。圧電体電極 2 4 が 0 V のとき、圧電体 2 2 はピエゾ抵抗体 1 5 に圧力を加えず、ピエゾ抵抗体 1 5 は絶縁相である。圧電体電極 2 4 が正電圧のとき、圧電体 2 2 はピエゾ抵抗体 1 5 に - r 方向の圧力を加え、ピエゾ抵抗体 1 5 は金属相となる。また、磁歪層 1 1 の逆磁歪効果も期待できる。このように、圧電体電極 2 4 に電圧を印加しないとき、磁気抵抗層 2 0 は、GMR タイプとなり、圧電体電極 2 4 に正の電圧を印加すると、磁気抵抗層 2 0 は、MTJ タイプとなる。

【 0 1 1 8 】

実施例 6 によれば、フリー層 1 0 とピン層 1 8 との間の薄膜がピエゾ抵抗体 1 5 を含む。圧電体 2 2 はピエゾ抵抗体 1 5 に圧力を加える。これにより、圧電体電極 2 4 に正の電圧が印加されたとき、磁気抵抗層 2 0 は、低抵抗となり、フリー層電極 2 6 とピン層電極 2 8 との間の電圧が極低電圧で電流密度を確保できる。さらにその電流密度が逆磁歪効果により小さくできる。圧電体電極 2 4 に電圧が印加されないとき、トンネル磁気抵抗効果により大きな抵抗変化が期待できる。

10

【 0 1 1 9 】

不揮発性メモリ素子 1 0 7 を、例えば実施例 3 の M R A M に適用した場合、正の電圧印加時に低電流密度で書き換えが可能となるため消費エネルギーを抑制できる。電圧を印加しないときに、抵抗変化が大きいため読み出しが容易となる。また、不揮発性メモリ素子 1 0 7 を、実施例 5 およびその変形例の記憶回路に用いることもできる。

【 0 1 2 0 】

実施例 6 の変形例 1 は、不揮発性メモリ素子 1 0 7 を M R A M に適用した例である。ピエゾ抵抗体 1 5 の膜厚をトンネル伝導が起こらない程度に大きくする。不揮発性メモリ素子 1 0 7 は、ピエゾ抵抗体 1 5 をチャネルとしたトランジスタともみなせる。この場合、不揮発性メモリ素子 1 0 7 は、トランジスタと 2 端子の磁気抵抗素子の両方の機能を備える。

20

【 0 1 2 1 】

図 2 8 は、実施例 6 の変形例 1 に係る記憶セルの回路図である。図 2 8 に示すように、記憶セル 4 0 は、不揮発性メモリ素子 3 0 a を備えている。端子 3 1 はソース線 S L に、端子 3 2 はビット線 B L に、電極 3 3 はワード線 W L に接続されている。不揮発性メモリ素子 3 0 a は実施例 6 に係る不揮発性メモリ素子 1 0 7 である。不揮発性メモリ素子 1 0 7 がトランジスタと磁気抵抗素子の機能を有すため、記憶セル 4 0 ではスイッチ用の F E T が不要となる。したがって、占有面積を削減できる。

30

【 0 1 2 2 】

実施例 6 の変形例 1 によれば、実施例 6 の不揮発性メモリ素子 3 0 a を用い、フリー層 1 0 およびピン層 1 8 のいずれか一方がビット線 B L に接続されている。フリー層 1 0 およびピン層 1 8 の他方がソース線 S L に接続されている。圧電体電極 2 4 はワード線 W L に接続されている。このような構成により、スイッチを有さない記憶セル 4 0 を実現できる。

【 0 1 2 3 】

実施例 6 およびその変形例では、実施例 2 と同様に、圧電体 2 2 を囲むように圧電体電極 2 4 を設け、誘電分極の方向が - r 方向または + r 方向である。実施例 2 の変形例 1 と同様に、圧電体 2 2 の z 方向の両側に圧電体電極 2 4 a および 2 4 b を設け、圧電体 2 2 の誘電分極方向を + z 方向または - z 方向としてもよい。

40

【 0 1 2 4 】

実施例 1 の構造に実施例 6 およびその変形例を適用してもよい。

【 0 1 2 5 】

実施例 2 から 6 およびその変形例の効果を説明するため、比較例 1 および比較例 2 について説明する。図 2 9 (a) および図 2 9 (b) は、それぞれ比較例 1 および 2 に係る磁気抵抗素子の断面図である。図 2 9 (a) に示すように、比較例 1 に係る磁気抵抗素子 1 1 0 においては、ピン層電極 2 8 と圧電体電極 2 4 とが電氣的に接続されている。その他の構成は実施例 2 と同様であり説明を省略する。

50

【0126】

磁気抵抗素子110において、平行状態から反平行状態に書き換えるときには、 $V_{pin} - V_{free} > 0$ となるように端子T1および端子T2に電圧を印加する。ピン層電極28に電氣的に接続された圧電体電極24には、電圧 V_{pin} が印加される。圧電体電極24には、フリー層電極26に対し正の電圧が印加される。圧電体22内に、誘電分極の方向80と同じ方向の電界が印加される。これにより、図4(a)と同様に、フリー層10には $-r$ 方向の圧力が印加される。フリー層10内の磁歪層の磁化方向が z 方向であり磁歪係数が負のとき、磁歪層の磁気容易面は xy 面となる。これにより、図4(b)の説明と同様にフリー層10の磁化方向が小さい電流で反転する。

【0127】

一方、反平行状態から平行状態に書き換えるときには、 $V_{pin} - V_{free} < 0$ となるように端子T1および端子T2に電圧を印加する。図4(b)とは異なり、圧電体電極24には、フリー層電極26に対し負の電圧が印加される。圧電体22内に、誘電分極の方向80と逆方向の電界が印加され、フリー層10には $+r$ 方向の圧力が印加される。磁歪層の磁化容易面は xy 面とはならない。よって、磁化反転の電流は削減できない。

【0128】

図29(b)に示すように、比較例1に係る磁気抵抗素子112においては、フリー層電極26と圧電体電極24aとは電氣的に接続され、ピン層電極28と圧電体電極24bとは電氣的に接続されている。その他の構成は実施例2と同じであり説明を省略する。

【0129】

磁気抵抗素子112において、平行状態から反平行状態に書き換えるときには、 $V_{pin} - V_{free} > 0$ となるように端子T1および端子T2に電圧を印加する。圧電体電極24bには、圧電体電極24aに対し正の電圧が印加される。圧電体22内に、誘電分極の方向80と同じ方向の電界が印加される。これにより、図7(a)と同様に、フリー層10には $-r$ 方向の圧力が印加され、フリー層10の磁化方向が小さい電流で反転する。

【0130】

一方、反平行状態から平行状態に書き換えるときには、 $V_{pin} - V_{free} < 0$ となるように端子T1および端子T2に電圧を印加する。図7(b)とは異なり、圧電体電極24bには、圧電体電極24aに対し負の電圧が印加される。圧電体22内に、誘電分極の方向80と逆方向の電界が印加される。よって、磁化反転の電流は削減できない。

【0131】

このように、比較例1および2では、一方の磁化反転の消費電流は削減できるが、他方の磁化反転の消費電流は削減できない。

【0132】

このような、比較例1および2に対し、実施例2およびその変形例によれば、図3(a)から図8(b)のように、圧電体電極24、24aおよび24bには、フリー層10に印加される電圧およびピン層18に印加される電圧と異なる電圧を印加可能である。これにより、平行状態から反平行状態への書き換え、反平行状態から平行状態の書き換えるいずれの場合においても磁化反転のための電流を抑制できる。

【0133】

また、実施例2においては、図4(a)および図5(a)のように、 $V_{pin} - V_{free} > 0$ のとき $V_{ferr} - V_{free} > 0$ である。図4(b)および図5(b)のように、 $V_{pin} - V_{free} < 0$ のときも $V_{ferr} - V_{free} > 0$ である。このように、フリー層10に対しピン層18に印加される電圧の極性が反転したとき、フリー層10に対し圧電体電極24に印加される電圧の極性は変化しない。これにより、平行状態から反平行状態への書き換え、反平行状態から平行状態の書き換えるいずれの場合においても圧電体22内の電界の方向は同じである。よって、いずれの場合も磁化反転のための電流を抑制できる。

【0134】

さらに、実施例2の変形例1においては、図7(a)および図8(a)のように、 V_{p}

10

20

30

40

50

$i_n - V_{free} > 0$ のとき $V_{ferr1} - V_{ferr2} > 0$ である。図 7 (b) および図 8 (b) のように、 $V_{pin} - V_{free} < 0$ のときも $V_{ferr1} - V_{ferr2} > 0$ である。このように、フリー層 10 に対しピン層 18 に印加される電圧の極性が反転したときに、電極 24 a (第 1 電極) に対し電極 24 b (第 2 電極) に印加される電圧の極性は変化しない。いずれの場合も磁化反転のための電流を抑制できる。

【0135】

電圧 V_{pin} 、 V_{free} 、 V_{ferr} 、 V_{ferr1} および V_{ferr2} は、例えば実施例 3 の図 16 の制御部 45 が印加する。

【0136】

実施例 1 から実施例 6 およびその変形例において、フリー層 10 は磁歪層 11 と強磁性体層 12 を有する例を説明したが、強磁性体層 12 を含まなくてもよい。

10

【0137】

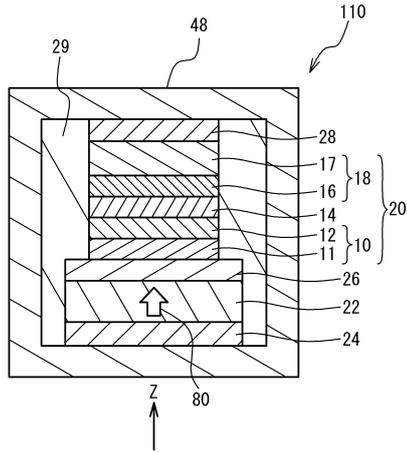
以上、本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【符号の説明】

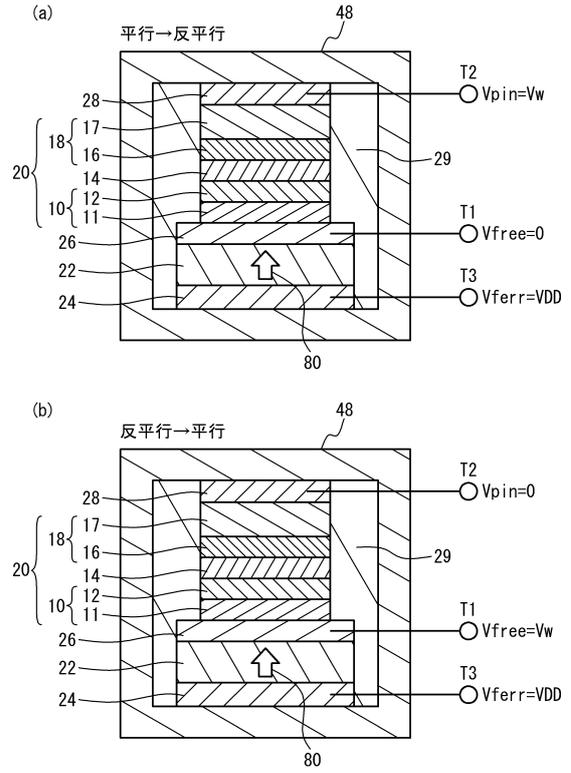
【0138】

10	フリー層	
11	磁歪層	
12、16	強磁性体層	20
14	トンネルバリア層	
14a	非磁性金属層	
15、61	piezo抵抗体	
17	磁化固定層	
18	ピン層	
20	磁気抵抗層	
22、62	圧電体	
24、24a、24b	圧電体電極	
26	フリー層電極	
28	ピン層電極	30
51	チャンネル	
52	ゲート絶縁膜	
53	ポリシリコン層	
54	金属層	
55	ゲート	
56、66	ソース	
58、68	ドレイン	
64	ゲート電極	
71a、71b	インバータ	
72	双安定回路	40
80、82	誘電分極の方向	

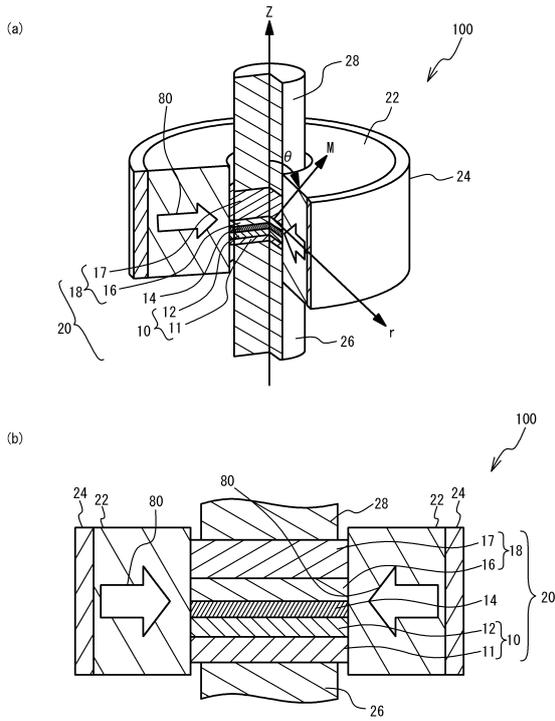
【図1】



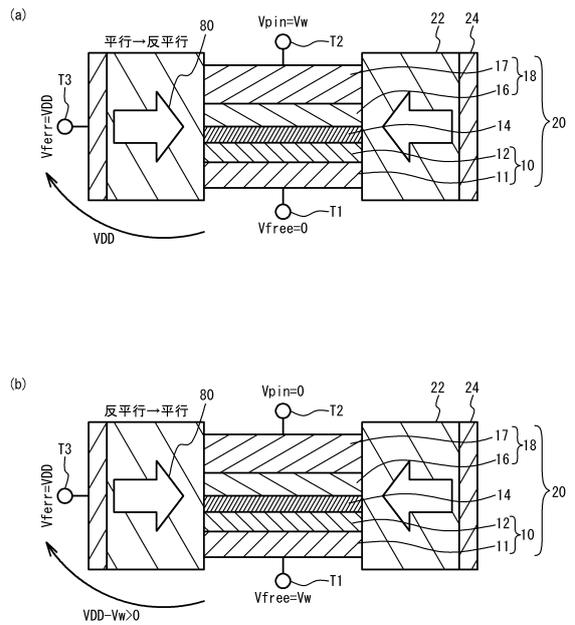
【図2】



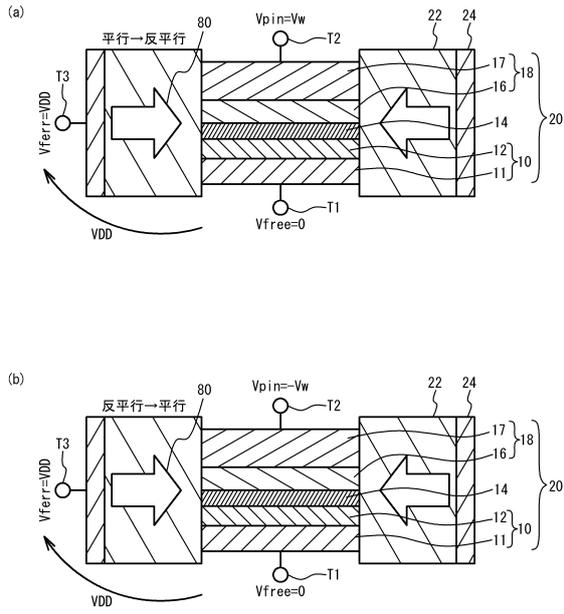
【図3】



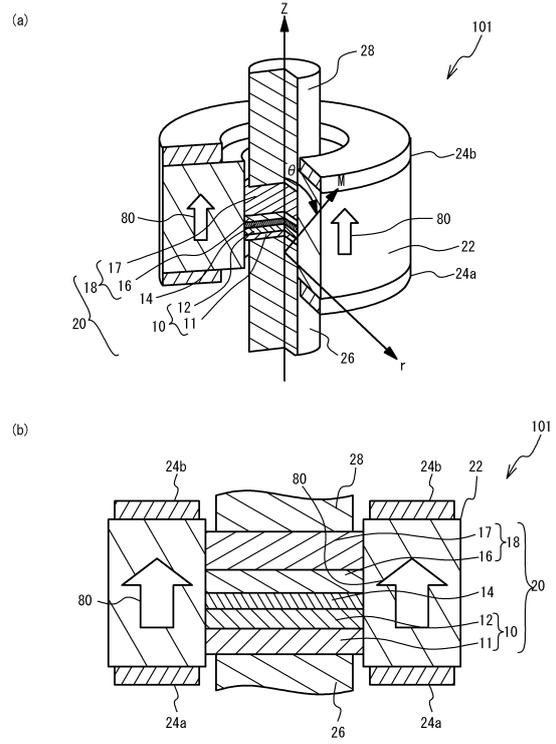
【図4】



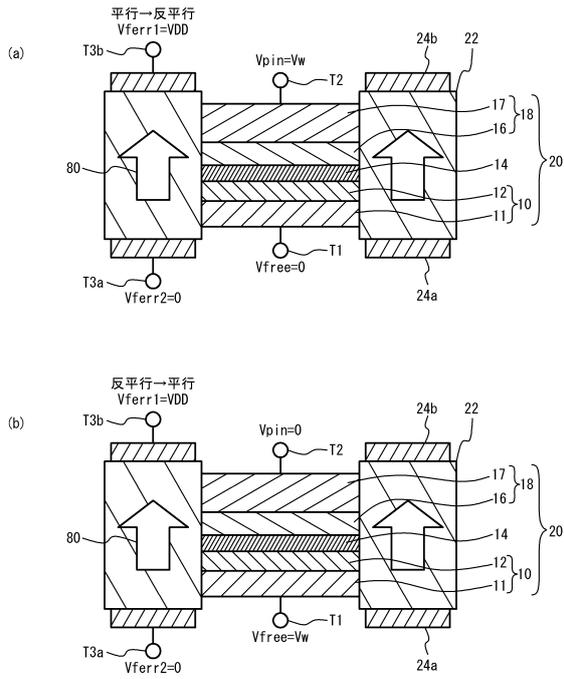
【 図 5 】



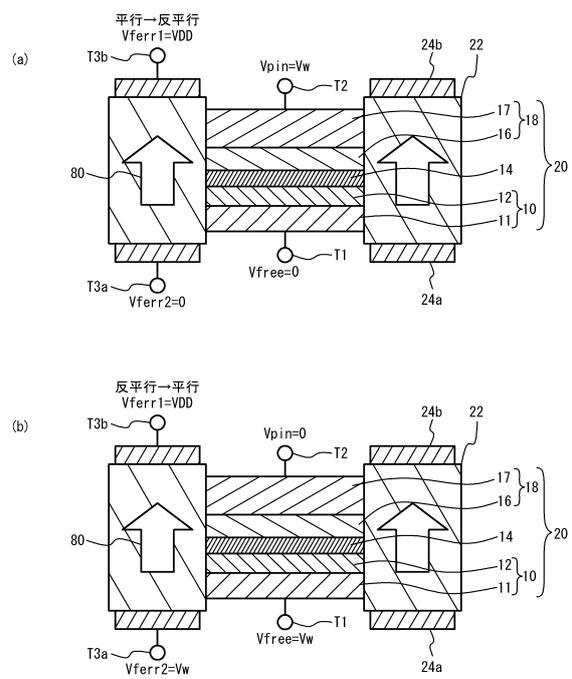
【 図 6 】



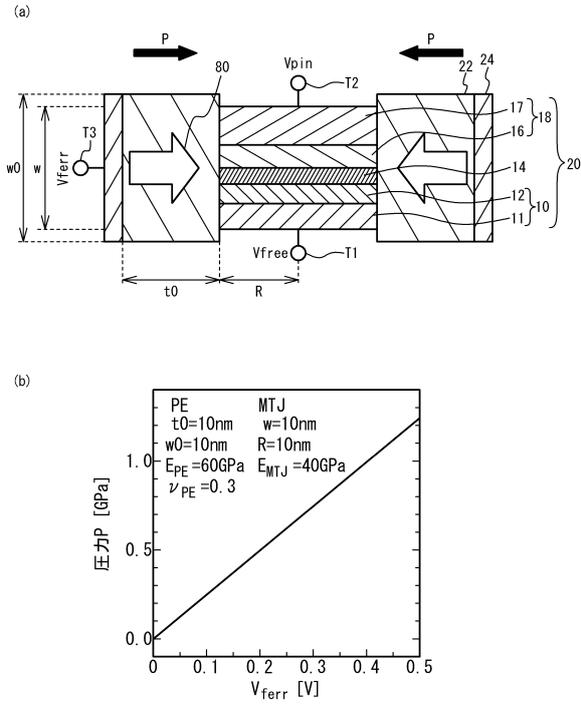
【 図 7 】



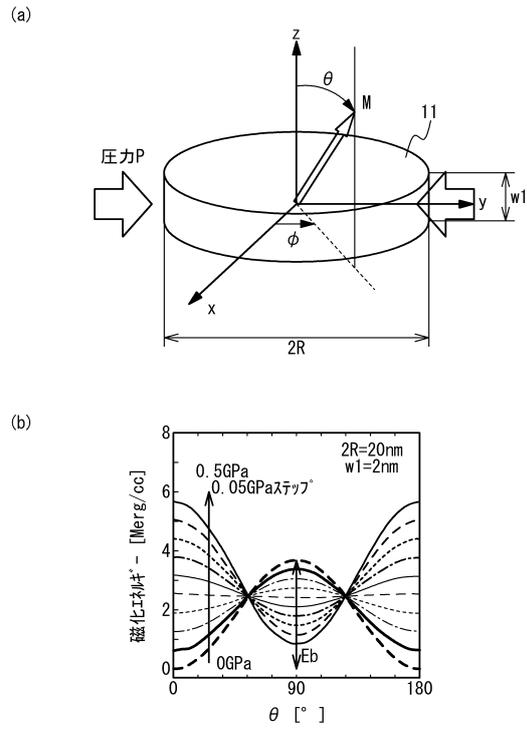
【 図 8 】



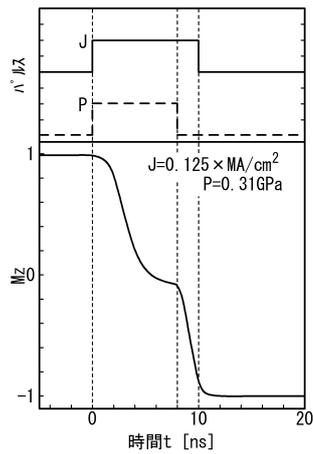
【図 9】



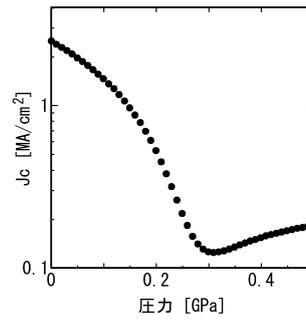
【図 10】



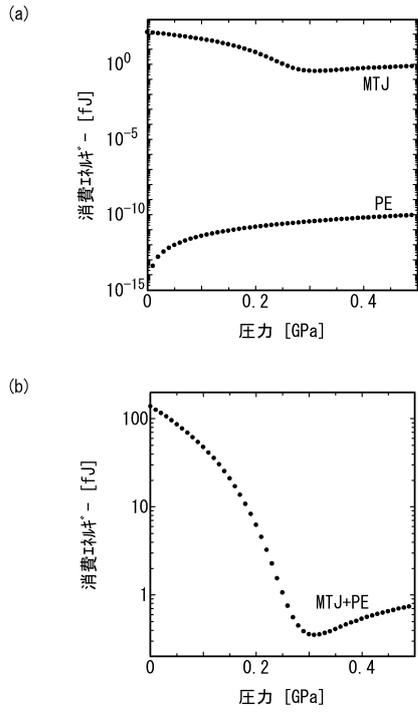
【図 11】



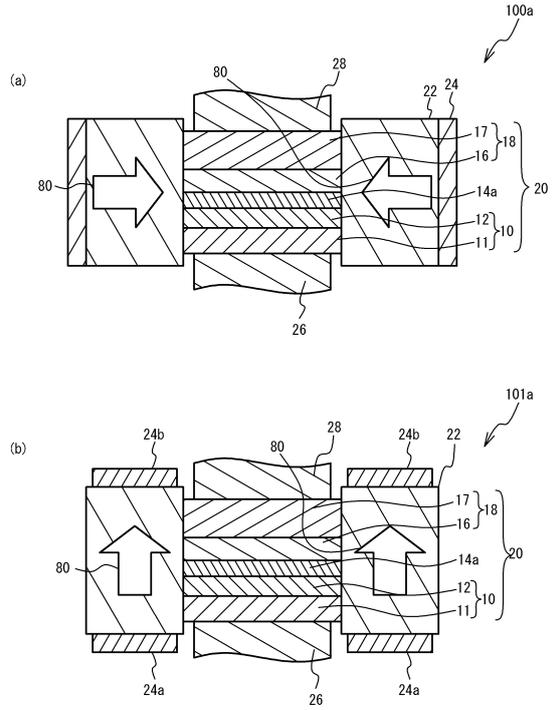
【図 12】



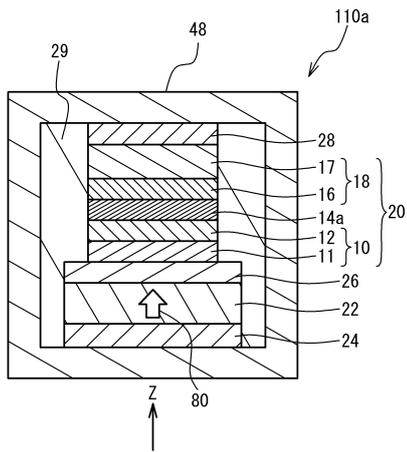
【図13】



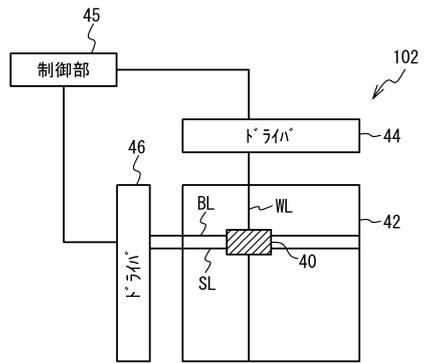
【図14】



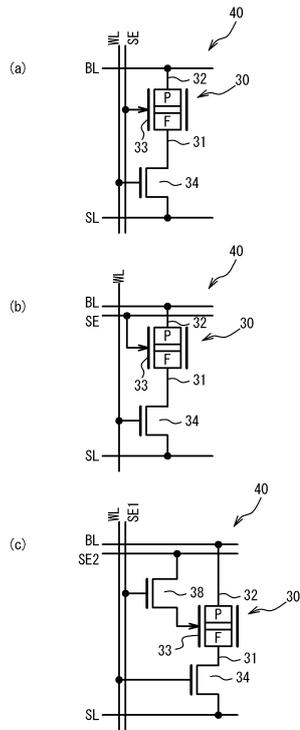
【図15】



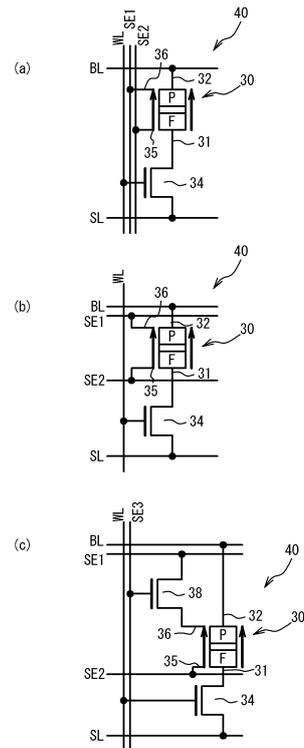
【図16】



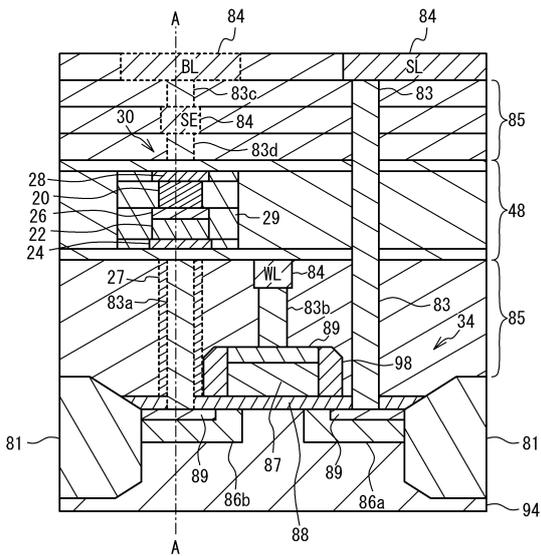
【 図 17 】



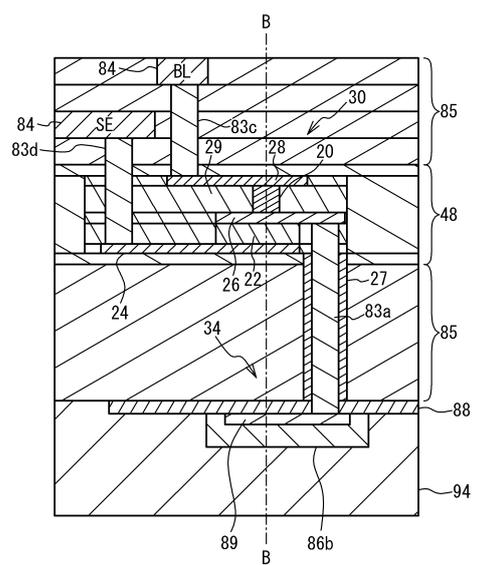
【 図 18 】



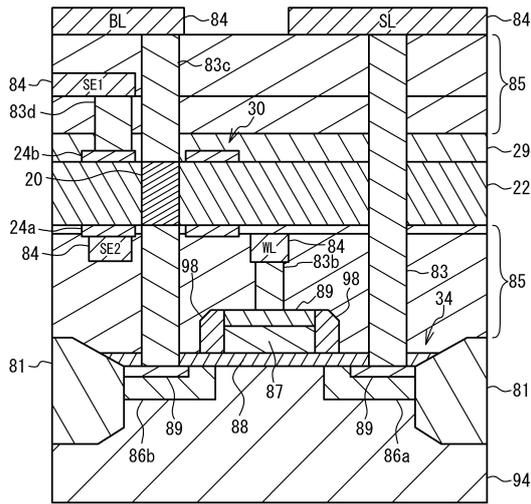
【 図 19 】



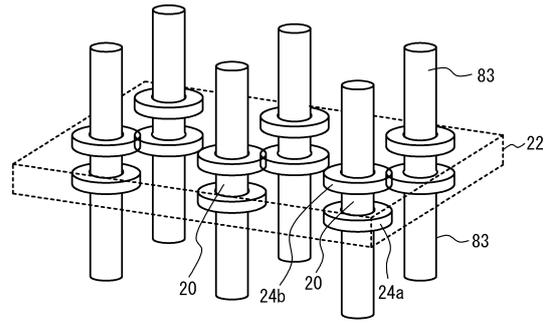
【 図 20 】



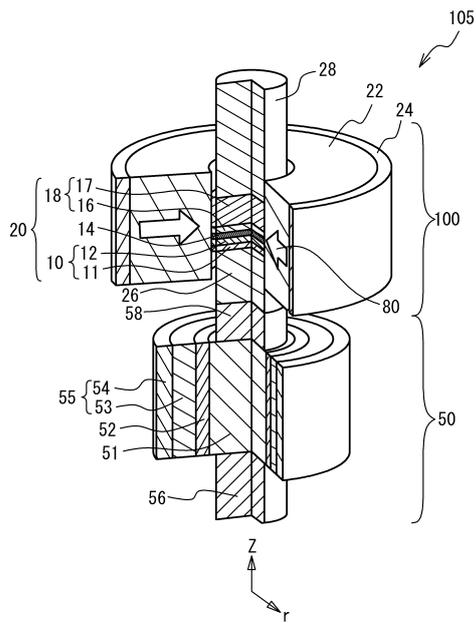
【図 2 1】



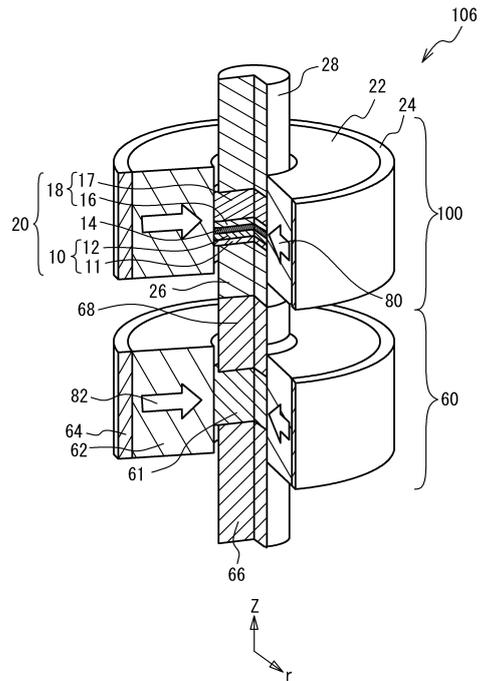
【図 2 2】



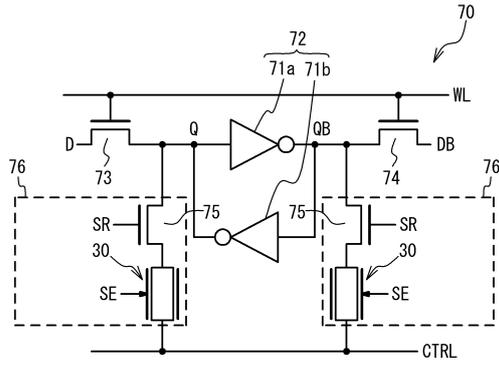
【図 2 3】



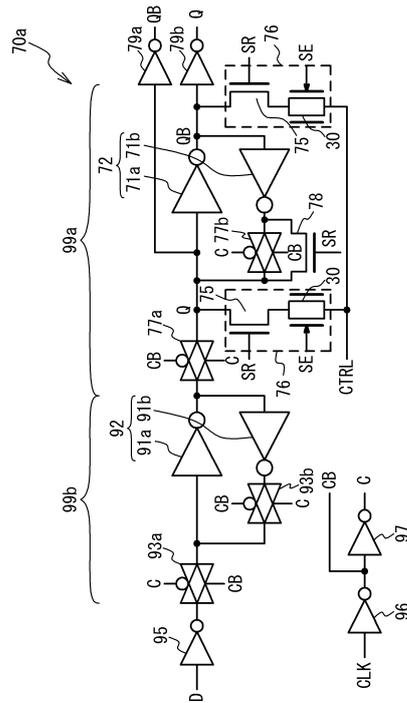
【図 2 4】



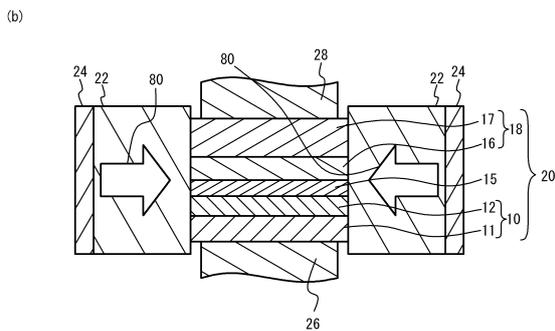
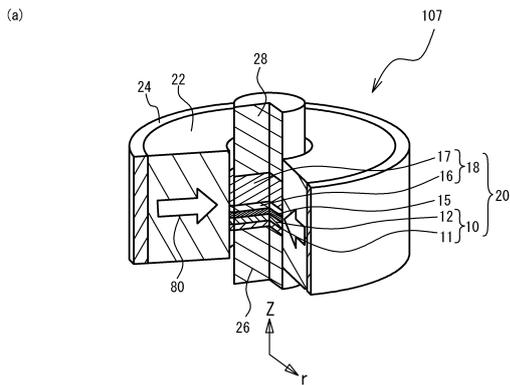
【図 25】



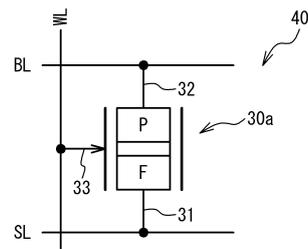
【図 26】



【図 27】

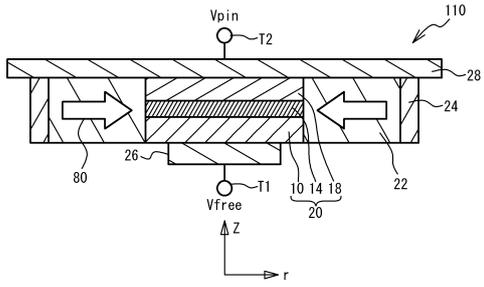


【図 28】

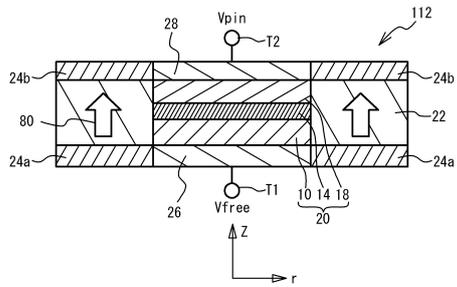


【 図 29 】

(a)



(b)



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/8244 (2006.01) H 0 1 L 27/11
H 0 1 L 27/11 (2006.01)

審査官 石丸 昌平

(56)参考文献 特開2006-179891(JP,A)
特開2012-009786(JP,A)
米国特許出願公開第2010/0080048(US,A1)
国際公開第2010/039422(WO,A1)
国際公開第2013/090937(WO,A1)
米国特許出願公開第2014/0269033(US,A1)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 4 3 / 0 8
G 1 1 C 1 1 / 1 5
H 0 1 L 2 1 / 8 2 3 9
H 0 1 L 2 1 / 8 2 4 4
H 0 1 L 2 7 / 1 0 5
H 0 1 L 2 7 / 1 1
H 0 1 L 2 9 / 8 2
H 0 1 L 4 1 / 0 9