

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6230204号  
(P6230204)

(45) 発行日 平成29年11月15日(2017.11.15)

(24) 登録日 平成29年10月27日(2017.10.27)

(51) Int.Cl. F I  
**G 1 1 C 14/00 (2006.01)** G 1 1 C 14/00 2 3 0  
**G 1 1 C 5/14 (2006.01)** G 1 1 C 5/14 3 7 0

請求項の数 19 (全 42 頁)

(21) 出願番号	特願2016-542556 (P2016-542556)	(73) 特許権者	503360115 国立研究開発法人科学技術振興機構 埼玉県川口市本町四丁目1番8号
(86) (22) 出願日	平成27年8月6日(2015.8.6)	(74) 代理人	100087480 弁理士 片山 修平
(86) 国際出願番号	PCT/JP2015/072392	(73) 特許権者	317006683 地方独立行政法人神奈川県立産業技術総合 研究所 神奈川県海老名市下今泉705番地の1
(87) 国際公開番号	W02016/024527	(74) 代理人	100067736 弁理士 小池 晃
(87) 国際公開日	平成28年2月18日(2016.2.18)	(74) 代理人	100192212 弁理士 河野 貴明
審査請求日	平成29年2月9日(2017.2.9)		
(31) 優先権主張番号	特願2014-164526 (P2014-164526)		
(32) 優先日	平成26年8月12日(2014.8.12)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 記憶回路

(57) 【特許請求の範囲】

【請求項1】

各々のセルが、データを記憶する双安定回路と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、を有し、複数の行および複数の列に、前記複数の行が分割され各々が1または複数の行を含む複数のバンクを形成するように配列された複数のセルと、

前記複数の行を順にストア動作し、前記複数のバンクのうちストア動作される行を含む第1バンクのセルの電源に供給される電圧を第1電圧とし、前記複数のバンクのうち前記第1バンク以外のバンク内のセルの電源に供給される電圧を前記第1電圧より低く前記双安定回路のデータが維持される第2電圧とする制御部と、  
 を具備することを特徴とする記憶回路。

【請求項2】

前記制御部は、含まれる行のストア動作が終了したバンクごとに前記セルの電源に供給される電圧を前記第2電圧とすることを特徴とする請求項1記載の記憶回路。

【請求項3】

前記制御部は、含まれる行のストア動作が終了したバンクごとに前記セルの電源に供給される電圧をシャットダウンすることを特徴とする請求項1記載の記憶回路。

【請求項4】

前記不揮発性素子は、一端が前記双安定回路内のノードに、他端が制御線に接続され、前記複数のセルは、前記ノードと前記制御線との間に前記不揮発性素子と直列に接続さ

れたスイッチを各々備え、

前記複数のセルの電源に供給される電圧は、前記双安定回路に供給されることを特徴とする請求項 1 から 3 のいずれか一項記載の記憶回路。

【請求項 5】

前記複数のバンクは各々 1 つの行を含むことを特徴とする請求項 1 から 4 のいずれか一項記載の記憶回路。

【請求項 6】

各々のセルが、データを記憶する双安定回路と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、を有する複数のセルと、

10

前記複数のセルの電源に供給される電圧を変更する 1 または複数のパワースイッチと、1 つのパワースイッチにより共通の電圧が供給される領域が複数のブロックに分割され、前記領域において前記複数のブロックごとに異なる期間にストア動作する制御部と、を具備することを特徴とする記憶回路。

【請求項 7】

前記複数のセルは、複数の行および複数の列に配列され、

前記領域は、1 または複数の行を含み、

1 つの行が前記複数のブロックに分割されていることを特徴とする請求項 6 記載の記憶回路。

【請求項 8】

20

前記複数のセルは、各々データのストアを実行するスイッチを有し、

前記複数のブロックの各々のセル内の前記スイッチは共通のサブスイッチ線に接続され、

同じ行のサブスイッチ線は 1 つのスイッチ線に接続され、

前記複数のブロックのうち 1 つのブロックを選択し、選択されたブロックのサブスイッチ線に前記スイッチをオンする信号を出力する選択回路を具備することを特徴とする請求項 7 記載の記憶回路。

【請求項 9】

前記不揮発性素子は、一端が前記双安定回路内のノードに、他端が制御線に接続され、

前記スイッチは、前記ノードと前記制御線との間に前記不揮発性素子と直列に接続され

30

、前記セルの電源に供給される電圧は、前記双安定回路に供給されることを特徴とする請求項 8 記載の記憶回路。

【請求項 10】

前記複数のブロックの各々は、同じ行内の連続したセルを含むことを特徴とする請求項 7 から 9 のいずれか一項記載の記憶回路。

【請求項 11】

前記複数のブロックの各々は、同じ行内の周期的に配列されたセルを含むことを特徴とする請求項 7 から 9 のいずれか一項記載の記憶回路。

【請求項 12】

40

前記複数のブロックの各々のセル内の前記双安定回路と前記不揮発性素子とのデータが一致か不一致かを判定する判定回路と、

前記データが不一致のとき、対応するブロック内のセルのストア動作を行ない、前記データが一致のとき、前記対応するブロック内のセルのストア動作を行なわない選択回路と

、を具備することを特徴とする請求項 6 から 11 のいずれか一項記載の記憶回路。

【請求項 13】

各々のセルが、データを記憶する双安定回路と、一端が前記双安定回路内のノードに他端が制御線に接続され、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、前記ノード

50

と前記制御線との間に前記不揮発性素子と直列に接続されたスイッチと、を有し、各々共通のスイッチ線に接続された複数の行と各々共通の制御線に接続された複数の列とに配列された複数のセルと、

同じ制御線に対し共通に設けられ、対応する制御線の信号に基づき、前記対応する制御線に接続されたセル内の前記双安定回路と前記不揮発性素子とのデータが一致か不一致かを判定する判定回路と、

前記データが不一致のとき、前記対応する制御線に接続されたセル内の前記スイッチをオンさせ、前記データが一致のとき、前記対応する制御線に接続されたセル内の前記スイッチをオフさせる選択回路と、

を具備することを特徴とする記憶回路。

10

【請求項 14】

1つの行が各々複数のセルを含む複数のブロックに分割され、

前記選択回路は、対応するブロック内の複数のセルのデータの少なくとも一つが不一致のとき、前記対応するブロック内の前記スイッチをオンさせ、前記対応するブロック内の複数のセルのデータの全てが一致のとき、前記対応するブロック内の前記スイッチをオフさせることを特徴とする請求項 13 記載の記憶回路。

【請求項 15】

前記判定回路は、同じブロック内の複数の制御線に共通に設けられていることを特徴とする請求項 14 記載の記憶回路。

【請求項 16】

一对の前記不揮発性素子は、前記双安定回路の相補するノードにそれぞれ接続され、

一对の前記制御線は、前記一对の不揮発性素子にそれぞれ接続され、

前記判定回路は、前記双安定回路のデータと前記一对の制御線の信号と、に基づき、前記データが一致か不一致かを判定することを特徴とする請求項 13 から 15 のいずれか一項記載の記憶回路。

【請求項 17】

電源線の電圧と接地線の電圧との差が電源電圧として供給され、データを記憶する双安定回路と、

一端が前記双安定回路内のノードに他端が制御線に接続され、前記一端と前記他端との間を流れる電流により抵抗値が変更されることにより前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、

ソースおよびドレインが前記ノードと前記制御線との間に前記不揮発性素子と直列に接続された FET と、

前記双安定回路にデータを揮発的に書き込みおよび読み出しを行なう第 1 期間において、前記 FET のゲートに印加される電圧を、前記 FET が n チャンネル FET の場合前記接地線の電圧より低くし、前記 FET が p チャンネル FET の場合前記電源線の電圧より高くする制御部と、

を具備することを特徴とする記憶回路。

30

【請求項 18】

前記制御部は、前記双安定回路のデータが維持され前記双安定回路の前記電源線の電圧と前記接地線の電圧との差が前記第 1 期間における前記電源線の電圧と前記接地線の電圧の差より小さくなる第 2 期間に、前記 FET のゲートに印加される電圧を、前記 FET が n チャンネル FET の場合前記第 1 期間における前記接地線の電圧より低くし、前記 FET が p チャンネル FET の場合前記第 1 期間における前記電源線の電圧より高くすることを特徴とする請求項 17 記載の記憶回路。

40

【請求項 19】

前記制御部は、

前記 FET が n チャンネル FET の場合、前記不揮発性素子にストアされたデータを前記双安定回路にリストアする期間における前記 FET のゲートに印加される電圧を、前記双

50

安定回路に記憶されたデータを不揮発的に前記不揮発性素子にストアする期間における前記 F E T のゲートに印加される電圧より、低くし、

前記 F E T が p チャネル F E T の場合、前記リストアする期間における前記 F E T のゲートに印加される電圧を、前記ストアする期間における前記 F E T のゲートに印加される電圧より、高くすることを特徴とする請求項 17 または 18 記載の記憶回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、記憶回路に関し、例えば双安定回路と不揮発性素子とを有する複数のセルを備えた記憶回路に関する。

10

【背景技術】

【0002】

近年、情報処理機器による消費電力量は急激に増大している。今後、C M O S (Complementary Metal Oxide Semiconductor) ロジックシステムを中心とする情報処理機器の省エネルギー化はこれまで以上に重要になると予想される。最近のパーソナルコンピュータ ( P C )、サーバのマイクロプロセッサ、およびスマートフォン等の携帯機器、のシステムオンチップ ( S o C ) などの C M O S ロジックシステムでは、トランジスタの微細化および高密度集積化にともない、リーク電流によって待機時に消費する待機 ( スタティックまたはスタンバイ ) 電力が著しく大きくなる。このように、待機時の電力の増大が重大な問題となっている。例えば、最近のマイクロプロセッサの待機電力は C M O S の動作 ( 演算 ) 時に消費するダイナミックパワーと同じレベルに達している。すなわち、このようなマイクロプロセッサは演算を行わなくても待機時に演算と同レベルの電力を消費してしまう。したがって、待機電力の削減が C M O S ロジックシステムにおける重要課題になっている。

20

【0003】

パワーゲーティング ( P G ) はロジック回路をパワードメインと呼ばれるブロックに分割して、パワードメイン毎に電源遮断によるパワーマネジメント ( 電力制限 ) を行うことで、待機電力を削減する方法である。パワーマネジメントには、パワースイッチまたはスリープトランジスタと呼ばれる M O S F E T ( Metal Oxide Semiconductor Field Effect Transistor ) スイッチを用いる。なお、以下では、パワースイッチとスリープトランジスタとを含め、パワースイッチと呼ぶ。P G は現在ではマイクロプロセッサや S o C などの C M O S ロジックシステムにおける必須の電力削減アーキテクチャの 1 つになっている。P G における省電力 ( 省エネルギー ) 効果は、パワードメインの空間的な粒度 ( パワードメインの大きさ ) と P G を行う時間的な粒度 ( P G をかける時間的頻度 ) が重要な因子となる。パワードメイン内にある記憶回路内の情報の保持が P G の空間的および時間的粒度に制約を与えている。これは、パワードメイン内にあるレジスタやキャッシュメモリなどの記憶回路に記憶されている重要な情報が、電源遮断によって失われてしまうためである。

30

【0004】

不揮発性パワーゲーティング ( N V ( non-volatile ) P G ) は以上に述べた従来の P G における問題を解消し、C M O S 回路のみでは実現できない最適な空間的および時間的粒度の P G を実現する。これにより、高効率にエネルギーを削減し、大幅に待機時消費電力を削減できる技術である。N V P G を実現するためには、マイクロプロセッサや S o C 内で使用されるキャッシュメモリやレジスタ、レジスタファイルのような記憶回路を不揮発化する。これらの記憶回路は S R A M ( Static Random Access Memory ) やフリップフロップ ( F F ) といった双安定回路で構成されている。強磁性トンネル接合 ( M T J ) などの不揮発メモリ素子を双安定回路に付加することで、不揮発性 S R A M ( N V - S R A M ) や不揮発性 F F ( N V - F F ) といった不揮発性双安定回路を構成することができる。

40

【0005】

特許文献 1 には、双安定回路と不揮発性素子を有するセルを用いた記憶回路が記載され

50

ている。双安定回路のデータを不揮発性素子にストアし、不揮発性素子のデータを双安定回路にリストアする回路を不揮発性双安定回路という。特許文献2には、不揮発性双安定回路を有するセルにおいて、通常SRAM動作、スリープ動作、ストア動作および電源遮断(シャットダウン)を行なう記憶回路が記載されている。特許文献3には、双安定回路に記憶されているデータと、不揮発性素子にストアされているデータが一致する場合、双安定回路のデータを不揮発性素子にストアしない制御を行なう記憶回路が記載されている。

【先行技術文献】

【特許文献】

【0006】

10

【特許文献1】国際公開第2009/028298号

【特許文献2】国際公開第2013/172066号

【特許文献3】国際公開第2013/172065号

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、特許文献1から3のような記憶回路では、選択されたセルの双安定回路のデータを不揮発性素子にストアするとき、選択されていないセルにもストア動作のための電圧が供給される。このように、選択されていないセルがストア動作のためのスタンバイ状態となる。これにより、無駄な待機電力が生じる。

20

【0008】

また、特許文献2および3のように、セルをスリープモードやシャットダウンモードするためには、パワースイッチを用いる。ストア動作のときに低インピーダンスの不揮発性素子に電流が流れる。このため、セルに印加される仮想電源電圧を高く(または仮想接地電圧を低く)維持するためには、セルをスリープまたはシャットダウンするためのパワースイッチが大きくなる。このため、パワースイッチの占有面積が大きくなる。

【0009】

さらに、特許文献3のように、セル単位でストアの有無を判断する場合、周辺回路が大きくなる。

【0010】

30

本発明は、上記課題に鑑みなされたものであり、待機電力を抑制すること、または、占有面積を抑制することを目的とする。

【課題を解決するための手段】

【0011】

本発明は、各々のセルが、データを記憶する双安定回路と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、を有し、複数の行および複数の列に、前記複数の行が分割され各々が1または複数の行を含む複数のバンクを形成するように配列された複数のセルと、前記複数の行を順にストア動作し、前記複数のバンクのうちストア動作される行を含む第1バンクのセルの電源に供給される電圧を第1電圧とし、前記複数のバンクのうち前記第1バンク以外のセルの電源に供給される電圧を前記第1電圧より低く前記双安定回路のデータが維持される第2電圧とする制御部と、を具備することを特徴とする記憶回路である。

40

【0012】

上記構成において、前記制御部は、含まれる行のストア動作が終了したバンクごとに前記セルの電源に供給される電圧を前記第2電圧とする構成とすることができる。

【0013】

上記構成において、前記制御部は、含まれる行のストア動作が終了したバンクごとに前記セルの電源に供給される電圧をシャットダウンする構成とすることができる。

【0014】

50

上記構成において、前記不揮発性素子は、一端が前記双安定回路内のノードに、他端が制御線に接続され、前記複数のセルは、前記ノードと前記制御線との間に前記不揮発性素子と直列に接続されたスイッチを各々備え、前記複数のセルの電源に供給される電圧は、前記双安定回路に供給される構成とすることができる。

【0015】

上記構成において、前記複数のバンクは各々1つの行を含む構成とすることができる。

【0016】

本発明は、各々のセルが、データを記憶する双安定回路と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、を有する複数のセルと、前記複数のセルの電源に供給される電圧を変更する1または複数のパワースイッチと、1つのパワースイッチにより共通の電圧が供給される領域が複数のブロックに分割され、前記領域において前記複数のブロックごとに異なる期間にストア動作する制御部と、を具備することを特徴とする記憶回路である。

【0017】

上記構成において、前記複数のセルは、複数の行および複数の列に配列され、前記領域は、1または複数の行を含み、1つの行が前記複数のブロックに分割されている構成とすることができる。

【0018】

上記構成において、前記複数のセルは、各々データのストアを実行するスイッチを有し、前記複数のブロックの各々のセル内の前記スイッチは共通のサブスイッチ線に接続され、同じ行のサブスイッチ線は1つのスイッチ線に接続され、前記複数のブロックのうち1つのブロックを選択し、選択されたブロックのサブスイッチ線に前記スイッチをオンする信号を出力する選択回路を具備する構成とすることができる。

【0019】

上記構成において、前記不揮発性素子は、一端が前記双安定回路内のノードに、他端が制御線に接続され、前記スイッチは、前記ノードと前記制御線との間に前記不揮発性素子と直列に接続され、前記セルの電源に供給される電圧は、前記双安定回路に供給される構成とすることができる。

【0020】

上記構成において、前記複数のブロックの各々は、同じ行内の連続したセルを含む構成とすることができる。

【0021】

上記構成において、前記複数のブロックの各々は、同じ行内の周期的に配列されたセルを含む構成とすることができる。

【0022】

上記構成において、前記複数のブロックの各々のセル内の前記双安定回路と前記不揮発性素子とのデータが一致か不一致かを判定する判定回路と、前記データが不一致のとき、対応するブロック内のセルのストア動作を行ない、前記データが一致のとき、前記対応するブロック内のセルのストア動作を行なわない選択回路と、を具備する構成とすることができる。

【0023】

本発明は、各々のセルが、データを記憶する双安定回路と、一端が前記双安定回路内のノードに他端が制御線に接続され、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、前記ノードと前記制御線との間に前記不揮発性素子と直列に接続されたスイッチと、を有し、各々共通のスイッチ線に接続された複数の行と各々共通の制御線に接続された複数の列とに配列された複数のセルと、同じ制御線に対し共通に設けられ、対応する制御線の信号に基づき、前記対応する制御線に接続されたセル内の前記双安定回路と前記不揮発性素子とのデータが一致か不一致かを判定する判定回路と、前記データが不一致のとき、前記

10

20

30

40

50

対応する制御線に接続されたセル内の前記スイッチをオンさせ、前記データが一致のとき、前記対応する制御線に接続されたスイッチをオフさせる選択回路と、を具備することを特徴とする記憶回路である。

【 0 0 2 4 】

上記構成において、1つの行が各々複数のセルを含む複数のブロックに分割され、前記選択回路は、対応するブロック内の複数のセルのデータの少なくとも一つが不一致のとき、前記対応するブロック内の前記スイッチをオンさせ、前記対応するブロック内の複数のセルのデータの全てが一致のとき、前記対応するブロック内の前記スイッチをオフさせる構成とすることができる。

【 0 0 2 5 】

上記構成において、前記判定回路は、同じブロック内の複数の制御線に共通に設けられている構成とすることができる。

【 0 0 2 6 】

上記構成において、一对の前記不揮発性素子は、前記双安定回路の相補するノードにそれぞれ接続され、一对の前記制御線は、前記一对の不揮発性素子にそれぞれ接続され、前記判定回路は、前記双安定回路のデータと前記一对の制御線の信号と、に基づき、前記データが一致か不一致かを判定する構成とすることができる。

【 0 0 2 7 】

本発明は、電源線および接地線から電圧が供給され、データを記憶する双安定回路と、一端が前記双安定回路内のノードに他端が制御線に接続され、前記一端と前記他端との間を流れる電流により抵抗値が変更されることにより前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、ソースおよびドレインが前記ノードと前記制御線との間に前記不揮発性素子と直列に接続されたF E Tと、前記双安定回路にデータを揮発的に書き込みおよび読み出しを行なう第1期間において、前記F E Tのゲートに印加される電圧を、前記F E TがnチャネルF E Tの場合前記接地線の電圧より低くし、前記F E TがpチャネルF E Tの場合前記電源線の電圧より高くする制御部と、を具備することを特徴とする記憶回路である。

【 0 0 2 8 】

上記構成において、前記制御部は、前記双安定回路のデータが維持され前記双安定回路の前記電源線の電圧と前記接地線の電圧との差が前記第1期間における前記電源線の電圧と前記接地線の電圧の差より小さくなる第2期間に、前記F E Tのゲートに印加される電圧を、前記F E TがnチャネルF E Tの場合前記第1期間における前記接地線の電圧より低くし、前記F E TがpチャネルF E Tの場合前記第1期間における前記電源線の電圧より高くする構成とすることができる。

【 0 0 2 9 】

上記構成において、前記制御部は、前記F E TがnチャネルF E Tの場合、前記不揮発性素子にストアされたデータを前記双安定回路にリストアする期間における前記F E Tのゲートに印加される電圧を、前記双安定回路に記憶されたデータを不揮発的に不揮発性メモリにストアする期間における前記F E Tのゲートに印加される電圧より、低くし、前記F E TがpチャネルF E Tの場合、前記リストアする期間における前記F E Tのゲートに印加される電圧を、前記ストアする期間における前記F E Tのゲートに印加される電圧より、高くする構成とすることができる。

【 発明の効果 】

【 0 0 3 0 】

本発明によれば、待機電力を抑制すること、または、占有面積を抑制することができる。

【 図面の簡単な説明 】

【 0 0 3 1 】

【 図 1 】 図 1 は、実施例 1 から 3 におけるセルの回路図である。

10

20

30

40

50

【図 2】図 2 は、実施例 1 から 3 における記憶回路を示すブロック図である。

【図 3】図 3 は、実施例 1 から 3 における NV - SRAM および 6T - SRAM の各期間の消費電流を示す図である。

【図 4】図 4 ( a ) および図 4 ( b ) は、実施例 1 における動作を説明する図である。

【図 5】図 5 は、実施例 1 におけるセルアレイとパワースイッチとの接続を示すブロック図である。

【図 6】図 6 は、実施例 1 におけるセルアレイとパワースイッチとの別の接続を示すブロック図である。

【図 7】図 7 は、実施例 1 におけるストア動作の例 1 を示すタイミングチャートである。

【図 8】図 8 は、実施例 1 におけるストア動作の例 2 を示すタイミングチャートである。

【図 9】図 9 は、実施例 1 におけるストア動作の例 3 を示すタイミングチャートである。

【図 10】図 10 は、実施例 1 におけるストア動作の例 4 を示すタイミングチャートである。

【図 11】図 11 は、実施例 1 においてシミュレーションに用いた記憶回路を示すブロック図である。

【図 12】図 12 ( a ) および図 12 ( b ) は、実施例 1 においてシミュレーションに用いたシーケンスを示す図である。

【図 13】図 13 ( a ) は、nRW に対する E c y c を示す図、図 13 ( b ) は、tSD に対する E c y c を示す図である。

【図 14】図 14 は、実施例 1 におけるセルアレイのサイズに対する B E T の削減率を示す図である。

【図 15】図 15 ( a ) および図 15 ( b ) は、実施例 2 におけるセルとパワースイッチを示す回路図である。

【図 16】図 16 は、パワースイッチのチャンネル幅 W に対する仮想電源電圧 V V D D を示す図である。

【図 17】図 17 は、実施例 2 におけるセルアレイの一部を示すブロック図である。

【図 18】図 18 ( a ) および図 18 ( b ) は、実施例 2 における選択回路の例を示すブロック図である。

【図 19】図 19 は、実施例 2 におけるスイッチ線、サブスイッチ線および仮想電源電圧 V V D D のタイミングチャートである。

【図 20】図 20 は、実施例 2 の変形例に係る記憶回路を示すブロック図である。

【図 21】図 21 ( a ) は、実施例 2 における nSR に対する M O S F E T の総チャンネル幅を示す図であり、図 21 ( b ) は、実施例 2 における nSR に対する総チャンネル幅 / セルを示す図である。

【図 22】図 22 は、実施例 2 の変形例 1 におけるセルアレイの一部を示すブロック図である。

【図 23】図 23 は、実施例 2 の変形例 2 におけるセルアレイの一部を示すブロック図である。

【図 24】図 24 は、実施例 2 の変形例 2 における各セルのストア動作、スイッチ線、サブスイッチ線および仮想電源電圧 V V D D のタイミングチャートである。

【図 25】図 25 は、実施例 2 の変形例 3 におけるセルアレイの一部を示すブロック図である。

【図 26】図 26 は、実施例 3 における判定回路とセルとのブロック図である。

【図 27】図 27 は、実施例 3 における判定回路とセルとの別の例を示すブロック図である。

【図 28】図 28 は、実施例 3 における記憶回路を示すブロック図である。

【図 29】図 29 は、実施例 3 におけるスイッチ線、制御線およびマッチ信号のタイミングチャートである。

【図 30】図 30 は、実施例 3 の変形例 1 における記憶回路を示すブロック図である。

【図 31】図 31 は、実施例 3 の変形例 2 における記憶回路を示すブロック図である。

10

20

30

40

50

【図 3 2】図 3 2 は、実施例 3 の変形例 3 における記憶回路を示すブロック図である。

【図 3 3】図 3 3 は、実施例 3 の変形例 4 における記憶回路を示すブロック図である。

【図 3 4】図 3 4 ( a ) および図 3 4 ( b ) は、実施例 1 から 4 およびその変形例におけるセルの回路図である。

【図 3 5】図 3 5 ( a ) および図 3 5 ( b ) は、実施例 1 における  $nRW$  に対する  $BET$  を示す図である。

【図 3 6】図 3 6 ( a ) および図 3 6 ( b ) は、実施例 1 においてストアフリーの割合を変えたときの  $nRW$  に対する  $BET$  を示す図である。

【図 3 7】図 3 7 ( a ) および図 3 7 ( b ) は、通常  $SRAM$  動作期間におけるそれぞれ電圧  $V_{CTRL}$  および  $V_{SR}$  に対するリーク電流  $I_{L}^{NV}$  を示す図である。

【図 3 8】図 3 8 ( a ) および図 3 8 ( b ) は、実施例 4 における  $nRW$  に対する  $BET$  を示す図である。

【図 3 9】図 3 9 ( a ) および図 3 9 ( b ) は、実施例 4 の変形例 1 における  $nRW$  に対する  $BET$  を示す図である。

【発明を実施するための形態】

【0032】

以下、図面を参照し、不揮発性双安定回路の例を  $NV-SRAM$  として実施例について説明する。なお、以下の実施例に係る記憶回路は、例えばパワーゲーティングが行なわれるパワードメインに含まれる記憶回路であり、例えばキャッシュメモリまたはレジスタである。また、不揮発性  $SRAM$  を例に説明するが、不揮発性  $FF$  でもよい。

【実施例 1】

【0033】

実施例 1 は、ストア時スリープ・アーキテクチャの例である。実施例 1 では、ストア動作時に、ストア動作を実行していないセルアレイの各行に、接続されているセルをスリープモードまたはシャットダウンモードにする。または、ストア動作を実行している行を含む近傍の数行以外の行に接続されているセルをスリープモードまたはシャットダウンモードにする。ストア動作を行なう前の行については、シャットダウンモードとはせずスリープモードとするが、ストア動作を行なった後の行については、スリープモードでもシャットダウンモードでもよい。なお、行は、例えばワード線と平行な方向に配置されたセルである。これにより、不揮発性双安定回路を含む不揮発性パワーゲーティング ( $NVPG$ ) 可能な記憶回路において、 $NVPG$  の電力削減効率を高めることができる。

【0034】

図 1 は、実施例 1 から 3 におけるセルの回路図である。図 1 に示すように、 $NV-SRAM$  セル 10 は、インバータ回路 14 および 16、スピントランスファートルク磁気トンネル接合素子 ( $STT-MTJ$ ；以下では簡単のため単に強磁性トンネル接合素子と呼ぶ)  $MTJ1$  および  $MTJ2$  を有している。

【0035】

インバータ回路 14 および 16 はループ状に接続され双安定回路 12 を構成している。インバータ回路 14 は、 $n$  型  $MOSFET$   $m2$  および  $p$  型  $MOSFET$   $m1$  を有している。インバータ回路 16 は、 $n$  型  $MOSFET$   $m4$  および  $p$  型  $MOSFET$   $m3$  を有している。

【0036】

インバータ回路 14 と 16 が接続されたノードがそれぞれノード  $Q$ 、 $QB$  である。ノード  $Q$  とノード  $QB$  とは互いに相補ノードである。双安定回路 12 は、ノード  $Q$  およびノード  $QB$  がそれぞれハイレベルおよびローレベル、または、ノード  $Q$  およびノード  $QB$  がそれぞれローレベルおよびハイレベルとなることにより安定状態となる。双安定回路 12 は、安定状態となることにより、データを記憶することができる。

【0037】

ノード  $Q$  および  $QB$  は、それぞれ  $MOSFET$   $m5$  および  $m6$  を介し入出力線  $D$  および  $DB$  に接続されている。 $MOSFET$   $m5$  および  $m6$  のゲートはワード線  $WL$  に接続され

10

20

30

40

50

ている。MOSFETm1からm6により6トランジスタ(FET)型のSRAMが形成される。

【0038】

ノードQと制御線CTRLとの間にMOSFETm7と強磁性トンネル接合素子MTJ1とが接続され、ノードQBと制御線CTRLとの間にMOSFETm8と強磁性トンネル接合素子MTJ2とが接続されている。MOSFETm7およびm8のソースおよびドレインの一方は、ノードQおよびQBに、ソースおよびドレインの他方は強磁性トンネル接合素子MTJ1およびMTJ2にそれぞれ接続されている。MOSFETm7およびm8のゲートはスイッチ線SRに接続されている。なお、MOSFETm7およびm8は、それぞれ、強磁性トンネル接合素子MTJ1およびMTJ2と制御線CTRLとの間に接続されていてもよい。また、MOSFETm7およびm8は、設けられていなくてもよい。

10

【0039】

強磁性トンネル接合素子MTJ1とMOSFETm7とは、擬似スピンMOSFET(PS-MOSFET)PSM1を構成する。同様に、強磁性トンネル接合素子MTJ2とMOSFETm8とはPSM2を構成する。

【0040】

強磁性トンネル接合素子MTJ1およびMTJ2は、それぞれフリー層17、トンネル絶縁膜18およびピン層19を有している。フリー層17およびピン層19は強磁性体からなる。フリー層17とピン層19との磁化方向が平行な状態(平行状態)では、MTJ1およびMTJ2の抵抗値が低くなる。フリー層17とピン層19との磁化方向が反平行な状態(反平行状態)では、MTJ1およびMTJ2の抵抗値が平行状態より高くなる。MTJ1およびMTJ2は、MTJ1およびMTJ2の抵抗値によりデータをストアする。後述する仮想電源方式では、フリー層17が制御線CTRLに接続され、仮想接地方式では、ピン層19が制御線CTRLに接続される。仮想電源方式では、PSM1およびPSM2のMOSFETm7およびm8はn型であり、仮想接地方式では、PSM1およびPSM2のMOSFETm7およびm8はp型である。

20

【0041】

双安定回路12へのデータの書き込みおよび読み出しは、従来のSRAMと同じように行われる。すなわち、ワード線WLをハイレベルとしMOSFETm5およびm6を導通状態とすることにより、双安定回路12に入出力線DおよびDBのデータが書き込まれる。また、入出力線DおよびDBを等電位の浮遊状態としワード線WLをハイレベルとしMOSFETm5およびm6を導通状態とすることにより、双安定回路12のデータを入出力線DおよびDBに読み出すことができる。MOSFETm5およびm6を遮断状態とすることにより、双安定回路12のデータが保持される。なお、双安定回路12へのデータの書き込み、読み出し、および保持の際、スイッチ線SRはローレベルとし、MOSFETm7およびm8は遮断状態とすることが好ましい。これにより、ノードQおよびQBと制御線CTRL間の電流をほぼ遮断し、安定動作を実現し、さらに、消費電力の増大を抑制することができる。

30

【0042】

図2は、実施例1から3における記憶回路を示すブロック図である。図2に示すように、記憶回路100は、セルアレイ20、列デコーダ21、列ドライバ22、行デコーダ23、行ドライバ24および制御部25を備えている。セルアレイ20には、複数のセル10が複数の行および複数の列にマトリックス状に配置されている。列デコーダ21および行デコーダ23は、アドレス信号から列および行を選択する。列ドライバ22は、選択された列の入出力線(ビット線ともいう)D、DBおよび制御線CTRLに電圧等を印加する。行ドライバ24は、選択された行のワード線WLおよびスイッチ線SRに電圧等を印加する。制御部25は、列デコーダ21、列ドライバ22、行デコーダ23および行ドライバ24を介し、セル10の入出力線D、DB、ワード線WL、スイッチ線SRおよび制御線CTRLに電圧等を印加する。

40

50

## 【 0 0 4 3 】

図 3 は、実施例 1 から 3 における NV - S R A M および 6 T - S R A M の各期間の消費電流を示す図である。実線は図 1 に示した NV - S R A M を有する記憶回路の消費電流を示す。実線の消費電流は、リーク電流と NV P G に用いる電流を含み、通常の S R A M 動作における書き込みおよび読み出しの電流は含んでいない。破線は、M O S F E T m 7、M O S F E T m 8、M T J 1 および M T J 2 を設けない 6 トランジスタ S R A M ( 6 T - S R A M ) セルを用いた記憶回路の消費電流を示している。点線は、6 T - S R A M セルを用いた記憶回路の通常 S R A M 動作期間の消費電流を示している。破線および点線の消費電流は、リーク電流を含み、S R A M 動作における書き込みおよび読み出しの電流は含んでいない。

10

## 【 0 0 4 4 】

図 3 に示すように、NV - S R A M セル 1 0 の動作期間には、スリープ期間、通常 S R A M 動作 ( ノーマル S R A M オペレーション ) 期間、ストア期間、シャットダウン ( 電源遮断 ) 期間およびリストア期間がある。スリープ期間と通常 S R A M 動作期間は、双安定回路 1 2 にデータが保持されている期間である。通常 S R A M 動作期間は、通常の S R A M として双安定回路 1 2 のデータを書き換え、揮発的に保持する ( これを、「データを揮発的に書き換える」という ) 期間である。スリープ期間は、セル 1 0 がスリープモードの期間であり、双安定回路 1 2 のデータを保持するのみであり、データの書き換えを行わない期間である。スリープ期間においては、通常 S R A M 動作期間に対し、双安定回路 1 2 に供給される電源の電圧  $V_{supply}$  を、データを保持できる程度に低くする。例えば、通常 S R A M 動作期間の  $V_{supply}$  を 1 . 1 V、およびスリープ期間の  $V_{supply}$  を 0 . 9 V とする。これにより、消費電力を抑制できる。スリープ期間および通常 S R A M 動作期間では、制御線 C T R L およびスイッチ線 S R はローレベルであり、M O S F E T m 7 および m 8 はオフしている。

20

## 【 0 0 4 5 】

ストア期間は、ストア動作が行なわれる期間であり、双安定回路 1 2 に記憶されたデータを強磁性トンネル接合素子 M T J 1 および M T J 2 にストアし、これを不揮発的に保持する ( これを、「不揮発的にストアする」という ) 期間である。ストア期間のうち一部の期間において、スイッチ線 S R および制御線 C T R L をハイレベルとし、残りの期間において、スイッチ線 S R をハイレベル ( M O S F E T m 7 および m 8 をオン ) とし制御線 C T R L をローレベルとする。例えば、ストア期間のうち初めの期間において、制御線 C T R L をローレベルとし、ストア期間のうちその後の期間において、制御線 C T R L をハイレベルとする。ノード Q および Q B がそれぞれハイレベルおよびローレベルのとき、強磁性トンネル接合素子 M T J 1 および M T J 2 はそれぞれ高抵抗および低抵抗となる。ノード Q および Q B がそれぞれローレベルおよびハイレベルのとき、強磁性トンネル接合素子 M T J 1 および M T J 2 はそれぞれ低抵抗および高抵抗となる。このように、双安定回路 1 2 のデータが強磁性トンネル接合素子 M T J 1 および M T J 2 にストアされる。

30

## 【 0 0 4 6 】

シャットダウン期間は、セル 1 0 をシャットダウンモードとする期間である。シャットダウン期間においては、セル 1 0 の電源に供給される電圧 (  $V_{supply}$  - 接地電圧 ) をほぼ 0 V とする。これにより、セル 1 0 はシャットダウンモードとなる。このとき、セル 1 0 にほとんど電流が流れないため、消費電力を抑制することができる。

40

## 【 0 0 4 7 】

リストア期間においては、制御線 C T R L をローレベルとしスイッチ線 S R をハイレベルとした状態で電源電圧  $V_{supply}$  を 0 V から立ち上げることにより行なわれる。強磁性トンネル接合素子 M T J 1 および M T J 2 がそれぞれ高抵抗および低抵抗のとき、ノード Q および Q B はそれぞれハイレベルおよびローレベルとなる。強磁性トンネル接合素子 M T J 1 および M T J 2 がそれぞれ低抵抗および高抵抗のとき、ノード Q および Q B はそれぞれローレベルおよびハイレベルとなる。このように、強磁性トンネル接合素子 M T J 1 および M T J 2 にストアされ不揮発的に保持されたデータ ( これを、「不揮発的にス

50

トアされたデータ」という)が双安定回路12にリストアされる。

【0048】

スリープ期間の長さを  $s_{sleep}$ 、6T-SRAMのリーク電流  $I_{L_S^V}$ 、NV-SRAMのリーク電流  $I_{L_S^{NV}}$  とする。通常SRAM動作期間の長さを  $a_{act}$ 、6T-SRAMのリーク電流  $I_{L^V}$ 、NV-SRAMのリーク電流  $I_{L^{NV}}$  とする。ストア期間の長さを  $s_t$ 、強磁性トンネル接合素子MTJ1およびMTJ2の書き込み電流(ストア動作時に生じる電流)を  $I_{MTJ}$  とする。シャットダウン期間の長さを  $s_D$ 、NV-SRAMのリーク電流を  $I_{L_S^D}$  とする。リストア期間の長さを  $r_{ret}$ 、NV-SRAMのリストア動作時に生じる電流  $I_{R_{ush}}$  とする。スリープ期間と通常SRAM動作期間との合計の長さを  $e_{xe}$  とする。スリープ期間からリストア期間までの長さを  $c_y$  とする。

10

【0049】

スリープ期間および通常SRAM動作期間においては、MOSFETm7およびm8にもリーク電流が流れるため、NV-SRAMのリーク電流による消費電力は6T-SRAMより大きい。NV-SRAMにおいては、ストア期間においてはストアのための電流、リストア期間においては、強磁性トンネル接合素子MTJ1およびMTJ2を介して生じる電流と、電源復帰させる回路に生じるラッシュ電流とが生じる。シャットダウン期間においては、NV-SRAMは、わずかにリーク電流が流れるものの消費電力は十分に小さくなる。6T-SRAMにおいては、シャットダウンできないため、NV-SRAMにおけるストア期間、シャットダウン期間およびリストア期間に相当する期間を、スリープ期間とする。よって、これらの期間の6T-SRAMのリーク電流  $I_{L_S^V}$  となる。

20

【0050】

NV-SRAMセルにおいて、6T-SRAMセルと比べて、通常SRAM動作時およびスリープ動作時におけるリーク電流の増加分と、ストア期間およびリストア期間の消費エネルギーの増加分とが、シャットダウンによって節約できるエネルギーに等しくなる期間がBET(Break-even time)である。そこで、待機期間がBET以上のときはシャットダウンを行ない、BET以下のときはスリープとする。これにより、極めて高効率に電力を削減できる。

【0051】

図4(a)および図4(b)は、実施例1における動作を説明する図である。図4(a)は、仮想電源方式を示し、図4(b)は仮想接地方式を示す。図4(a)に示すように、セルアレイ20には、N行×M列のセル10が配列されている。同じ行0からN-1のセル10には、それぞれ同じスイッチ線SR0からSRN-1が接続されている。各セル10には電源線と接地線とが接続されている。仮想電源方式では、電源線26は、各行ごとに設けられる。電源電圧VDDは、パワースイッチ30に供給される。

30

【0052】

パワースイッチ30は、各電源線26に供給する電圧VVDD(図1の電源電圧Vsupplyに対応する)を、スリープ期間、通常SRAM動作期間、ストア期間、シャットダウン期間およびリストア期間に応じて変更する。例えば、シャットダウン期間において、パワースイッチ30は、セル10の電源に供給される電圧(電源線の電圧-接地線の電圧)をほぼ0Vにする(または遮断する(VVDDを0Vに近づける))。スリープ期間において、パワースイッチ30は、セル10の電源に供給される電圧を通常SRAM動作期間、ストア期間およびリストア期間に比べ低くする。

40

【0053】

制御部25は、パワースイッチ30に、各行の電源線26に供給する電圧VVDDを変更させる。また、制御部25は、スイッチ線SR0からSRN-1にスイッチ信号を出力する。スイッチ信号によりスイッチ線SR0からSRN-1のいずれかが選択される。

【0054】

図4(b)に示すように、仮想接地方式では、接地線27は、各行ごとに設けられる。接地電圧VGNDは、パワースイッチ30に供給される。パワースイッチ30は、制御部

50

25の指示に基づき各接地線27に供給する電圧 $V_{VGN D}$ をスリープ期間、通常SRAM動作期間、ストア期間、シャットダウン期間およびリストア期間に応じ変更する。その他の構成は図4(a)と同じであり説明を省略する。

【0055】

セル10に供給される供給電圧は、電源線と接地線との間の電圧差である。例えば、図4(a)に示した仮想電源方式では、供給電圧はほぼ(電源線26の電圧) - (接地電圧)である。図4(b)に示した仮想接地方式では、供給電圧はほぼ(電源電圧) - (接地線27の電圧)である。よって、仮想電源方式および仮想接地方式のいずれを用いても同様の動作を実現できる。以下の実施例1から3およびその変形例では、主に仮想電源方式を例に説明するが仮想接地方式を用いてもよい。

10

【0056】

キャッシュメモリ等のSRAM回路では、セルアレイ20を構成する行単位で読み出しおよび書き込みのアクセスを行うことが多い。行は、通常はワード線単位であり、上位のアーキテクチャから見た場合、行をラインともいう。1行当たりのセル10数は、例えばプロセッサの処理単位であるワードのビット数(例えば32ビット)である。NVPGのストア動作時も同様にセルアレイ20の行単位でストア動作を行うことができる。

【0057】

しかし、1回のストア動作にかかる時間は、MTJ1およびMTJ2のスピン注入磁化反転の確率を考慮すると、10ナノ秒程度またはこれ以上の比較的長い時間となる。このため、ストア動作を行うセルアレイ20内では、ストア動作を実行するセル10以外の

20

大多数のセル10は、ストア動作は行なわれないが電圧が供給された待機状態となる。待機状態のセル10にはリーク電流が流れる。これにより待機電力が増大する。待機電力の増大はセルアレイ20が大きいほど顕著になる。

【0058】

そこで、実施例1においては、図4(a)および図4(b)のように、セルアレイ20の行または少数の行ごとの電圧設定を可能にする。ストア動作中の行またはストア動作中の行を含む少数の行には、ストア動作のための電圧を供給する。その他の行に対してセル10の電源に供給される電圧を低くしスリープモードを実行する。この動作をストア時スリープ動作という。これにより、スリープモードのセル10は、ストア動作のための電圧が供給されたセル10に比べリーク電流が抑制される。よって、セル10の消費電力が抑

30

【0059】

図5は、実施例1におけるセルアレイとパワースイッチとの接続を示すブロック図である。図5に示すように、各行0からN-1ごとの電源線26にパワースイッチ30が設けられている。これにより、各行0からN-1ごとに電源線26の電圧を変更できる。この例では、各行0からN-1が各々バンクに相当する。

【0060】

図6は、実施例1におけるセルアレイとパワースイッチとの別の接続を示すブロック図である。図6に示すように、複数の行の電源線26に共通にパワースイッチ30が設けられている。パワースイッチ30が共通する複数の行が、バンクBK0からBK(N/2-1)である。例えばバンクBK0は、行0および1を含む。これにより、1つのバンクBK0に含まれる複数の行0および1の電源線26の電圧をまとめて変更できる。これにより、パワースイッチ30の占有面積を抑制できる。

40

【0061】

図7は、実施例1におけるストア動作の例1を示すタイミングチャートである。1つのバンクが1つの行を含む図5の例である。縦軸は、各行のセル10に供給される供給電圧(電源線の電圧 - 接地線の電圧)を示す。図7に示すように、時間t0までは通常の6T-SRAMのSRAM動作およびスリープ動作が行なわれる。時間t0にセルアレイ20を含むワードメインのストア動作が開始される。時間t0からt1の間の期間において、制御部25は、パワースイッチ30に、行0のセル10の供給電圧として電圧V1を供

50

給させる。電圧 $V_1$ は、例えば $V_{DD} - V_{GND}$ （パワースイッチ30による降下電圧）である。制御部25は、パワースイッチ30に、その他の行1から $N - 1$ のセル10の供給電圧としてスリープモードの電圧 $V_2$ を供給させる。電圧 $V_2$ は電圧 $V_1$ より低く、かつ双安定回路12のデータが消失しない電圧である。

【0062】

制御部25は、行0のストア動作を行なう。時間 $t_1$ において、行0のストア動作が終了すると、制御部25は、パワースイッチ30に、行0のセル10に供給電圧としてスリープモードの電圧 $V_2$ を供給させる。その後、制御部25は、パワースイッチ30に、行1から $N - 1$ のセル10順に供給電圧として電圧 $V_1$ を供給させる。制御部25は、供給電圧として電圧 $V_1$ を供給する行以外の行のセル10に供給電圧として電圧 $V_2$ を供給させる。制御部25は、供給電圧として電圧 $V_1$ を供給する行のストア動作を行なう。時間 $t_2$ において、全ての行のストア動作が終了すると、制御部25は、パワースイッチ30に、全ての行0から $N - 1$ のセル10の供給電圧をシャットダウンさせる。これにより、セルレイ20をシャットダウンする。

10

【0063】

図8は、実施例1におけるストア動作の例2を示すタイミングチャートである。図8に示すように、時間 $t_1$ において、行0のストア動作が終了すると、制御部25は、パワースイッチ30に行0のセル10の供給電圧をシャットダウンさせる。その後、行1から $N - 1$ において、ストア動作が終了するごとに、制御部25は、パワースイッチ30に各行のセル10に供給する供給電圧をシャットダウンされる。その他の動作は図7と同じであり説明を省略する。ストア動作を行なうまでのセル10はデータを維持するためスリープモードとする。ストア動作後のセル10はデータを維持しなくてもよいため、シャットダウンする。図8の例では、図7の例より待機電力を抑制できる。

20

【0064】

図9は、実施例1におけるストア動作の例3を示すタイミングチャートである。1つのバンクが複数の行を含む例えば図6の例である。図9に示すように、複数の行0から $N - 1$ は、複数のバンク $BK_0$ から $BK(N/4 - 1)$ に分割されている。各バンク $BK_0$ から $BK(N/4 - 1)$ は複数の行を含む（この例では4行）。例えば、バンク $BK_0$ 、 $BK_1$ および $BK(N/4 - 1)$ は、それぞれ行0から3、行4から7、および行 $N - 4$ から $N - 1$ を含む。時間 $t_0$ において、制御部25は、パワースイッチ30にバンク $BK_0$ 内の行0から3のセル10に供給電圧として電圧 $V_1$ を供給させる。制御部25は、行0のストア動作（太線で示す）を行なう。

30

【0065】

時間 $t_3$ において行0のストア動作が終了すると、制御部25は、行1のストア動作を行う。その後、制御部25は、行2および3のストア動作を順に行なう。時間 $t_1$ において、行0から3のストア動作が終了すると、制御部25は、パワースイッチ30に、行0から3のセル10の供給電圧として電圧 $V_2$ を供給させる。制御部25は、バンク $BK_1$ から $BK(N/4 - 1)$ において、同様のストア動作を行なう。その他の動作は図7と同じであり説明を省略する。図9の例では、図7の例に比べ、パワースイッチ30の占有面積を抑制できる。

40

【0066】

図10は、実施例1におけるストア動作の例4を示すタイミングチャートである。時間 $t_1$ において、行0から3のストア動作が終了すると、制御部25は、パワースイッチ30に、バンク $BK_0$ 内のセル10の供給電圧をシャットダウンさせる。その後、制御部25は、バンク $BK_1$ から $BK(N/4 - 1)$ において、同様のストア動作を行なう。その他の動作は図9と同じであり説明を省略する。図10の例では、図9の例より待機電力を抑制できる。

【0067】

実施例1についてシミュレーションを行なった。図11は、実施例1においてシミュレーションに用いた記憶回路を示すブロック図である。図11に示すように、記憶回路10

50

0 は、セルアレイ 20、プリチャージ回路 31 および 32、セクタ 33、リード回路 34 およびライト回路 35 を備えている。セルアレイ 20 には、動作させる NV-SRAM セル 10 と擬似的なセル 10 (破線で示す) が配置されている。行方向にワード線 WL、スイッチ線 SR および電源線 26 が設けられている。列方向にビット線 BL および BLB、制御線 CTRL が設けられている。

#### 【0068】

電源線 26 はパワースイッチ 30 を介し電源電圧 VDD に接続されている。パワースイッチ 30 は、例えば P 型 MOSFET である。プリチャージ回路 31 および 32 は、プリチャージ信号 PC に基づき、ビット線 BL および BLB をプリチャージする。セクタ 33 は、セレクト信号 SL に基づきビット線 BL および BLB を選択する。リード回路 34 は、リード信号 RE に基づき、選択されたセル 10 の双安定回路 12 の出力データ OUT を読み出す。ライト回路 35 は、ライト信号 WE に基づき、入力データ IN を選択されたセル 10 の双安定回路 12 に書き込む。

#### 【0069】

図 12 (a) および図 12 (b) は、実施例 1 においてシミュレーションに用いたシーケンスを示す図である。図 12 (a) は、NV-SRAM を想定したシーケンス、図 12 (b) は、6T-SRAM を想定したシーケンスである。図 12 (a) に示すように、NV-SRAM においては、双安定回路 12 からの読み出し (リード) 動作 (ステップ S10)、および双安定回路 12 への書き込み (ライト) 動作 (ステップ S12) を行なう。これらの動作は通常の 6T-SRAM と同じ動作である。その後、期間  $t_{SL}$  の短いスリープ動作を行なう (ステップ S14)。ステップ S10 から S14 を nRW 回繰り返す。その後、ストア動作を行なう (ステップ S18)。期間  $t_{SD}$  の間セル 10 をシャットダウンモードとする (ステップ S20)。その後、リストア動作を行なう (ステップ S22)。これにより、セルアレイ 20 の電源を復帰させる。ステップ S10 から S22 までの動作を ncy 回繰り返す。ncy = 1 のときのセル 10 あたりのエネルギーを Ecy とする。

#### 【0070】

図 12 (b) に示すように、6T-SRAM においては、ステップ S10 から S14 を nRW 回繰り返した後、シャットダウンモードの代わりにスリープモードとする。すなわち、ステップ S18 から S22 の代わりにスリープ 2 動作を行なう (ステップ S16)。前述のように、スリープ期間では、双安定回路 12 のデータが消失しない程度に双安定回路 12 に供給される電圧を低減する。

#### 【0071】

シミュレーションでは、通常 SRAM 動作期間、ストア期間、およびリストア期間における電源電圧  $V_{supply} = 1.1V$  とした。スリープ期間における  $V_{supply} = 0.9V$  および制御線 CTRL の電圧を  $0.1V$  とした。ストア期間において、ハイレベルをストアするときのスイッチ線 SR の電圧を  $0.7V$  とした。ローレベルをストアするときの制御線 CTRL およびスイッチ線 SR の電圧を、それぞれ  $0.4V$  および  $0.7V$  とした。

#### 【0072】

図 13 (a) は、nRW に対する Ecy を示す図、図 13 (b) は、 $t_{SD}$  に対する Ecy を示す図である。破線は 6T-SRAM を示す。点線は NV-SRAM でストア動作時に全ての行に電圧  $V_1$  を供給した場合 (ストア時スリープ動作なし) を示す。実際は、ストア動作時にストアする行以外の行をスリープとした (電圧  $V_2$  を供給した) 場合 (ストア時スリープ動作あり) を示す。

#### 【0073】

図 13 (a) では、期間  $t_{SD} = 0s$  (秒) とする。この条件では、シャットダウン期間が 0 のため、ストア動作およびリストア動作によるエネルギーの増加が検証できる。列 M を 32 ビットとする。行  $N = 1024$  (セルアレイサイズが 4kB (バイト) に相当)、 $N = 4096$  (セルアレイサイズが 16kB に相当) とする。期間  $t_{SL} = 1\mu s$  とす

10

20

30

40

50

る。6T-SRAMに対するNV-SRAMのE c y cの増加がストア動作およびリストア動作のエネルギーの増加に相当する。ストア時スリープ動作ありの場合、なしの場合に比べエネルギー増加を削減できる。特に、nRWが小さいときに、ストア時スリープ動作の効果が大きい。

【0074】

図13(b)に示すように、nRW=1に固定する。N=4096とする。シャットダウン期間tSDが短いと、NV-SRAMより6T-SRAMの方のエネルギーが小さい。tSDが長くなり、NV-SRAMと6T-SRAMとが交差するtSDがBETである。ストア時スリープ動作ありは、なしに比べBETを約半分に削減することができる。

【0075】

図14は、実施例1におけるセルアレイのサイズに対するBETの削減率を示す図である。BETの削減率は、ストア時スリープ動作なしに対するストア時スリープ動作ありの削減率であり、負に大きいほどストア時スリープ動作によるBETの削減が大きいことを示す。nRWを図14中の矢印方向に1、10、100および1000とする。Mは32ビット、tSLは1μsである。図14に示すように、セルアレイサイズが大きくなるとBET削減率は大きくなる。nRWは小さい方がBET削減率は大きい。セルアレイサイズが数kBと実用的なサイズでも、ストア時スリープ動作を行なうことにより、ストア動作時における待機電力の削減が可能となり、BETを効果的に削減できる。

【0076】

実施例1によれば、図7から図10のように、制御部25は、複数の行0からN-1のストア動作を順に制御する。制御部25は、1または複数の行を含む複数のバンクからのうちストア動作される行を含む第1バンクに供給される供給電圧を電圧V1(第1電圧)とする。制御部25は、複数のバンクのうち第1バンク以外のセル10に供給される供給電圧を電圧V2(第2電圧)とする。このように、ストア動作する行を含むバンク以外を電圧V1より低い電圧V2とするため、ストア動作時における待機電力の削減が可能となり、BETを効果的に削減できる。

【0077】

複数の行0からN-1を分割したバンクは、図7および図8のように、1つの行のみを含んでもよいし、図9および図10のように複数の行を含んでもよい。各々のバンクに含まれる複数の行は連続する行であることが好ましい。

【0078】

図7および図9のように、制御部25は、含まれる行のストア動作が終了したバンクごとにセル10に供給される供給電圧を電圧V2としてもよい。図8および図10のように、制御部25は、含まれる行のストア動作が終了したバンクごとにセル10に供給される供給電圧をシャットダウンしてもよい。これにより、待機電力をより削減することができる。供給電圧のシャットダウンとして、供給電圧(電源線と接続線との間の電圧)をほぼ0Vにしてもよいが、供給電圧を遮断してもよい。

【0079】

実施例1では、セル10として、強磁性トンネル接合素子MTJ1およびMTJ2が、双安定回路12内のノードQおよびQBと制御線CTRLとの間に接続され、MOSFETm7およびm8(スイッチ)がMTJ1およびMTJ2と直列に接続されるNV-SRAMセルを例として説明した。セル10は、双安定回路12と不揮発性素子を含む不揮発性双安定回路であればよい。

【0080】

図5および図6のように、同じ行のセル10のスイッチは共通のスイッチ線SRに接続されている。これにより、行ごとにストア動作を行なうことができる。

【0081】

MTJ1およびMTJ2がノードQおよびQBにそれぞれ接続される例を説明したが、ノードQまたはQBにMTJ1およびMTJ2のいずれか一方が接続されていればよい。不揮発性素子としてMTJを例に説明したが、不揮発性素子としては巨大磁気抵抗(GM

10

20

30

40

50

R)素子、Resistance Random Access Memory)に用いられるような可変抵抗素子、または、Phase change RAM)に用いられる相変化素子を用いることができる。

#### 【実施例2】

##### 【0082】

実施例2は、時間分割ストア制御によるパワースイッチ・アーキテクチャの例である。実施例2では、共通のパワースイッチに接続されたセルに対し、ストア動作を時分割することで、パワースイッチの大きさを削減できる。

##### 【0083】

図15(a)および図15(b)は、実施例2におけるセルとパワースイッチを示す回路図である。図15(a)は、仮想電源方式の例であり、図15(b)は、仮想接地方式の例である。図15(a)に示すように、仮想電源方式では、セル10の双安定回路12と電源との間にパワースイッチ30が接続されている。パワースイッチ30は、p型MOSFETである。電源電圧VDDに対し、双安定回路12には、パワースイッチ30により電圧降下した仮想電源電圧VVDD(擬似VDD)が供給される。図15(b)に示すように、仮想接地方式では、セル10の双安定回路12とグラウンドとの間にパワースイッチ30が接続されている。パワースイッチ30は、n型MOSFETである。MOSFETm7およびm8はp型MOSFETであり、MOSFETm7およびm8のゲートにはスイッチ線SRの補信号であるSRBが入力する。接地電圧VGNNDに対し、双安定回路12には、パワースイッチ30により電圧降下(上昇)した仮想接地電圧VVGNND(擬似VGNND)が供給される。以下では、主に仮想電源方式を例に説明するが、仮想接地方式にも適用できる。

##### 【0084】

NV-SRAMセル10では、通常のSRAM動作時にはMOSFETm7およびm8がオフし、MTJ1およびMTJ2は双安定回路12から電氣的に分離されている。このため、一般的な6T-SRAMセルと同じ大きさのパワースイッチ30で動作させることが可能である。しかし、ストア動作時に双安定回路12のデータをMTJ1およびMTJ2にストアするとき、双安定回路12のノードQおよびQBが低抵抗なMTJ1またはMTJ2を介してグラウンドに接続される。このように、セル10のインピーダンスが大きく低下することから、仮想電源電圧VVDDを高く保つためには(または仮想接地電圧VVGNNDを低く保つためには)、十分に大きなパワースイッチを用いることとなる。ストア動作時にセル10が安定にデータを保持し続けるためには、例えば(電源電圧VDD-接地電圧VGNND)の95%以上の供給電圧(VVDD-VGNND)を確保することが望ましい。

##### 【0085】

図16は、パワースイッチのチャネル幅Wに対する仮想電源電圧VVDDを示す図である。チャネル幅Wはチャネル長Lで規格化し、W/L比としている。実線はNV-SRAMにおけるストア動作時のVVDDを示し、破線は、NV-SRAMにおける通常SRAM動作時のVVDDを示す。通常SRAM動作では、VVDDは低下しない。ストア動作時は、MTJに電流が流れるため、VVDDが低下する。VVDDを、VDDの95%(点線)とするためには、W/Lが4以上となる。このように、VVDDの低下を抑制するため、パワースイッチ30を大きくすることになる。

##### 【0086】

図2のように、NV-SRAMセル10をマトリクス状に配置した場合、6T-SRAMの読み出しおよび書き込み動作と同様に、1つのワード線WLに接続される複数のセル10を同時にストア動作することが、回路の構成上都合がよい。セルアレイ20の共通のワード線WLを有する複数のセル10を行という。NV-SRAMの場合は、セル10のインピーダンスが低下するため、1セルあたりのサイズの大きなパワースイッチ30を用いる。このことから、1つの行に対して共通のパワースイッチ30を割り当てると、非常に大きなサイズ(または多数)のパワースイッチ30を用いることになる。このため、

10

20

30

40

50

パワースイッチ 30 の占有面積がレイアウト上の大きな問題となる。

【 0 0 8 7 】

実施例 1 に示した図 5 のように、各行にパワースイッチ 30 を配置することで、行方向に同時にストア動作を行うことができる。パワースイッチ 30 として用いるトランジスタの 1 セルあたりのサイズをチャンネル幅  $W_0$  とする。セルアレイ 20 を行方向のセル数  $M$ 、列方向のセル数  $N$  とする。このとき、 $N \times M$  セルアレイ 20 に用いるパワースイッチ 30 のトランジスタのチャンネル幅は  $W_0 \times M \times N$  と相当大きくなる。総チャンネル幅  $W_0 \times M \times N$  は、例えば図 5 のような複数のパワースイッチ 30 で実現する。

【 0 0 8 8 】

図 6 のように、複数の行を含むバンクでパワースイッチ 30 を共有し、同じバンクに含まれる行について同時に供給電圧を制御する。ストア動作において、スイッチ線  $SR$  の選択はバンク内の各行ごとに行なう。これにより、ストア動作で一度に駆動するセル数は 1 行分のみである。このため、パワースイッチ 30 のサイズ（または数）を小さくできる。パワースイッチ 30 を共有する行の数（1 つのバンクに含まれる行の数）を  $n_{bk}$  とする。このとき、パワースイッチ 30 のトランジスタのチャンネル幅は  $W_0 \times M \times N / n_{bk}$  に削減できる。ただし、 $n_{bk}$  を大きくしすぎると、ストア動作時の待機電力が大きくなりすぎる。このため、 $n_{bk}$  はあまり大きくはできない。通常パワースイッチ 30 の占有面積は全体の 10% から 20% 程度に抑えることが望ましい。 $W_0$  が大きいことと、 $n_{bk}$  を大きくできないことから、パワースイッチ 30 の占有面積を記憶回路全体の 10% から 20% とすることは容易ではない。

【 0 0 8 9 】

図 17 は、実施例 2 におけるセルアレイの一部を示すブロック図である。図 17 では、セルアレイ 20 のうち行 0 から 7 を図示している。図 17 に示すように、複数（ $n_{bk}$  個：図 17 では 8 本）の行 0 から 7 の電源線 26 に共通にパワースイッチ 30 を設ける。パワースイッチ 30 は、セルアレイ 20 の全ての行に共通に 1 つ設けてもよいし、セルアレイ 20 の一部の行に共通に設けてもよい。パワースイッチ 30 は複数のトランジスタで構成されていてもよい。行を複数（ $n_{SR}$  個：図 17 では 4 個）のブロック 42 に分割する。例えば行のビット数は 32 ビットであり、ブロック 42 のビット数は 8 ビットである。分割されたブロック 42 ごとにスイッチ線  $SR_0$  から  $SR_7$  を分割する。例えば行 0 では、スイッチ線  $SR_0$  をサブスイッチ線  $SR_{00}$  から  $SR_{03}$  に分割する。スイッチ線  $SR_0$  とサブスイッチ線  $SR_{00}$  から  $SR_{03}$  の間には、各々選択回路 40 が設けられている。パワースイッチ 38 は、選択回路 40 に電源電圧を供給する。制御部 25 は、パワースイッチ 30 および 38 を制御する。制御部 25 は、各選択回路 40 に選択信号  $SEL_00$  から  $SEL_73$  を、スイッチ線  $SR_0$  から  $SR_7$  にスイッチ信号を出力する。

【 0 0 9 0 】

図 18 (a) および図 18 (b) は、実施例 2 における選択回路の例を示すブロック図である。図 18 (a) に示すように、選択回路 40 は、スイッチ線  $SR_0$  と選択信号  $SEL_00$  の AND 処理を行なう AND 回路である。選択回路 40 は、例えばスイッチ線  $SR_0$  がハイレベルでかつ選択信号  $SEL_00$  がハイレベルのときサブスイッチ線  $SR_{00}$  をハイレベルとする。その他の場合、サブスイッチ線  $SR_{00}$  をローレベルとする。

【 0 0 9 1 】

図 18 (b) に示すように、選択回路 40 は、スイッチ線  $SR_0$  と選択信号  $SEL_00$  の NOR 処理を行なう NOR 回路である。選択回路 40 は、例えばスイッチ線  $SR_0$  がローレベルでかつ選択信号  $SEL_00$  がローレベルのときサブスイッチ線  $SR_{00}$  をハイレベルとする。その他の場合、サブスイッチ線  $SR_{00}$  をローレベルとする。

【 0 0 9 2 】

選択回路 40 は、MOSFET  $m_7$  および  $m_8$  の導電型、スイッチ線  $SR_0$  から  $SR_7$  の信号レベルおよび選択信号  $SEL_00$  から  $SEL_73$  のレベルに応じ、適宜設計できる。

【 0 0 9 3 】

10

20

30

40

50

図19は、実施例2におけるスイッチ線、サブスイッチ線および仮想電源電圧VVDのタイミングチャートである。選択回路40として図18(a)のようなAND回路を用いた例である。図19に示すように、時間t4において、制御部25は、パワースイッチ30に仮想電源電圧VVDを電圧V2から電圧V1に変更させる。電圧V2は、例えばスリープモードの電圧であり、電圧V1はストア動作のための電圧である。制御部25は、スイッチ線SR0およびサブスイッチ線SR00に対応する選択信号SEL0をハイレベルとし、その他のサブスイッチ線SR01からSR03に対応する選択信号SEL01からSEL03をローレベルとする。これにより、サブスイッチ線SR00がハイレベルとなり、サブスイッチ線SR01からSR03がローレベルとなる。よって、サブスイッチ線SR00に接続されたセル10のMOSFETm7およびm8がオンとなる。サブスイッチ線SR01からSR03に接続されたセル10のMOSFETm7およびm8はオフのため、これらのサブスイッチ線に接続されるMTJ1およびMTJ2に電流は流れない。このように、1つのブロック42のセル10のMTJ1およびMTJ2のみに電流が流れ、他のブロック42のセル10のMTJ1およびMTJ2には電流は流れない。

#### 【0094】

サブスイッチ線SR00に接続されたセル10のストア動作が終了すると、時間t5において、制御部25は、サブスイッチ線SR01の選択信号SEL01のみをハイレベルとする。サブスイッチ線SR01のストア動作が行なわれる。その後、制御部25は、サブスイッチ線SR02からSR03のストア動作を順に行なう。バンクBK0のストア動作が終了すると、時間t6において、制御部25は、スイッチ線SR0をローレベルとし、スイッチ線SR1をハイレベルとする。その後、制御部25は、行1以降を順にストア動作する。パワースイッチ30に接続されたバンク(行0から7)のストア動作が終了すると、時間t7において、制御部25は、仮想電源電圧VVDを電圧V2とする。制御部25は、時間t7において、仮想電源電圧VVDをシャットダウンしてもよい。

#### 【0095】

図20は、実施例2の変形例に係る記憶回路を示すブロック図である。図20に示すように、列の選択信号を共通にする配線が設けられている。例えば選択信号SEL00、SEL10、SEL20、SEL30、SEL40、SEL50、SEL60およびSEL70(図17参照)を共通に選択信号SEL0とする。同様に、列方向に共通に選択信号SEL1からSEL3を供給する。このように、列を選択信号SEL0からSEL3で選択し、行をスイッチ線SR0からSR7で選択する。これにより、選択信号とスイッチ線とで活性化するサブスイッチ線を選択できる。その他の構成は実施例2の図17と同じであり説明を省略する。

#### 【0096】

図17および図20のように、NV-SRAMのストア動作を実行するための信号に用いるスイッチ線SR0からSR7をそれぞれ複数に分割する。これにより、1つの行内において同時にストア動作するセル数を減らすことができる。これにより、パワースイッチ30のサイズ(または数)を小さくする(または減らす)ことができる。例えば、行の分割数をnSRとすれば、パワースイッチ30の総チャンネル幅を $W0 \times (M / nSR) \times (N / nbk)$ に減少できる。実際には、複数のトランジスタでこのサイズを実現する。ただし、この方法では、スイッチ線SRの分割制御のための選択回路40が付加される。このため、選択回路40のトランジスタの追加を考慮することが必要になる。nbk、nSRおよび選択回路40を適切に選ぶことで、パワースイッチ30のサイズ(数)を大きく削減できる。

#### 【0097】

図21(a)は、実施例2におけるnSRに対するMOSFETの総チャンネル幅を示す図である。図21(a)において、総チャンネル幅は、選択回路40をNOR回路で構成した場合に、選択回路40とパワースイッチ30および38におけるMOSFETの総チャンネル幅WTをチャンネル長Lで規格化した値である。セル10に電圧を供給するパワースイッチ30のチャンネル幅をW0、選択回路40内のMOSFET1個のチャンネル幅をW1、選

10

20

30

40

50

択回路40に電圧を供給するパワースイッチ38のチャンネル幅を $W_2$ とする。総チャンネル幅 $W_T = W_0 \times (M/nSR) \times (N/nbk) + W_1 \times 4 \times nSR \times N + W_2$ となる。幅 $W_0$ は、図16から仮想電源電圧 $V_{DD}$ が電源電圧 $V_{DD}$ の95%となるように $W_0 = 4L$ とした。幅 $W_1$ は、十分な駆動能力を得るため、1セルあたり $L/4$ とし、 $W_1 = (L/4) \times (M/nSR)$ とした。ただし、 $W_1$ が $1L$ 以下のときは $W_1 = 1 \times L$ とした。選択回路40は複数同時に動作しないため、選択回路40に接続されるパワースイッチ38は、全体で1個とした。パワースイッチ38のチャンネル幅 $W_2 = 2 \times W_1$ とした。 $M$ を32ビット、 $N$ を32行とし、 $nbk$ を1、2、4、8および16とした。総チャンネル幅 $W_T$ は、例えばチャンネル幅がチャンネル長 $L$ と同じとしたとき、 $MOSFET$ の個数とみなせる。

10

## 【0098】

図21(a)に示すように、 $nbk$ が大きいかつ $nSR$ が小さくなるとチャンネル幅は減少する。いずれの $nbk$ のときも $nSR = 8$ のときに総チャンネル幅が極小となる。よって、この例では、1行あたりのブロック42の分割数は8が最適である。

## 【0099】

図21(b)は、実施例2における $nSR$ に対する総チャンネル幅/セルを示す図である。図21(b)において、総チャンネル幅/セルは、 $NV-SRAM$ セル10、パワースイッチ30、38および $NOR$ 型の選択回路40に含まれるトランジスタの総チャンネル幅を1セル当たりで示す値である。総チャンネル幅/セルは、例えば1つの $MOSFET$ のチャンネル幅がチャンネル長 $L$ と同じとしたとき、1つのセル10あたりの $MOSFET$ の個数とみなせる。図21(b)中の総チャンネル幅/セル=13の直線は、周辺回路を含まない $NV-SRAM$ セル10のみのチャンネル幅/セルを示す。

20

## 【0100】

図21(b)のように、 $nSR = 8$ のときは、 $nbk$ が1から16において、総チャンネル幅/セルは1.4程度である。ストア動作を時間分割しない場合、 $NV-SRAM$ セル10の占有面積に対して、周辺回路の面積は40%の増加となる。これに対し、実施例2では、周辺回路を加えた総チャンネル幅/セルは、 $NV-SRAM$ セル10のみのチャンネル幅/セルに対し、わずか8%程度の増加にとどまる。このように、記憶回路の占有面積を大幅に削減できる。

## 【0101】

実施例2およびその変形例によれば、記憶回路に1または複数のパワースイッチ30が設けられている。パワースイッチ30は、複数のセル10の電源に供給される電圧を変更する。1つのパワースイッチ30により共通の電圧が供給される領域(例えば図17のセルアレイ20)が複数のブロック42に分割されている。図18のように、制御部25は、この領域内で複数のブロック42ごとに異なる期間にストア動作を行なう。これにより、図21(a)および図21(b)のように、パワースイッチ30の占有面積を削減できる。なお、パワースイッチ30は、複数のセル10に共通の電圧が供給され、ほぼ同じタイミングで変更される領域に対し設けられているものを「1つ」とする。1つのパワースイッチ30に複数のトランジスタまたはスイッチが含まれていてもよい。

30

## 【0102】

図6、図9および図10のように、ブロックは、行単位でもよい。パワースイッチ30の占有面積をより削減するためには、図17のように、1つの行が複数のブロック42に分割されていることが好ましい。

40

## 【0103】

図17および図20のように、複数のブロック42のそれぞれ内のセル10の $MOSFET$   $m_7$ および $m_8$ (データをストアするためのスイッチ)は、共通のサブスイッチ線 $SR_{00}$ から $SR_{73}$ に接続されている。同じ行のサブスイッチ線(例えば $SR_{00}$ から $SR_{03}$ )は1つのスイッチ線(例えば $SR_0$ )に接続されている。図19のように、選択回路40は、複数のブロック42のうち1つのブロックを選択し、選択されたブロックのサブスイッチ線(例えば $SR_{00}$ )にスイッチをオンする信号を出力する。他のブロック

50

のサブスイッチ線（例えばSR01からSR03）にスイッチをオフする信号を出力する。これにより、複数のブロック42ごとに異なる時間にMOSFETm7およびm8（スイッチ）をオンすることができる。

【0104】

セル10は、双安定回路12および不揮発性素子を含めばよいが、特に、NV-SRAMセル10の場合、ストア時にMTJ1およびMTJ2が低インピーダンスとなる。これにより、同時に複数のセル10をストア動作しようとする、パワースイッチ30を大きくすることになる。よって、NV-SRAMの場合に、同じパワースイッチ30から電圧が共通に供給されるセル10を異なる時間にストア動作することにより、パワースイッチ30の占有面積を大きく削減できる。

10

【0105】

MTJ1およびMTJ2がノードQおよびQBにそれぞれ接続される例を説明したが、MTJ1およびMTJ2のいずれか一方がノードQまたはQBに接続されていればよい。不揮発性素子としてMTJを例に説明したが、不揮発性素子としては巨大磁気抵抗素子、ReRAMに用いられるような可変抵抗素子、または、PRAMに用いられる相変化素子を用いることができる。

【0106】

次に実施例2の変形例として、インターリーブ動作する記憶回路について説明する。図22は、実施例2の変形例1におけるセルアレイの一部を示すブロック図である。図22では、セルアレイ20内の複数の行のうち行0から3を図示している。図22に示すように、行方向には、ワード線Word00からWord03、スイッチ線SR0からSR3および電源線26が延伸している。列方向にはビット線（不図示）が延伸している。制御線CTRL（不図示）は、行方向または列方向のいずれに延伸していてもよい。行0から3の電源線26に共通にパワースイッチ30を設ける。パワースイッチ30は、セルアレイ20の全ての行に共通に1つ設けてもよいし、セルアレイ20の一部の行に共通に設けてもよい。パワースイッチ30は複数のトランジスタで構成されていてもよい。制御部25は、スイッチ線SR0からSR3に信号を出力する。各行のビット数は例えば128ビットであり、各行には128個のセル10が配列されている。セル10は、A0からA31、B0からB31、C0からC31およびD0からD31に相当する。

20

【0107】

ビット線は4個のセル10ごとにセクタ44により選択され、リード/ライト（R/W）回路46に接続される。セクタ44はセレクト信号Selectにより、AからDのいずれか1個のセル10をリード/ライト回路46に接続する。リード/ライト回路46は、通常SRAM動作期間において、セル10からデータを読み出す、またはセル10にデータを書き込む。通常SRAM動作期間にセクタ44がAからDを順次選択する。これにより、リード/ライト回路46は、A0からA31に相当するセル10、B0からB31に相当するセル10、C0からC31に相当するセル10、およびD0からD31に相当するセルに対し、データの読み出しまたは書き込みを順次行なう。各セル10のストア動作は、実施例1と同様に行ごとに行なう。制御線CTRLが行方向に延伸しているとき、制御部25は、ストア動作を行なう行に相当する制御線CTRLにストアのための電圧を印加してもよい。制御線CTRLが列方向に延伸しているとき、制御部25は、ストア動作を行なうセル10に相当する制御線CTRLにストアのための電圧を印加してもよい。ストア動作を行なうセル10はスイッチ線SR0からSR3により選択できるため、制御部25は制御線CTRLの延伸方向によらず、全ての制御線CTRLにストアのための電圧を印加してもよい。これにより、制御線CTRLに印加する電圧の複雑な制御が不要となる。その他の動作は実施例1および2と同じであり説明を省略する。実施例2の変形例1では、スイッチ線SR0が同時にハイレベルとなるセル10の個数は128個である。このため、パワースイッチ30のトランジスタのチャンネル幅を $W0 \times 128$ とする。その他の構成は実施例1および実施例2と同じであり説明を省略する。

30

40

【0108】

50

実施例 2 の変形例 1 のように、実施例 1 および実施例 2 において、通常 S R A M 動作期間においてインターリーブ動作させてもよい。

【 0 1 0 9 】

図 2 3 は、実施例 2 の変形例 2 におけるセルアレイの一部を示すブロック図である。図 2 3 では、セルアレイ 2 0 内の複数の行のうち行 0 を図示している。各行は、A 0 から A 3 1、B 0 から B 3 1、C 0 から C 3 1、および D 0 から D 3 1 の 4 つのブロックに分割されている。各ブロックのビット数は 3 2 ビットである。分割されたブロックごとにスイッチ線 S R 0 をサブスイッチ線 S R 0 a から S R 0 d に分割する。スイッチ線 S R 0 とサブスイッチ線 S R 0 a から S R 0 d の間には、各々選択回路 4 0 が設けられている。制御部 2 5 は、選択信号 S E L 0 a から S E L 0 d を出力し、スイッチ線 S R 0 から S R 3 に信号を出力する。各選択回路 4 0 には制御部 2 5 から選択信号 S E L 0 a から S E L 0 d が入力し、スイッチ線 S R 0 から S R 7 が入力する。選択回路 4 0 は A N D 回路であり、スイッチ線 S R 0 がハイレベルかつ選択信号 S E L 0 a から S E L 0 d がハイレベルのとき、サブスイッチ線 S R 0 a から S R 0 d をハイレベルとする。その他の構成は実施例 2 およびその変形例と同じであり、説明を省略する。

10

【 0 1 1 0 】

図 2 4 は、実施例 2 の変形例 2 における各セルのストア動作、スイッチ線、サブスイッチ線および仮想電源電圧 V V D D のタイミングチャートである。図 2 4 に示すように、制御部 2 5 は、時間 t 4 から t 5 のとき、サブスイッチ線 S R 0 a の信号をハイレベルとし、他のサブスイッチ線 S R 0 b から S R 0 d の信号をローレベルとする。制御部 2 5 は、A 0 から A 3 1 のセル 1 0 にストア動作を行なう。同様に、時間 t 5 から t 1 1 のとき、制御部 2 5 はサブスイッチ線 S R 0 b の信号をハイレベルとし、かつ B 0 から B 3 1 のセル 1 0 にストア動作を行なう。時間 t 1 1 から t 1 2 のとき、制御部 2 5 はサブスイッチ線 S R 0 c の信号をハイレベルとし、かつ C 0 から C 3 1 のセル 1 0 にストア動作を行なう。時間 t 1 2 から t 6 のとき、制御部 2 5 はサブスイッチ線 S R 0 d の信号をハイレベルとし、かつ D 0 から D 3 1 のセル 1 0 にストア動作を行なう。その他の動作は実施例 2 の図 1 9 と同じであり説明を省略する。

20

【 0 1 1 1 】

実施例 2 の変形例 2 では、各サブスイッチ線 S R 0 a から S R 0 d に接続されているセル 1 0 の個数は 3 2 個である。このため、パワースイッチ 3 0 のトランジスタのチャンネル幅を  $W 0 \times 3 2$  とする。

30

【 0 1 1 2 】

図 2 5 は、実施例 2 の変形例 3 におけるセルアレイの一部を示すブロック図である。図 2 5 では、セルアレイ 2 0 内の複数の行のうち行 0 を図示している。図 2 5 に示すように、サブスイッチ線 S R 0 a をサブスイッチ線 S R 0 a 0 から S R 0 a 7 に分割する。同様にサブスイッチ線 S R 0 b から S R 0 d を、それぞれサブスイッチ線 S R 0 b 0 から S R 0 b 7、サブスイッチ線 S R 0 c 0 から S R 0 c 7、およびサブスイッチ線 S R 0 d 0 から S R 0 d 7 に分割する。サブスイッチ線 S R 0 a とサブスイッチ線 S R 0 a 0 から S R 0 a 7、S R 0 b 0 から S R 0 b 7、S R 0 c 0 から S R 0 c 7、および S R 0 d 0 から S R 0 d 7 の間には、各々選択回路 4 1 が設けられている。制御部 2 5 は、選択信号 S R \_\_ d e v 0 から S R \_\_ d e v 7 を出力する。各選択回路 4 1 には制御部 2 5 から選択信号 S R \_\_ d e v 0 から S R \_\_ d e v 7 が入力し、選択回路 4 0 からサブスイッチ線 S R 0 a から S R 0 d が入力する。選択回路 4 1 は A N D 回路であり、サブスイッチ線 S R 0 a から S R 0 d がハイレベルかつ選択信号 S R \_\_ d e v 0 から S R \_\_ d e v 7 がハイレベルのとき、サブスイッチ線 S R 0 a 0 から S R 0 d 7 をハイレベルとする。その他の構成は実施例 2 の変形例 2 と同じであり、説明を省略する。

40

【 0 1 1 3 】

実施例 2 の変形例 3 では、各サブスイッチ線 S R 0 a 0 から S R 0 d 7 に接続されているセル 1 0 の個数は 4 個である。このため、パワースイッチ 3 0 のトランジスタのチャンネル幅を  $W 0 \times 4$  とすることができる。

50

## 【 0 1 1 4 】

実施例 2 の変形例において、インターリーブの段数が 4 段の場合を例に説明したが、インターリーブの段数は任意に設定できる。実施例 2 の変形例 3 において、サブスイッチ線 S R 0 a から S R 0 d を各々 8 分割する例を説明したが、任意の数に分割できる。

## 【 0 1 1 5 】

1 つの行を複数のブロックに分割するとき、実施例 2 のように、複数のブロック 4 2 のそれぞれは、同じ行内の連続したセル 1 0 を含むように分割してもよい。また、実施例 2 の変形例 2 および 3 のように、複数のブロックのそれぞれは、同じ行内の周期的に配列されたセルを含んでもよい。実施例 2 の変形例 2 および 3 では、インターリーブ動作するときセクタ 4 4 が選択するセル 1 0 のグループ A 0 から A 3 1 等と、同じスイッチ線に接続されるセル 1 0 のグループ A 0 から A 3 1 等と、を対応させている。インターリーブ動作のセルのグループと同じスイッチ線に接続されるグループは異なってもよい。また、インターリーブ動作しない記憶回路において、複数のブロックのそれぞれは、同じ行内の周期的に配列されたセルを含んでもよい。

## 【 実施例 3 】

## 【 0 1 1 6 】

実施例 3 は、時間分割ストア制御によるストアフリーシャットダウン・アーキテクチャの例である。

## 【 0 1 1 7 】

図 2 6 は、実施例 3 における判定回路とセルとのブロック図である。図 2 6 に示すように、制御線 C T R L に判定回路 5 0 が接続されている。判定回路 5 0 は制御線 C T R L の信号に基づきマッチ信号を出力する。例えば、マッチ信号は、セル 1 0 内の双安定回路 1 2 のデータと、M T J 1 および M T J 2 のデータと、が一致するか否かを示す信号である。判定回路 5 0 は、セル 1 0 内の 2 つの M T J 1 および M T J 2 のデータを区別せず同時に判定を行なう。例えば、仮想電源方式では、判定回路 5 0 は、双安定回路 1 2 のハイレベルのノードに反平行状態の M T J が接続し、ローレベルのノードに平行状態の M T J が接続されていれば、データが一致と判定する。仮想接地方式では、判定回路 5 0 は、双安定回路 1 2 のハイレベルのノードに平行状態の M T J が接続し、ローレベルのノードに反平行状態の M T J が接続されていれば、データが一致と判定する。判定回路 5 0 は、制御線 C T R L の電圧に基づきマッチ信号を出力してもよいし、制御線 C T R L の電流に基づきマッチ信号を出力してもよい。制御部は、マッチ信号が一致を示す場合、セル 1 0 のストア動作を行わずシャットダウンし（ストアフリーシャットダウン）、マッチ信号が不一致を示す場合セル 1 0 のストア動作を行なう。N V - S R A M セル 1 0 の詳細は、図 1 と同じであり説明を省略する。

## 【 0 1 1 8 】

図 2 7 は、実施例 3 における判定回路とセルとの別の例を示すブロック図である。図 2 7 に示すように、N V - S R A M セル 1 0 の詳細は、実施例 1 の図 1 と同じであり説明を省略する。判定回路 5 0 は、読出回路 5 6 および検出回路 5 8 を備えている。読出回路 5 6 は、双安定回路 1 2 のデータを読み出す。検出回路 5 8 は、読出回路 5 6 の出力、制御線 C T R L 1 および C T R L 2 の信号に基づき、マッチ信号およびエラー信号を出力する。エラー信号は、M T J 1 と M T J 2 とのデータがエラーか否かを示す信号である。例えば M T J 1 と M T J 2 がともに平行状態の場合またはともに反平行状態の場合は、エラーである。マッチ信号が一致を示し、かつエラー信号がエラーでないことを示す場合、制御部は、セル 1 0 のストア動作を行わずシャットダウンする（ストアフリーシャットダウン）。その他の場合、制御部はセル 1 0 のストア動作を行なう。N V - S R A M セル 1 0 の詳細は、図 1 と同じであり説明を省略する。

## 【 0 1 1 9 】

図 2 6 および図 2 7 において、ストアフリーシャットダウンにより、双安定回路 1 2 のデータと、M T J 1 および M T J 2 のデータと、が一致する場合、ストア動作を行わないことにより、ストア動作時の消費電力を抑制できる。

## 【 0 1 2 0 】

図 2 6 および図 2 7 の判定回路 5 0 をセル 1 0 ごとに配置すると、周辺回路の規模が大きくなる。実施例 3 では、判定回路 5 0 を列ごとに配置する。また、行を複数のブロックに分割する。ストア動作時に、ブロックごとに、セルの不揮発性素子にストアされたデータとストアするデータとを比較する。ブロック内で少なくとも 1 つのセルでデータが異なる場合のみ、ブロック内のセルのストア動作を行なう。全てのデータが一致する場合にはストア動作を省略する。これにより、ストア動作にともなう消費電力を大幅に削減して、B E T を大きく削減することができる。

## 【 0 1 2 1 】

図 2 8 は、実施例 3 における記憶回路を示すブロック図である。図 2 8 は、図 2 6 の判定回路 5 0 を用いる例である。図 2 8 に示すように、記憶回路において、列ごとに判定回路 5 0 が設けられている。セル 1 0 ごとに選択回路 4 0 が設けられている。同じ列（例えば列 0）のセル 1 0 は制御線（例えば C T R L 0 0）を共有する。判定回路 5 0 は、制御線 C T R L 0 0 の信号に基づき、列 0 のマッチ信号を出力する。マッチ信号は、列 0 の各行の選択回路 4 0 に入力する。選択回路 4 0 は、スイッチ線 S R 0 が選択され、かつマッチ信号が不一致を示す場合、サブスイッチ線 S R 0 0 にセル 1 0 の M O S F E T m 7 および m 8 をオンする信号を出力する。一方、選択回路 4 0 は、スイッチ線 S R 0 が選択されていない場合とマッチ信号が一致を示す場合とのいずれかの場合、サブスイッチ線 S R 0 0 にセル 1 0 の M O S F E T m 7 および m 8 をオフする信号を出力する。O R 回路 6 0 は、列 0 から 7 のマッチ信号の O R 信号を制御部 2 5 に出力する。

## 【 0 1 2 2 】

選択信号 S E L 0 が行 0 の選択回路 4 0 に入力する。選択信号 S E L 0 0 はマッチ信号によらずサブスイッチ線 S R 0 0 を選択する信号である。例えばサブスイッチ線 S R 0 0 の信号 = (スイッチ線 S R 0 の信号) AND [ (選択信号 S E L 0 0) OR (マッチ信号) ] である。最初に判定を行なうときには、選択信号 S E L 0 を用いてサブスイッチ線 S R 0 0 から S R 0 7 を活性化する。次からは、マッチ信号を用いサブスイッチ線 S R 0 0 から S R 0 7 を選択して、ストア動作を行なう。図 2 8 では、同じ行の選択回路 4 0 に共通の選択信号 S E L 0 の線を接続しているが、選択回路 4 0 ごとに別の選択信号線を接続してもよい。数個の選択回路 4 0 ごとに共通の選択信号線を接続してもよい。図 2 8 では、スイッチ線および選択信号の線をそれぞれ 2 本記載しているが、行の数を N としたとき、スイッチ線 S R 0 から S R N - 1、および選択信号 S E L 0 から S E L N - 1 の線が設けられている。図 3 0 から図 3 3 も同様である。また、選択信号 S E L 0 0 から S E L 0 7 を行方向に共通化し選択信号 S E L 0 とし、選択信号 S E L 1 0 から S E L 1 7 を行方向に共通化し選択信号 S E L 1 としているが、図 2 0 のように、選択信号を列方向に共通化し、列方向に選択信号の線を配線してもよい。図 3 0 から図 3 3 も同様である。

## 【 0 1 2 3 】

図 2 9 は、実施例 3 におけるスイッチ線、制御線およびマッチ信号のタイミングチャートである。図 2 9 に示すように、時間 t 8 においてストア動作が開始されると、制御部 2 5 は、制御線 C T R L 0 0 から C T R L 0 7 をそれぞれ浮遊状態とし、スイッチ線 S R 0 をハイレベルとし、他のスイッチ線 S R 1 をローレベルとし、選択信号 S E L 0 をハイレベルとし、他の選択信号 S E L 1 から S E L N - 1（図 2 9 には不図示、S E L 1 については図 2 8 を参照）をローレベルにする。これにより、サブスイッチ線 S R 0 0 から S R 0 7 が活性化され、ハイレベルとなる。制御線 C T R L 0 0 から C T R L 0 7 は、行 0 内のそれぞれ列 0 から 7 のセル 1 0 のデータの一致か不一致かにより異なるレベルとなる。判定回路 5 0 は、制御線 C T R L 0 0 から C T R L 0 7 のレベルに基づき、マッチ信号を出力する。制御部 2 5 は、選択信号 S E L 0 をローレベルとする。これにより、選択回路 4 0 は、マッチ信号が不一致を示すサブスイッチ線 S R 0 0 から S R 0 7 をハイレベルとし、マッチ信号が一致を示すサブスイッチ線 S R 0 0 から S R 0 7 をローレベルとする。

## 【 0 1 2 4 】

時間 t 9 において、制御部 2 5 は、制御線 C T R L 0 0 から C T R L 0 7 をローレベル

10

20

30

40

50

としその後ハイレベルとする。これにより、行 0 のうち、マッチ信号が不一致を示すセル 1 0 はストア動作し、他のセル 1 0 はストア動作しない。時間  $t_{10}$  において、行 0 のストア動作が終了すると、制御部 2 5 は、スイッチ線  $S R 0$  をローレベルとし、スイッチ線  $S R 1$  をハイレベルとする。その後、制御部 2 5 は、行 1 以降を順次ストア動作する。

【 0 1 2 5 】

なお、図 2 9 では、判定回路 5 0 は、選択信号  $S E L 0$  がローレベルになった以降にマッチ信号を出力しているが、判定回路 5 0 は、選択信号  $S E L 0$  がハイレベルの間にマッチ信号を出力してもよい。判定回路 5 0 または選択回路 4 0 は、マッチ信号を所望の期間保持してもよい。これより、判定回路 5 0 は、所望の期間マッチ信号を出力することができる。

10

【 0 1 2 6 】

図 2 8 では、判定回路 5 0 を列ごとに配置できるため、セル 1 0 ごとに判定回路 5 0 を設置するのに比べ、判定回路 5 0 の占有面積を削減できる。また、ストアを行なわなくてもよいセル 1 0 のストア動作を行なわない。よって、ストア動作のパワーを削減でき、 $B E T$  を削減できる。

【 0 1 2 7 】

図 3 0 は、実施例 3 の変形例 1 における記憶回路を示すブロック図である。図 3 0 に示すように、実施例 2 の図 1 7 と同様に各行が複数のブロック 4 2 に分割されている。ブロック 4 2 内の判定回路 5 0 から出力されたマッチ信号が  $O R$  回路 6 0 に入力する。マッチ信号の  $O R$  信号が選択回路 4 0 および制御部 2 5 に入力する。このため、あるスイッチ線（例えば  $S R 0$ ）が選択されているときに、判定回路 5 0 がブロック 4 2 内のセル 1 0 のうち 1 つでもデータの不一致を示すマッチ信号を出力すると、サブスイッチ線（例えば  $S R 0 0$ ）は、ハイレベルとなる。これにより、ブロック 4 2 内のセル 1 0 は全てストア動作する。判定回路 5 0 がブロック 4 2 内のセル 1 0 の全てについてデータの一致を示すマッチ信号を出力すると、サブスイッチ線（例えば  $S R 0 0$ ）は、ローレベルとなる。これにより、ブロック 4 2 内のセル 1 0 はストア動作しない。最初に判定を行なう場合には、選択信号  $S E L 0$  から  $S E L N - 1$  を用い、サブスイッチ線  $S R 0 0 - S R 0 7$  を活性化する。その他の構成は図 2 8 と同じであり説明を省略する。

20

【 0 1 2 8 】

実施例 3 の変形例 1 では、選択回路 4 0 をブロック 4 2 ごと配置できる。これにより、実施例 3 に比べ選択回路 4 0 等の周辺回路を削減できる。また、ストアを行なわなくてもよいブロック 4 2 のストア動作を行なわない。よって、ストア動作のパワーを削減でき、 $B E T$  を削減できる。

30

【 0 1 2 9 】

図 3 1 は、実施例 3 の変形例 2 における記憶回路を示すブロック図である。図 3 1 に示すように、列 0 から 3 で判定回路 5 0 を共有し、列 4 から 7 で判定回路 5 0 を共有している。判定回路 5 0 は、制御線  $C T R L 0 0$  から  $C T R L 0 3$ （または  $C T R L 0 4$  から  $C T R L 0 7$ ）に接続され、かつ選択されたサブスイッチ線  $S R 0 0$  に接続される 4 つのセル 1 0 の全てのデータが一致か不一致かを判定する。最初に判定を行なう場合には、選択信号  $S E L 0$  から  $S E L N - 1$  を用い、サブスイッチ線  $S R 0 0 - S R 0 7$  を活性化する。

40

【 0 1 3 0 】

図 3 2 は、実施例 3 の変形例 3 における記憶回路を示すブロック図である。図 3 2 に示すように、列 0 から 7 で判定回路 5 0 を共有している。判定回路 5 0 は、制御線  $C T R L 0 0$  から  $C T R L 0 7$  に接続され、かつ選択されたサブスイッチ線  $S R 0 0$  に接続される 8 つのセル 1 0 の全てのデータが一致か不一致かを判定する。その他の構成は図 3 0 と同じであり説明を省略する。

【 0 1 3 1 】

実施例 3 の変形例 2 および 3 によれば、ブロック 4 2 内の複数の列で判定回路 5 0 を共有できる。これにより、実施例 3 の変形例 1 より判定回路 5 0 を削減でき、占有面積を削

50

減できる。また、ストアを行なわなくてもよいブロック42のストア動作を行なわない。よって、ストア動作のパワーを削減でき、BETを削減できる。

【0132】

図33は、実施例3の変形例4における記憶回路を示すブロック図である。図33は、図27において説明したように判定回路50として読出回路56および検出回路58を用いる例である。図33に示すように、列方向に制御線CTRL00からCTRL07、ビット線BL00およびBLB00からBL07およびBLB07が設けられている。制御線CTRL00の片方はセル10のMTJ1に、他方はMTJ2に接続されている。列0の読出回路56はビット線BL00およびBLB00からセル10の双安定回路12のデータを読み出す。検出回路58は、読出回路56の出力および制御線CTRL00からCTRL07の信号に基づき、マッチ信号とエラー信号を出力する。OR回路60はマッチ信号をOR処理する。最初に判定を行なう場合には、選択信号SEL0からSELN-1を用い、サブスイッチ線SR00-SR07を活性化する。その他の構成は、実施例3の変形例1と同じであり、説明を省略する。

10

【0133】

実施例3およびその変形例1から3では、MTJ1とMTJ2にストアされているデータがエラーか否かを検出できない。実施例3の変形例4によれば、MTJ1とMTJ2にストアされているデータがエラーか否かを検出できる。実施例3およびその変形例2および3の判定回路50を、実施例3の変形例4の判定回路50とすることもできる。

20

【0134】

実施例3およびその変形例1から4によれば、NV-SRAMセル10が、各々共通のスイッチ線SR0からSRN-1に接続された複数の行0からN-1と各々共通の制御線CTRL00からCTRLM-1に接続された複数の列0からM-1とに配列されている。判定回路50は、同じ制御線(例えばCTRL00)に接続されるセル10に対し共通に設けられている。判定回路50は、対応する制御線CTRL00の信号に基づき、制御線CTRL00に接続されたセル10内の双安定回路12とMTJ1およびMTJ2とのデータが一致か不一致かを判定する。選択回路40は、データが不一致のとき、制御線CTRL00に接続されたセル10内のMOSFETm7およびm8をオンさせる。選択回路40は、データが一致のとき、制御線CTRL00に接続されたセル10内のMOSFETm7およびm8をオフさせる。これにより、判定回路50を制御線ごとに配置することができる。よって、判定回路50の占有面積を削減できる。

30

【0135】

実施例3の変形例1から4によれば、1つの行が各々複数のセル10を含む複数のブロック42に分割されている。選択回路40は、対応するブロック42内の複数のセル10のデータの少なくとも一つが不一致のとき、対応するブロック42内のMOSFETm7およびm8をオンさせる。選択回路40は、対応するブロック42内の複数のセル10のデータの全てが一致のとき、対応するブロック42内のMOSFETm7およびm8をオフさせる。これにより、選択回路40はブロック42に共通に配置することができる。よって、選択回路40の占有面積を削減できる。また、ストアを行なわなくてもよいブロック42のストア動作を行なわない。よって、ストア動作のパワーを削減でき、BETを削減できる。

40

【0136】

実施例3の変形例2および3によれば、判定回路50は、ブロック42内の複数の制御線に共通に設けられている。これにより、判定回路50の占有面積をより削減することができる。

【0137】

実施例3の変形例4によれば、判定回路50は、セル10の双安定回路12のデータと一对の制御線CTRL00の信号と、に基づき、データの一致か不一致かを判定する。これにより、セル10内的一对のMTJ1とMTJ2にストアされたデータがエラーか否かを判定することができる。

50

【0138】

実施例2で説明したブロック42を実施例3の変形例1から4のブロックとすることができる。

【0139】

MTJ1およびMTJ2がノードQおよびQBにそれぞれ接続される例を説明したが、ノードQまたはQBにMTJ1およびMTJ2のいずれか一方が接続されていればよい。不揮発性素子としてMTJを例に説明したが、不揮発性素子としては巨大磁気抵抗素子、ReRAMに用いられるような可変抵抗素子、または、PRAMに用いられる相変化素子を用いることができる。

【0140】

実施例1から実施例3およびその変形例において、各信号のハイレベルおよびローレベルを、各回路を適切に設計することにより、それぞれローレベルおよびハイレベルとしてもよい。

【実施例4】

【0141】

実施例4は、スイッチ線に印加する電圧を変更する例である。図34(a)および図34(b)は、実施例1から4およびその変形例におけるセルの回路図である。図34(a)は、仮想電源方式の例であり、図34(b)は、仮想接地方式の例である。図34(a)に示すように、双安定回路12には電源線26および接地線27が接続されている。仮想電源方式では、パワースイッチ30は電源線26に接続し、電源電圧VDDを降圧し電源線26に電圧VDDを供給する。電源線26の電圧VDDと接地線27の電圧VGN Dとの差がセル10の電源に供給される電圧となる。制御部25は、パワースイッチ30に電圧VDDの変更を指示する。制御部25は、制御線CTRLの電圧VCTRLおよびスイッチ線SRの電圧VSRを出力する。その他のセル10の構成は、図1と同じであり説明を省略する。セル10以外の記憶回路の構成は、実施例1から3およびその変形例と同じであり、説明を省略する。

【0142】

図34(b)に示すように、仮想接地方式では、パワースイッチ30は接地線27に接続し、接地電圧VGN Dを昇圧し、接地線27に電圧VVGN Dを供給する。電源線26の電圧VDDと接地線27の電圧VVGN Dとの差がセル10の電源に供給される電圧となる。制御部25は、パワースイッチ30に電圧VVGN Dの変更を指示する。MOSFETm7およびm8はpチャネルFETである。MTJ1およびMTJ2におけるフリー層17とピン層19との接続関係が図34(a)とは逆である。その他の構成は、図34(a)と同じであり説明を省略する。

【0143】

以下、図34(a)に示した仮想電源方式について説明する。仮想電源方式では、MOSFETm7およびm8はnチャネルFETである。まず、実施例1について、図12(a)および図12(b)と同じシーケンスを用いシミュレーションを行なった。シミュレーションにおいて、FETは20nmノードのFin-FETとした。時間tSLを100nsとした。表1は、実施例1におけるスリープ期間、通常SRAM動作期間(ノーマル期間)、ストア期間、シャットダウン期間およびリストア期間における各電源線26の電圧VDD、制御線CTRLの電圧VCTRLおよびスイッチ線SRの電圧VSRを示す表である。

【表1】

	スリープ	ノーマル	ストア	シャットダウン	リストア
VVDD [V]	0.7	0.9	0.9	0	0.9
VCTRL [V]	0.07	0.07	0   0.55	0	0
VSR [V]	0	0	0.65	0	0.65

10

20

30

40

50

## 【 0 1 4 4 】

表 1 に示すように、スリープ期間、通常 S R A M 動作期間、ストア期間、シャットダウン期間およびリストア期間における電圧  $V_{DD}$  は、それぞれ 0.7 V、0.9 V、0.9 V、0 V および 0.9 V である。上記各期間の電圧  $V_{CTRL}$  は、それぞれ 0.07 V、0.07 V、0.55 V (0 V)、0 V および 0 V である。ストア期間において、電圧  $V_{CTRL}$  として 0 V を印加後 0.55 V を印加している。上記各期間の電圧  $V_{SR}$  は、それぞれ 0 V、0 V、0.65 V、0 V および 0.65 V である。スリープ期間、および通常 S R A M 動作期間において、電圧  $V_{CTRL}$  を 0 V ではなく 0.07 V としているのは、M O S F E T m 7 および m 8 のリーク電流を抑制するためである。M T J 1 および M T J 2 が反転する電流密度を  $J_c = 5 \text{ MA} / \text{cm}^2$  とし、ストア期間に M T J 1 および M T J 2 に流れる電流が  $J_c$  の 1.5 倍となるように、電圧  $V_{CTRL}$  および  $V_{SR}$  をそれぞれ 0.55 V および 0.65 V とした。接地電圧  $V_{GND}$  は 0 V である。

10

## 【 0 1 4 5 】

図 3 5 ( a ) および図 3 5 ( b ) は、実施例 1 における  $n_{RW}$  に対する B E T を示す図である。図 3 5 ( a ) は、図 7 のようにストアする行以外の電源電圧をスリープ期間の電圧とした場合 (以下、ストア前後スリープ動作という) のシミュレーション結果である。図 3 5 ( b ) は、図 8 のようにストアする前の行の電源電圧をスリープ期間の電圧とし、ストア後の行をシャットダウンした場合 (以下、ストア前スリープおよびストア後シャットダウン動作という) のシミュレーション結果である。 $n_{RW}$  は、リード、ライトおよびスリープの繰り返し回数であり、B E T はブレークインタイムである。列 M を 3 2 とした。図 3 5 ( a ) および図 3 5 ( b ) 内の各線は、矢印方向に行 N を 3 2、2 5 6、5 1 2、1 0 2 4 および 2 0 4 8 としている。

20

## 【 0 1 4 6 】

図 3 5 ( a ) に示すように、行 N が増加すると、B E T は大きくなる。 $n_{RW}$  が  $10^2$  以下の領域 A では、B E T は  $n_{RW}$  にほとんど依存しない。この領域は、B E T がストア動作およびリストア動作に律速される領域である。 $n_{RW}$  が  $10^2$  以上の領域 B では、B E T は  $n_{RW}$  が大きくなると大きくなる。この領域は、B E T が通常 S R A M 動作に律速される領域である。

## 【 0 1 4 7 】

図 3 5 ( b ) に示すように、図 3 5 ( a ) に比べストア後にシャットダウンすることにより領域 A での B E T が小さくなる。特に行 N が大きいとき、B E T が小さくなる。このように、ストア後のシャットダウンにより、B E T を小さくできる。これは、消費電力が削減できたことを示している。以上のように、実施例 1 においては、消費電力を削減できる。

30

## 【 0 1 4 8 】

図 3 6 ( a ) および図 3 6 ( b ) は、実施例 1 においてストアフリーの割合を変えたときの  $n_{RW}$  に対する B E T を示す図である。図 3 6 ( a ) は、ストア前後スリープ動作におけるシミュレーション結果である。図 3 6 ( b ) は、ストア前スリープおよびストア後シャットダウン動作におけるシミュレーション結果である。実施例 3 およびその変形例のようなストアフリーシャットダウン・アーキテクチャを実施例 1 に適用した場合をシミュレーションした。ストアフリーは、全てのセル 1 0 のうちストアを行なわないセル 1 0 の割合を示している。ストアフリーが 0 % は、全てのセル 1 0 においてストア動作を行なうことを示している。ストアフリーが 1 0 0 % は、全てのセル 1 0 においてストア動作を行なわないことを示している。ストアフリーが 5 0 % は、半分のセル 1 0 でストア動作を行ない、残りの半分のセル 1 0 でストア動作を行なわないことを示している。

40

## 【 0 1 4 9 】

図 3 6 ( a ) に示すように、ストア前後スリープ動作において、ストアフリーの割合が増え、特に領域 A において B E T が小さくなる。図 3 6 ( b ) に示すように、ストア前スリープおよびストア後シャットダウン動作において、ストアフリーの割合が大きくなると、B E T は大幅に減少する。このように、実施例 3 およびその変形例を実施例 1 に適

50

用することにより、消費電力を削減できる。

【0150】

領域AにおけるBETを小さくするためには、通常SRAM動作期間におけるMOSFETm7およびm8を介したリーク電流を削減することが重要である。図37(a)および図37(b)は、通常SRAM動作期間におけるそれぞれ電圧VCTRLおよびVSRに対するリーク電流 $I_{L}^{NV}$ を示す図である。リーク電流 $I_{L}^{NV}$ は図3に示す通常SRAM動作期間のNV-SRAMセル1個あたりのリーク電流である。ドットはシミュレーション結果、実線はドットを結ぶ線である。破線は、図3に示す通常SRAM動作期間の6T-SRAMのリーク電流である。図37(a)において、電圧VVDDを0.9V、電圧VSRを0V、図37(b)において、電圧VVDDを0.9V、電圧VCTRLを0Vとしている。

10

【0151】

図37(a)に示すように、リーク電流 $I_{L}^{NV}$ はいずれの電圧VCTRLでも6T-SRAMのリーク電流 $I_{L}^V$ より大きい。リーク電流 $I_{L}^{NV}$ が最も小さくなる電圧VCTRLは0.07Vである。これにより、表1におけるスリープ期間、通常SRAM動作期間およびリストア期間の電圧VCTRLを0.07Vとしている。

【0152】

図37(b)に示すように、電圧VSRを0Vより低くすると、リーク電流 $I_{L}^{NV}$ が小さくなる。電圧VSRが約-0.14V以下では、リーク電流 $I_{L}^{NV}$ はほぼ6T-SRAMのリーク電流 $I_{L}^V$ と同じとなる。

20

【0153】

実施例4では、通常SRAM動作期間およびスリープ期間において電圧VSRを接地線27の電圧VGND(0V)より低くする。これにより、消費電力を削減する。表2は、実施例4におけるスリープ期間、通常RAM動作期間(ノーマル期間)、ストア期間、シャットダウン期間およびリストア期間における各電圧VVDD、VCTRLおよびVSRを示す表である。

【表2】

	スリープ	ノーマル	ストア	シャットダウン	リストア
VVDD [V]	0.7	0.9	0.9	0	0.9
VCTRL [V]	0	0	0	0.55	0
VSR [V]	-0.2	-0.2	0.65	0	0.65

30

【0154】

表2に示すように、スリープ期間、通常SRAM動作期間およびリストア期間における電圧VCTRLを0Vとしている。スリープ期間および通常SRAM動作期間における電圧VSRを接地線27の電圧VGNDより低い-0.2Vとしている。その他の電圧は表1と同じであり説明を省略する。

【0155】

図38(a)および図38(b)は、実施例4におけるnRWに対するBETを示す図である。図38(a)は、ストア前後スリープ動作におけるシミュレーション結果である。図38(b)は、ストア前スリープおよびストア後シャットダウン動作におけるシミュレーション結果である。図38(a)および図38(b)を図36(a)および図36(b)と比較すると、領域BにおいてBETが小さくなっている。このように、実施例4では、スリープ期間および通常SRAM動作期間におけるMOSFETm7およびm8を介したリーク電流が抑制される。これにより、消費電力を抑制できる。

40

【0156】

以上、図34(a)の仮想電源方式の例に実施例4における各電圧を説明した。実施例4は、図34(b)に示した仮想接地方式でもよい。仮想接地方式では、MOSFETm7およびm8はpチャネルFETである。MOSFETm7およびm8がpチャネルFET

50

Tのときは、スリープ期間および通常SRAM動作期間においてMOSFETm7およびm8のゲートに電源線26の電圧VDDより高い電圧VSRを印加する。これにより、MOSFETm7およびm8を介したリーク電流が抑制される。

【0157】

以上のように、実施例4によれば、制御部25は、通常SRAM動作期間（双安定回路12にデータを揮発的に書き込みおよび読み出しを行なう第1期間）において双安定回路12に電源線26の電圧VVDDまたはVDDおよび接地線27の電圧VGNDDまたはVVGNDDが供給されている。このとき、MOSFETm7およびm8のゲートに印加される電圧VSRを、MOSFETm7およびm8がnチャンネルFETの場合接地線27の電圧VGNDDより低くし、pチャンネルFETの場合電源線26の電圧VDDより高くする。これにより、MOSFETm7およびm8を介したリーク電流を抑制できる。なお、第1期間には、双安定回路12にデータを揮発的に書き込みおよび読み出しを行なうときの電源線26および接地線27の電圧とそれぞれ同じ電圧が電源線26および接地線27に印加されているスタンバイの期間を含めてもよい。

10

【0158】

制御部25は、スリープ期間（双安定回路12のデータが維持され電源線26の電圧と接地線の電圧との差が通常SRAM動作期間における電源線の電圧と接地線の電圧との差より小さくする第2期間）においても、MOSFETm7およびm8のゲートに印加される電圧VSRを、MOSFETm7およびm8がnチャンネルFETの場合接地線27の電圧VGNDDより低くし、pチャンネルFETの場合電源線26の電圧VDDより高くしてもよい。

20

【0159】

実施例4の変形例1は、リストア期間における電圧VSRを低くする例である。仮想電源方式を例に説明する。表3は、実施例4の変形例1におけるスリープ期間、ノーマル動作期間、ストア期間、シャットダウン期間およびリストア期間における各電圧VDD、VCTRLおよびVSRを示す表である。

【表3】

	スリープ	ノーマル	ストア	シャットダウン	リストア
VVDD [V]	0.7	0.9	0.9	0	0.9
VCTRL [V]	0	0	0	0.55	0
VSR [V]	-0.2	-0.2	0.65	0	0.2

30

【0160】

表3に示すように、リストア期間における電圧VSRをストア期間における電圧VSRより低い0.2Vとしている。その他の電圧は表2と同じであり説明を省略する。

【0161】

図39(a)および図39(b)は、実施例4の変形例1におけるnRWに対するBETを示す図である。図39(a)は、ストア前後スリープ動作におけるシミュレーション結果である。図39(b)は、ストア前スリープおよびストア後シャットダウン動作におけるシミュレーション結果である。図39(a)および図39(b)を図38(a)および図38(b)と比較すると、ストア前スリープおよびストア後シャットダウン動作の領域Aにおいてストアフリーの割合が大きいときにBETが小さくなっている。このように、実施例4の変形例1では、ストア期間およびリストア期間における消費電力を抑制できる。

40

【0162】

実施例4の変形例1において、仮想接地方式でもよい。すなわち、MOSFETm7およびm8はpチャンネルFETでもよい。MOSFETm7およびm8がpチャンネルFETのときは、リストア期間の電圧VSRをストア期間の電圧VSRより高くすればよい。

【0163】

50

実施例 4 の変形例 1 によれば、制御部 2 5 は、リストア期間に MOS FET m 7 および m 8 ゲートに印加される電圧 V S R を、ストア期間に MOS FET m 7 および m 8 ゲートに印加される電圧 V S R より、n チャンネル F E T の場合低くし、p チャンネル F E T の場合高くする。これにより、リストア期間における消費電力を抑制できる。

【 0 1 6 4 】

実施例 4 およびその変形例 1 として、実施例 1 のようにストア前後スリープ動作またはストア前スリープおよびストア後シャットダウン動作を行なう場合を例に説明した。このような動作以外において、実施例 4 およびその変形例を用いてもよい。

【 0 1 6 5 】

以上、本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【符号の説明】

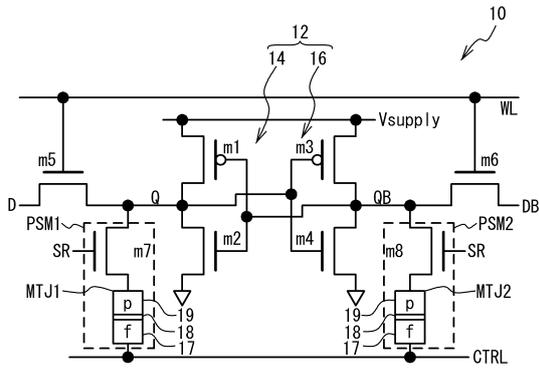
【 0 1 6 6 】

1 0          セル  
 1 2          双安定回路  
 2 0          セルアレイ  
 2 5          制御部  
 2 6          電源線  
 2 7          接地線  
 3 0          パワースイッチ  
 4 0          選択回路  
 5 0          判定回路  
 S R 0 - S R 7    スイッチ線  
 S R 0 0 - S R 7 3    サブスイッチ線  
 C T R L 0 0 - C T R L 0 7    制御線

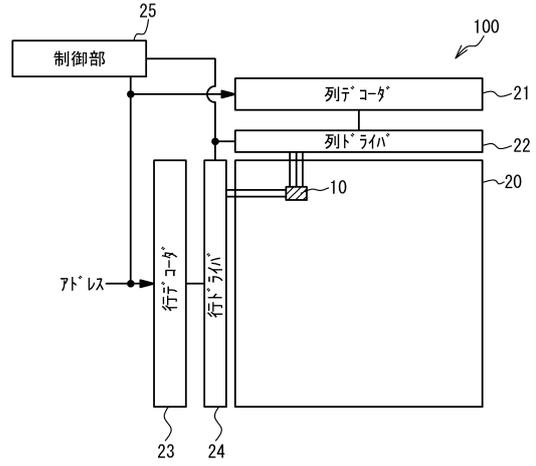
10

20

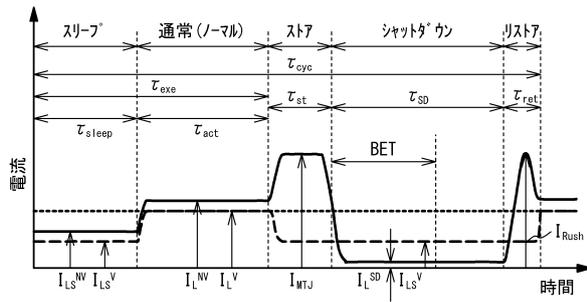
【図1】



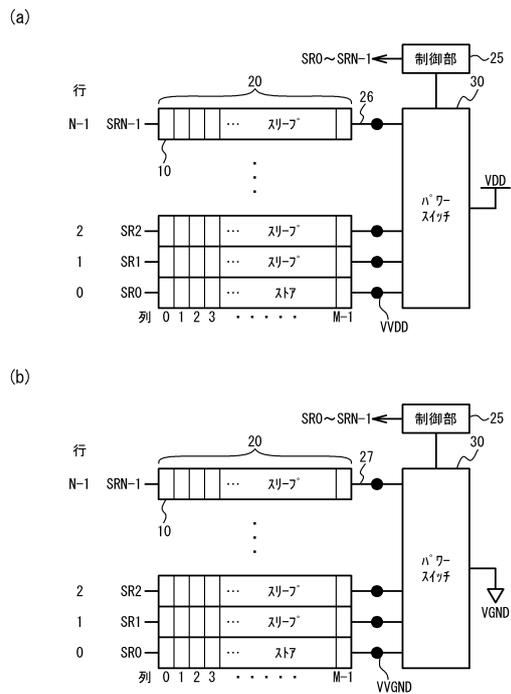
【図2】



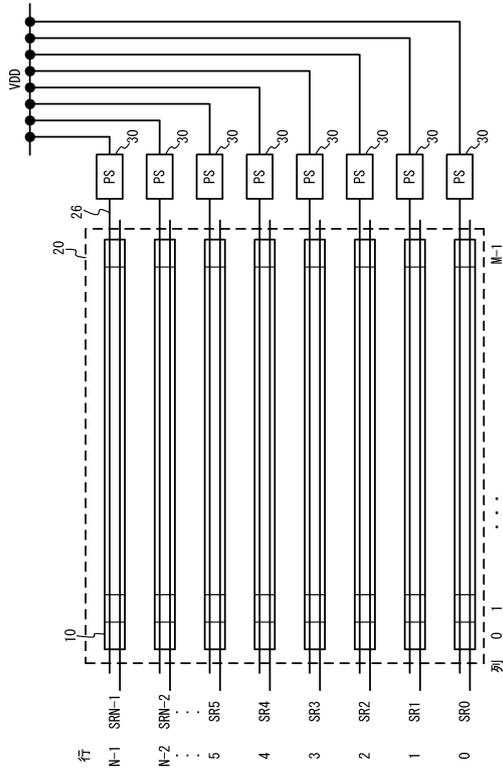
【図3】



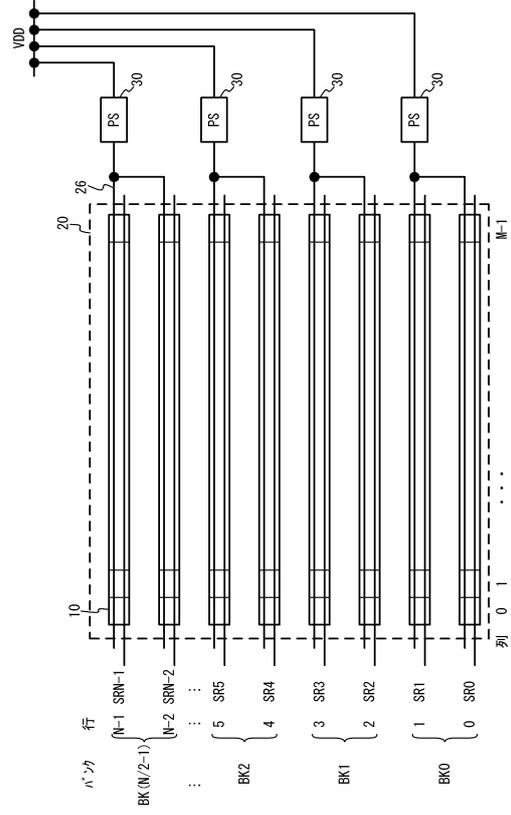
【図4】



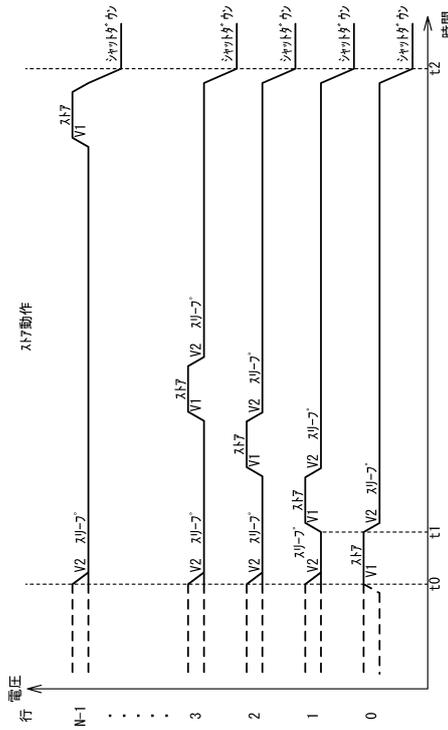
【図5】



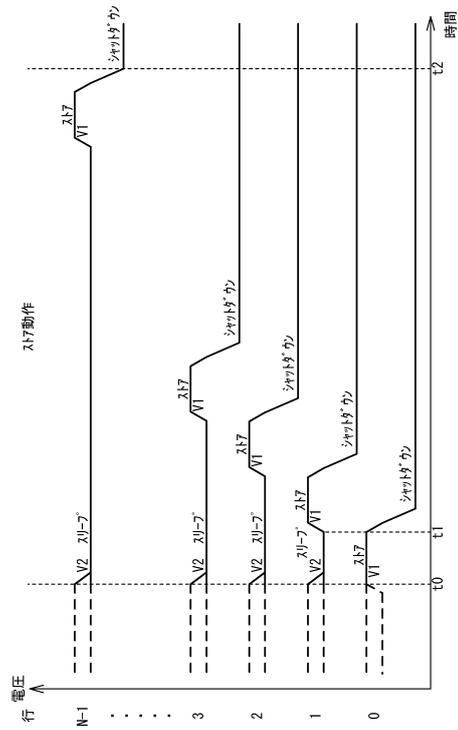
【図6】



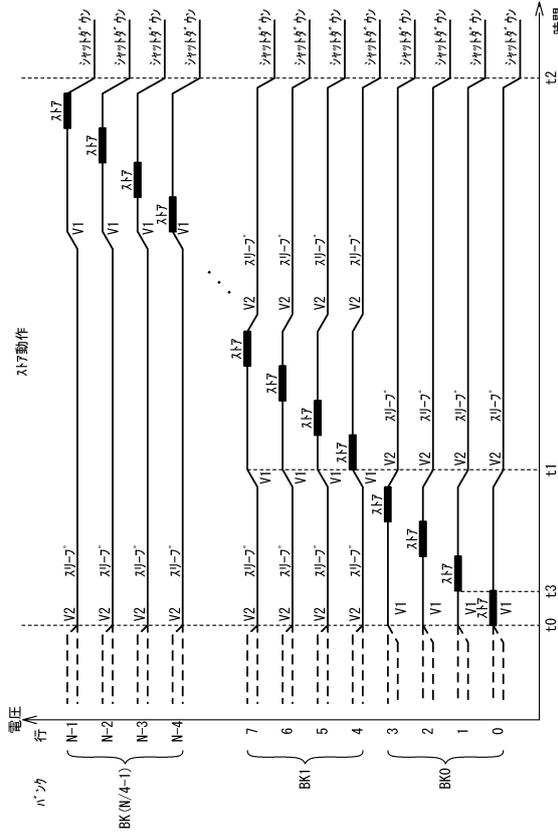
【図7】



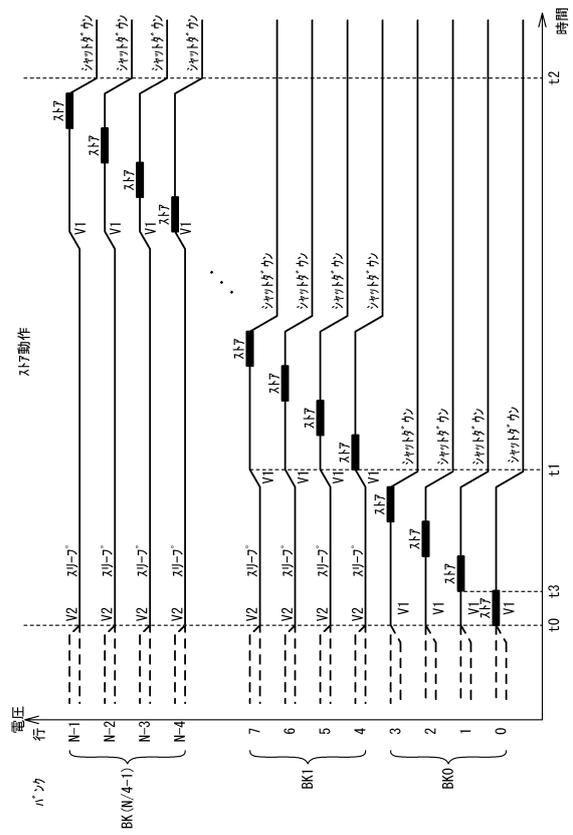
【図8】



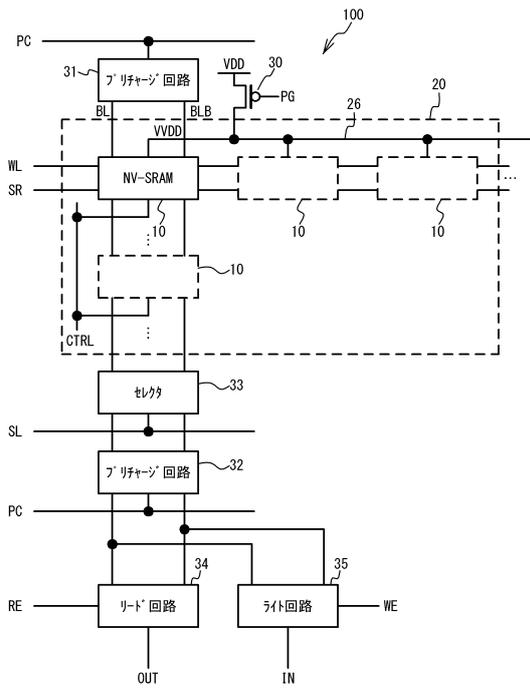
【図9】



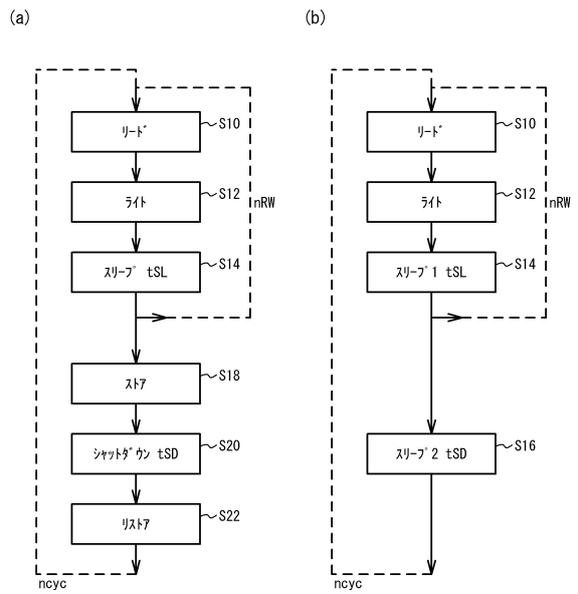
【図10】



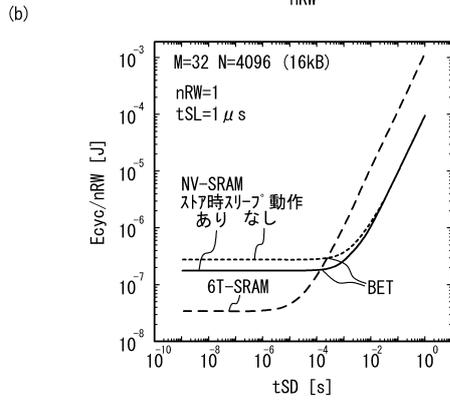
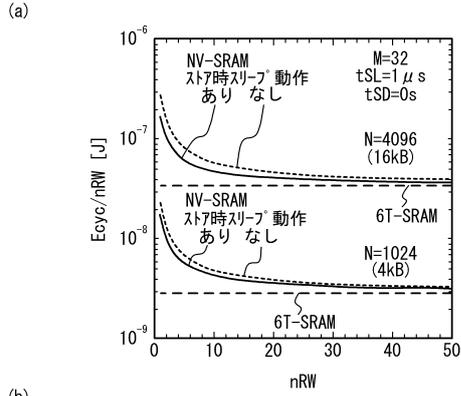
【図11】



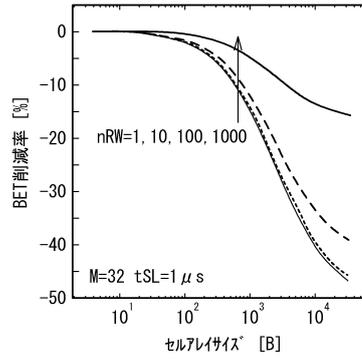
【図12】



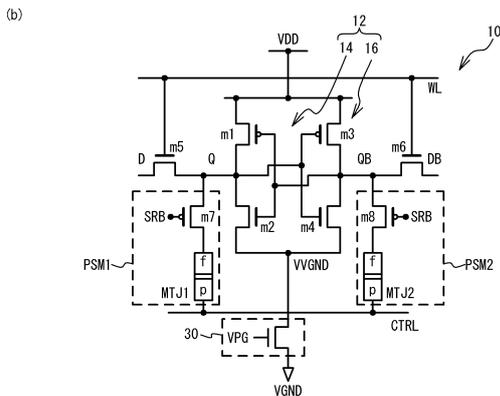
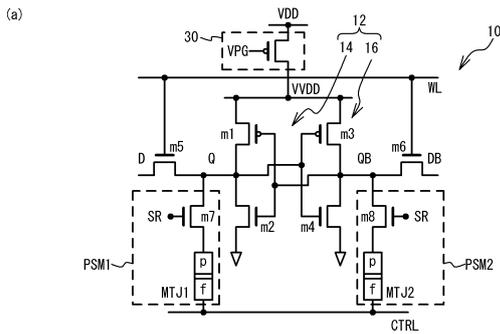
【図13】



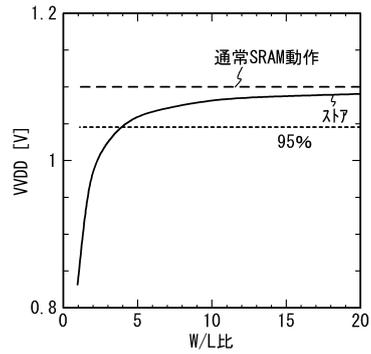
【図14】



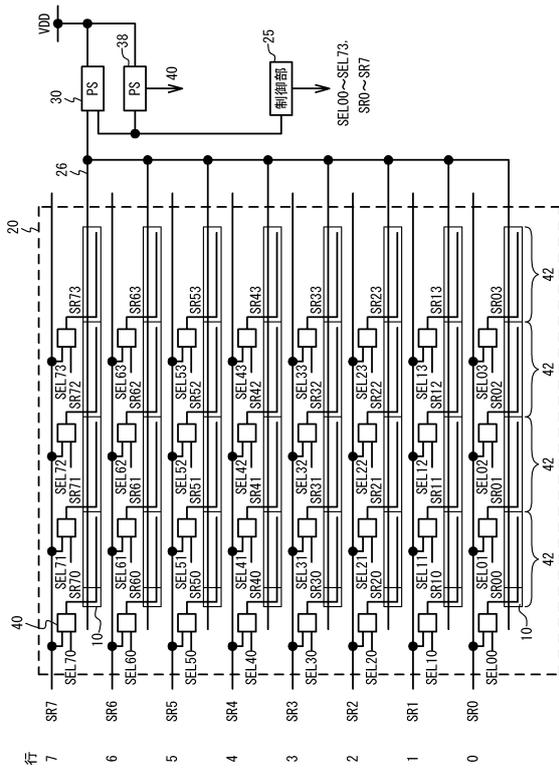
【図15】



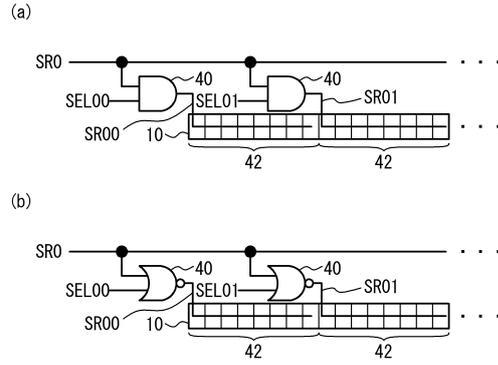
【図16】



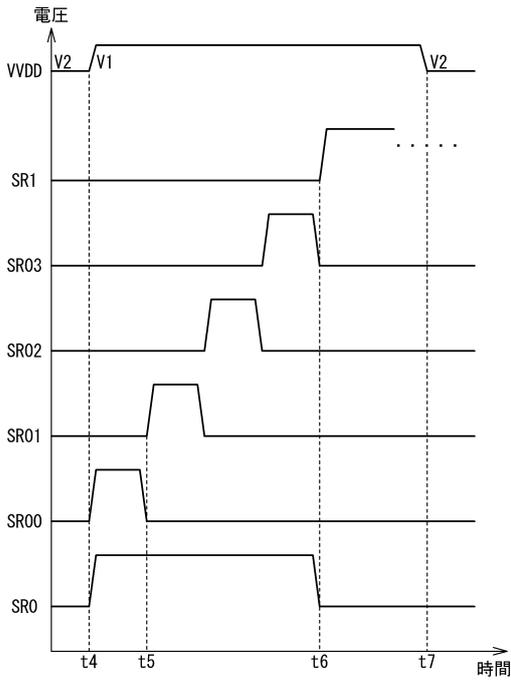
【図17】



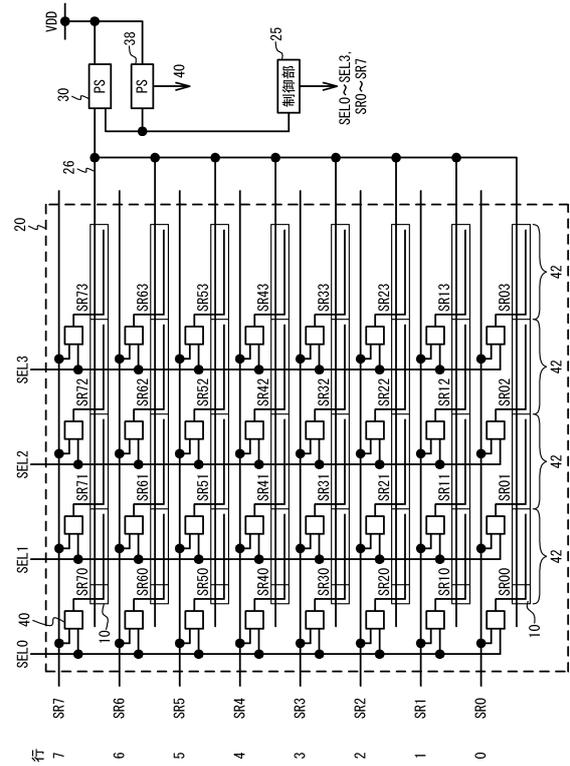
【図18】



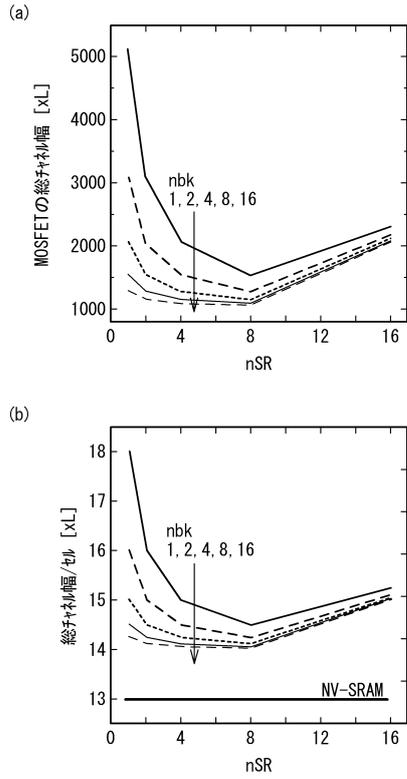
【図19】



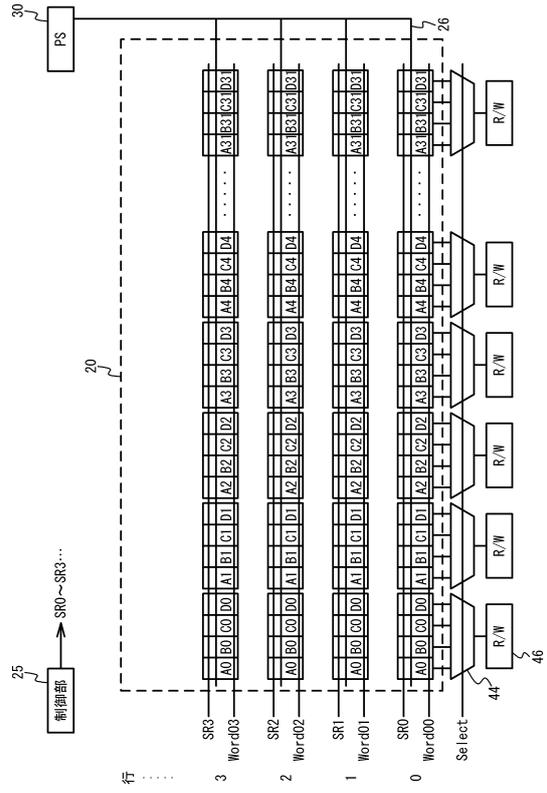
【図20】



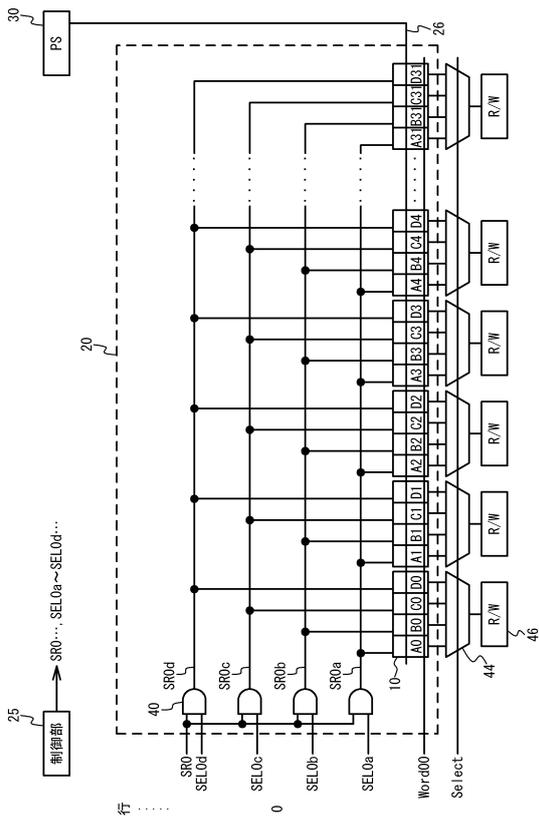
【図 2 1】



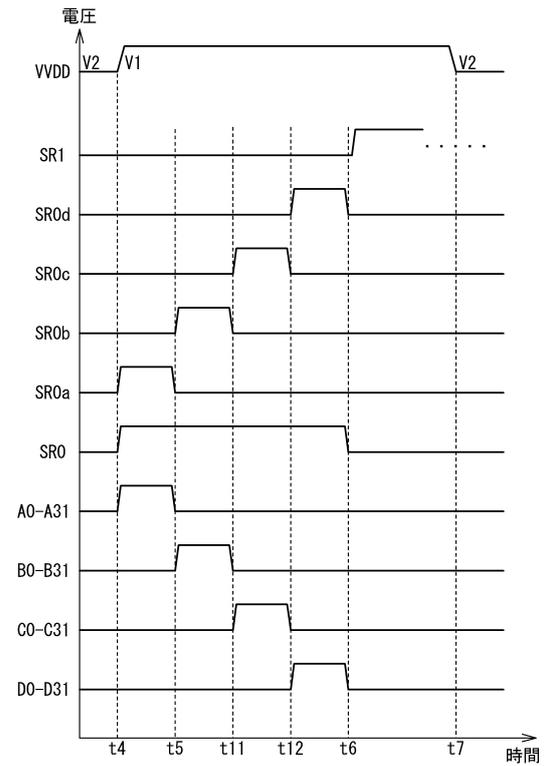
【図 2 2】



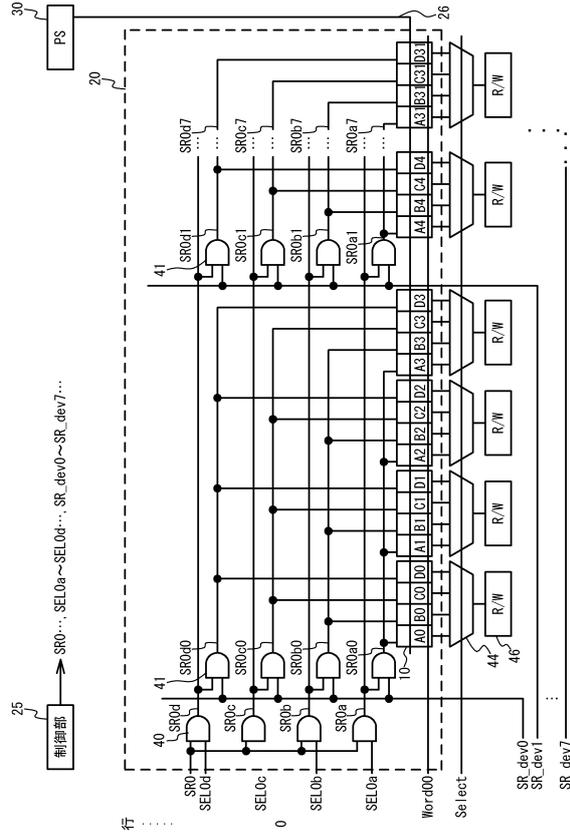
【図 2 3】



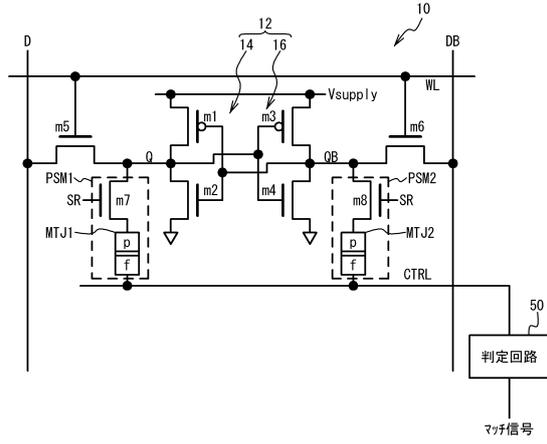
【図 2 4】



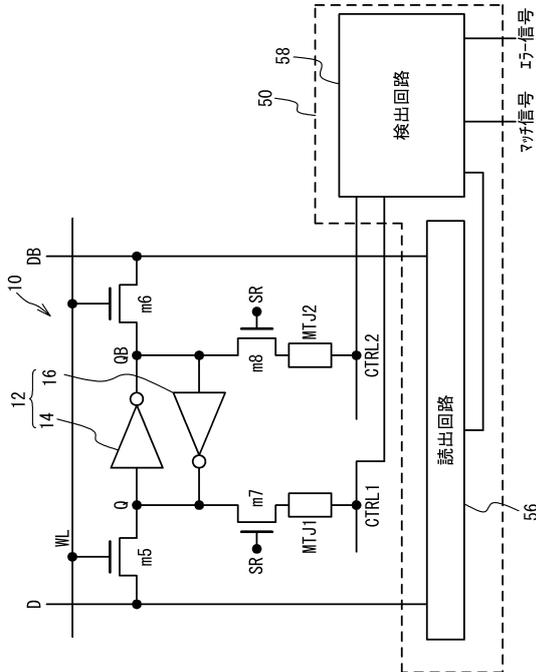
【図 25】



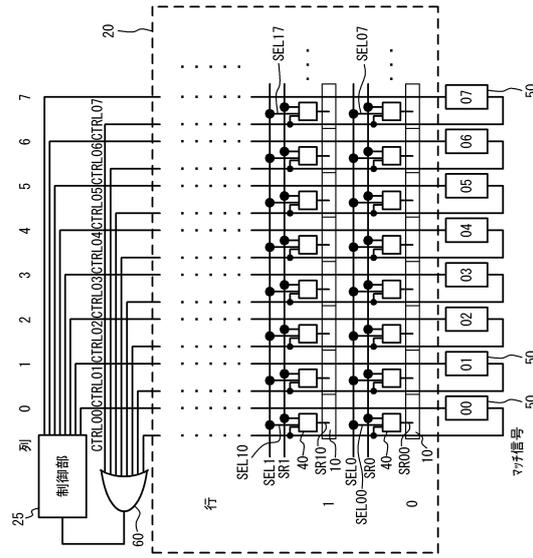
【図 26】



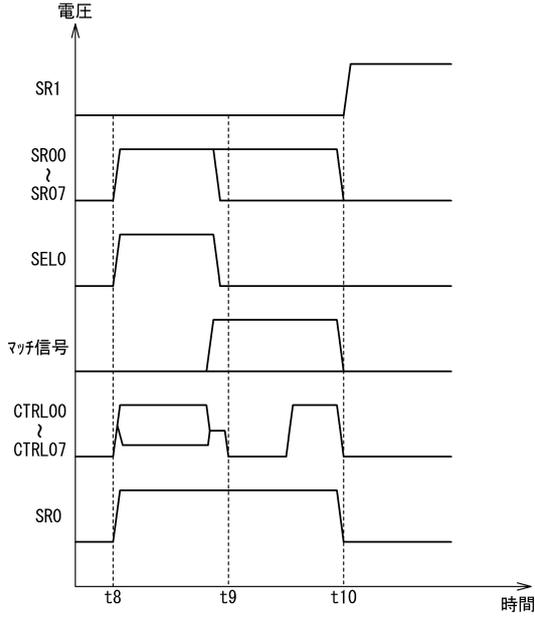
【図 27】



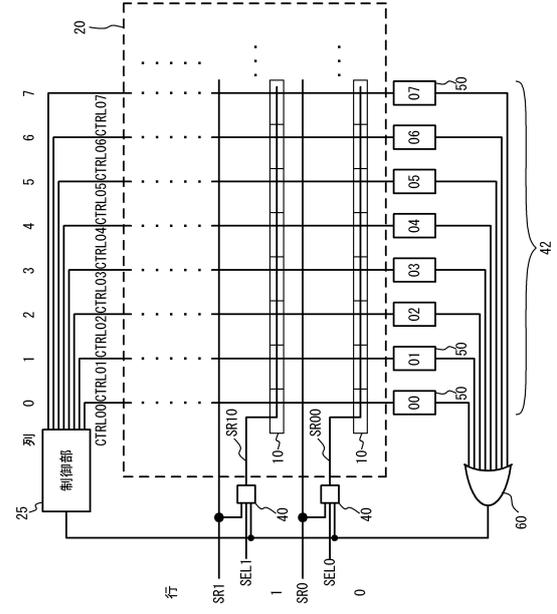
【図 28】



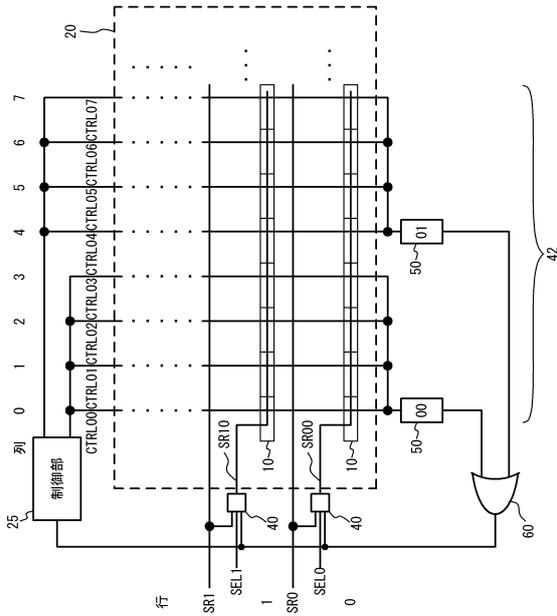
【図 29】



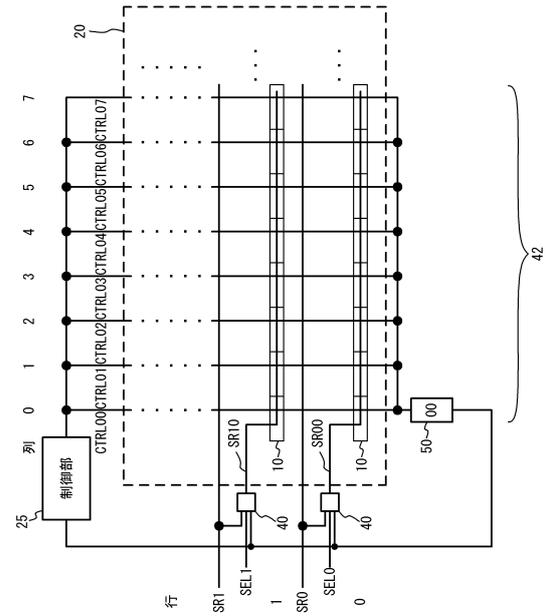
【図 30】



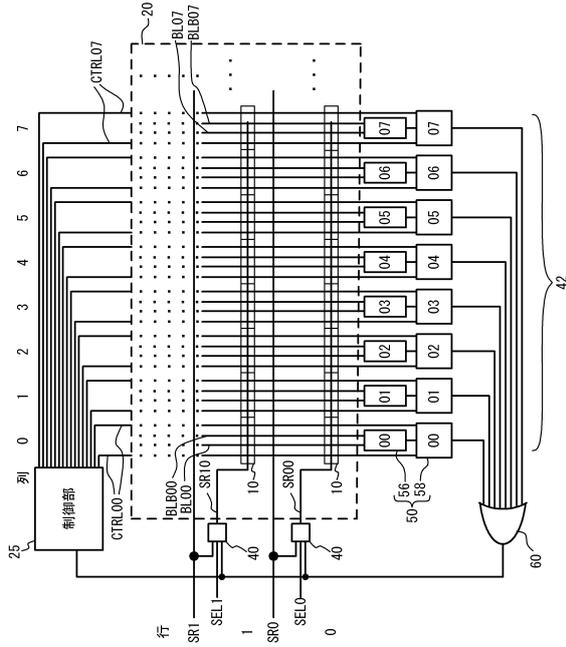
【図 31】



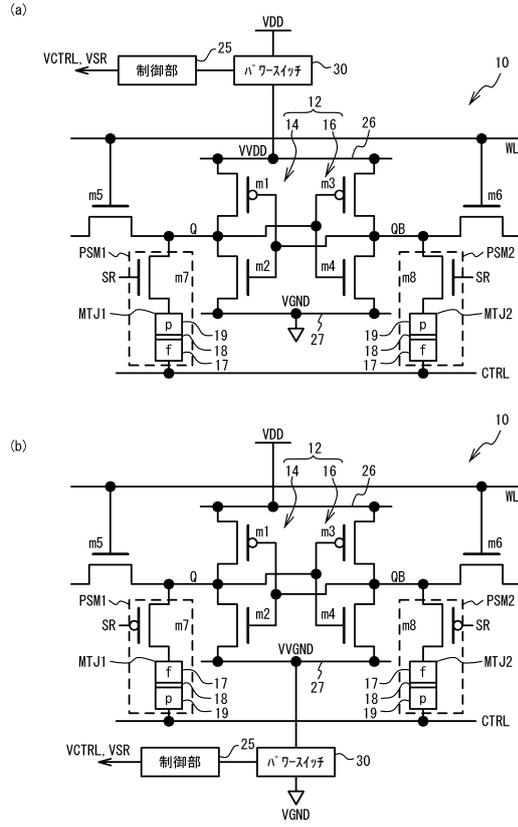
【図 32】



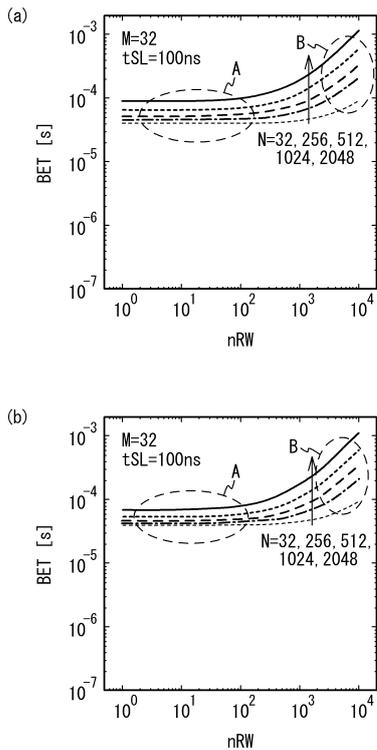
【図 3 3】



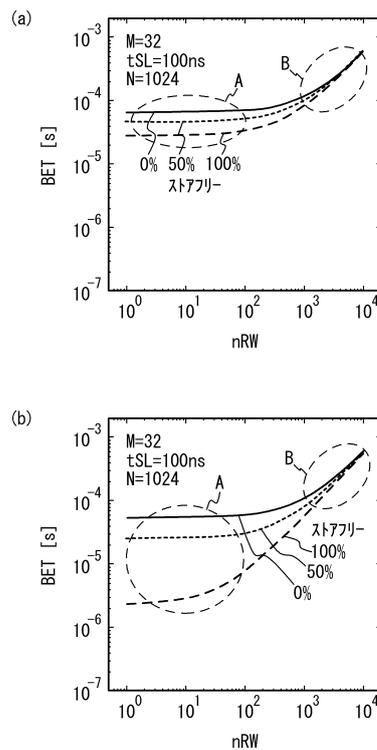
【図 3 4】



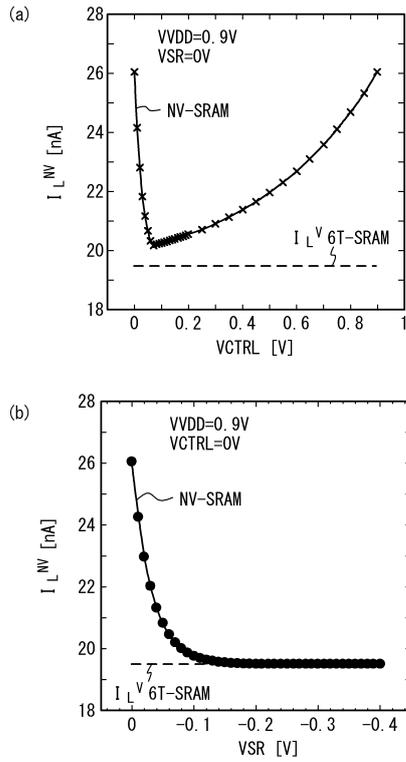
【図 3 5】



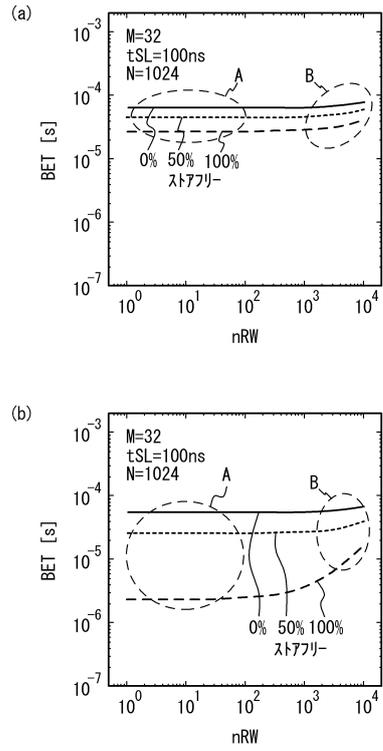
【図 3 6】



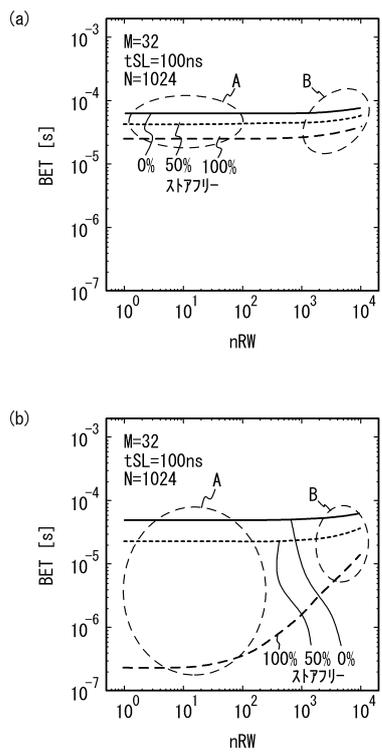
【 図 3 7 】



【 図 3 8 】



【 図 3 9 】



---

フロントページの続き

- (72)発明者 菅原 聡  
神奈川県横浜市緑区長津田町4 2 5 9 国立大学法人東京工業大学内
- (72)発明者 周藤 悠介  
神奈川県横浜市緑区長津田町4 2 5 9 国立大学法人東京工業大学内
- (72)発明者 山本 修一郎  
神奈川県横浜市緑区長津田町4 2 5 9 国立大学法人東京工業大学内

審査官 後藤 彰

- (56)参考文献 国際公開第2 0 1 3 / 1 7 2 0 6 6 ( W O , A 1 )  
特開2 0 1 3 - 3 0 2 4 0 ( J P , A )  
特開2 0 1 3 - 6 2 3 1 9 ( J P , A )  
国際公開第2 0 1 3 / 1 7 2 0 6 5 ( W O , A 1 )  
国際公開第2 0 1 5 / 0 4 1 3 0 5 ( W O , A 1 )

- (58)調査した分野(Int.Cl. , DB名)  
G 1 1 C 1 4 / 0 0  
G 1 1 C 5 / 1 4