(19) 日本国特許庁 (JP)			(12)特許 2			公報(B2)		(11) 特許番号	
								特	件第6095083号 (P6095083)
(45)発行日	平成295	≢3月15日 (2017.3	. 15)				(24)登録日	平成29年2月	24日 (2017.2.24)
(51) Int.Cl.			FΙ						
H01L	29/06	(2006.01)	Н	101 L	29/0	6	601N		
H01L	29/20	(2006.01)	Н	101 L	29/2	20			
H01L	29/66	(2006.01)	Н	101 L	29/6	6	Т		
H01L	21/336	(2006.01)	Н	101 L	29/7	8	3 O 1 B		
HO1L	29/78	<b>(2006</b> .01)	Н	101 L	29/7	8	301J		
							請求項の数 8	(全 23 頁)	● 最終頁に続く
(21) 出願番号		特願2015-544804	4 (P2015-54	14804)	(73)特	許権者	504173471		
(86) (22) 出願日		平成26年10月29	日(2014.10	). 29)			国立大学法人	北海道大学	
(86) 国際出願番号		PCT/JP2014/005463					北海道札幌市	i北区北8条西	i5丁目
(87) 国際公開番号		W02015/064094			(73)特	(73)特許権者 503360115			
(87) 国際公開日		平成27年5月7日(2015.5.7)					国立研究開発	法人科学技術	振興機構
審査請求日		平成28年3月17日 (2016.3.17)					埼玉県川口市	「本町四丁目1	番8号
(31) 優先権主張番号		特願2013-226675 (P2013-226675)			(74) 代	理人	100105050		
(32) 優先日		平成25年10月31	日(2013.10	).31)			弁理士 鷲田	公一	
(33) 優先権主張国		日本国(JP)			(72) 発	明者	福井 孝志		
							北海道札幌市	1北区北8条西	i5丁目 国立大
							学法人北海道	[大学内	
					(72) 発	明者	富岡 克広		
							埼玉県川口市	ĭ本町4−1−	8 川口センタ
							ービル 国立	研究開発法人	科学技術振興機
							構内		
									最終頁に続く

(54) 【発明の名称】 III-V族化合物半導体ナノワイヤ、電界効果トランジスタおよびスイッチ素子

(57)【特許請求の範囲】

【請求項1】

I I I - V 族化合物半導体からなるナノワイヤであって、
 その側面が微小な(111)面で構成される(-110)面であり、
 その側面のラフネスが1~6原子層の範囲内である、
 I I I - V 族化合物半導体ナノワイヤ。

【請求項2】

その側面が(111)A面である第1の層と、その側面が(111)B面である第2の 層とが、軸方向に沿って交互に積層されている、請求項1に記載のIII-V族化合物半 導体ナノワイヤ。

【請求項3】

その側面における(111)A面の割合は、50%を超え、100%未満である、請求 項1または請求項2に記載のIII-V族化合物半導体ナノワイヤ。

【請求項4】

前記第1の層および前記第2の層は、それぞれ1~5原子層からなり、かつそのうちの 90%以上が1~3原子層からなる、請求項2に記載のIII-V族化合物半導体ナノワ イヤ。

【請求項6】

前記III - V族化合物半導体は、InAs、InP、GaAs、GaN、InSb、GaSb、AlSb、AlGaAs、InGaAs、InGaN、AlGaN、GaNA

10

s、InAsSb、GaAsSb、InGaSb、AlInSb、InGaAlN、Al InGaP、InGaAsP、GaInAsN、InGaAlSb、InGaAsSbま たはAlInGaPSbである、請求項1~4のいずれか一項に記載のIII-V族化合 物半導体ナノワイヤ。

【請求項7】

(111)面を有し、第1導電型にドープされたIV族半導体基板と、

前記 I V 族半導体基板の(111)面上に配置された I I I - V 族化合物半導体ナノワ イヤであって、前記 I V 族半導体基板の(111)面に接続された第1の領域と、前記第 1導電型または前記第1導電型と異なる第2導電型にドープされた第2の領域とを含む I I I - V 族化合物半導体ナノワイヤと、

10

20

前記III-V族化合物半導体ナノワイヤの側面に配置されたゲート誘電体膜と、 前記IV族半導体基板に接続されたソース電極およびドレイン電極から選択されるいず れか一方と、

前記III-V族化合物半導体ナノワイヤの第2の領域に接続されたソース電極および ドレイン電極から選択されるいずれか他方と、

前記ゲート誘電体膜上に配置され、前記IV族半導体基板の(111)面と前記III - V族化合物半導体ナノワイヤとの界面に電界を作用させるゲート電極と、

を有し、

前記III-V族化合物半導体ナノワイヤは、請求項1~4および請求項6のいずれか 一項に記載のIII-V族化合物半導体ナノワイヤである、

電界効果トランジスタ。

【請求項8】

トンネル電界効果トランジスタである、請求項7に記載の電界効果トランジスタ。

【請求項9】

請求項7または請求項8に記載の電界効果トランジスタを含むスイッチ素子。

【発明の詳細な説明】

【技術分野】

[0001]

本発明は、III-V族化合物半導体ナノワイヤ、前記III-V族化合物半導体ナノワイヤ を有する電界効果トランジスタ(以下「FET」という)、および前記FETを有するス 30 イッチ素子に関する。

【背景技術】

[0002]

半導体マイクロプロセッサおよび高集積回路は、金属 - 酸化膜 - 半導体電界効果トランジスタ(以下「MOSFET」という)などの素子を半導体基板上に集積して製造される。一般的には、相補型MOSFET(以下「CMOS」という)が集積回路の基本素子(スイッチ素子)となる。半導体基板の材料には、IV族半導体であるシリコンが主として使用される。CMOSを構成するトランジスタを小型化することで、半導体マイクロプロセッサおよび高集積回路の集積度および性能を向上させることができる。

【0003】

シリコンの代わりにIII-V族化合物半導体を使用したMOSFET(以下「III-V族 化合物半導体MOSFET」という)も開発されている。III-V族化合物半導体MOS FETでは、III-V族化合物半導体と酸化膜との界面において化学結合状態に特有な欠 陥が形成されてしまい、界面準位が高密度に導入されてしまう。このため、III-V族化 合物半導体MOSFETの高性能化は困難であった。

[0004]

ところが、近年、酸化物材料の原子層堆積(ALD)技術の進展により、界面準位密度 がある程度低いIII-V族化合物半導体MOSFETを作製できるようになってきた。界 面準位密度を低減するための技術としては、例えば、硫化物水溶液による表面処理や、表 面エッチング、中間層の導入、異なる種類の酸化物の使用などが提案されている(例えば

、非特許文献1~4参照)。 【先行技術文献】 【非特許文献】 [0005]【非特許文献1】H. D. Trinh, et al., "The influences of surface treatment and ga s annealing conditions on the inversion behaviors of the atomic layer deposition Al203/n In0.53Ga0.47As metal oxide semiconductor capacitor", Appl. Phys. Lett., Vol. 97, pp. 042903 1 042903 3. 【非特許文献 2】E. 0 ' Connor, et al., "A systematic study of (NH4)2S passivation (22%, 10%, 5%, or 1%) on the interface properties of the Al203/In0.53Ga0.47As/I nP system for n type and p type In0.53Ga0.47As epitaxial layers", J. Appl. Phys. , Vol. 109, pp. 024101 1 024101 10. 【非特許文献 3】Y. D. Wu, et al., "Engineering of threshold voltages in molecula r beam epitaxy grown Al203/Ga203(Gd203)/In0.2Ga0.8As", J. Vac. Sci. Technol. B, Vol. 28, pp. C3H10 C3H13. 【非特許文献4】Roman Engel Herbert, et al., "Metal oxide semiconductor capacito rs with ZrO2 dielectrics grown on In0.53Ga0.47As by chemical beam deposition", A ppl. Phys. Lett., Vol. 95, pp. 062908 1 062908 3. 【発明の概要】 【発明が解決しようとする課題】 [0006]しかしながら、上記非特許文献1~4に係る技術では、界面準位密度を十分に低減させ ることができず、III-V族化合物半導体MOSFETのサブスレッショルド係数を10 0mV/桁以下にすることは不可能であった。これに対し、近年のシリコンを使用したM OSFET(以下「Si-MOSFET」という)のサブスレッショルド係数は、70m >/桁前後である。したがって、Si-MOSFETと同品質の界面を有するⅢ-Ⅴ族 化合物半導体MOSFETを作製することができれば、そのⅢ-V族化合物半導体MO

SFETのサブスレッショルド係数は、70mV/桁前後になるはずである。

【0007】 本発明の目的は、小さなサブ閾値(100mV/桁以下)で動作可能なIII-V族化合 30 物半導体MOSFETおよびそれに使用されうるIII-V族化合物半導体ナノワイヤを提 供することである。

【課題を解決するための手段】

【0008】

本発明者は、周期的な双晶構造を含むようにナノワイヤを形成することで、原子レベル で平坦であり、かつ化学的に安定な(111)A面を含む側面を有するIII-V族化合物 半導体ナノワイヤを形成できることを見出した。そして、本発明者は、このIII-V族化 合物半導体ナノワイヤを用いることで、界面準位密度が小さく、小さなサブ閾値(100 mV/桁以下)で動作可能なMOSFETを製造できることを見出し、本発明を完成させ た。

【0009】

すなわち、本発明は、以下のIII-V族化合物半導体ナノワイヤに関する。 [1]III-V族化合物半導体からなるナノワイヤであって、その側面が微小な(11

1)面で構成される(-110)面である、III - V族化合物半導体ナノワイヤ。
 [2]その側面が(111)A面である第1の層と、その側面が(111)B面である
 第2の層とが、軸方向に沿って交互に積層されている、[1]に記載のIII - V族化合物
 半導体ナノワイヤ。

[3]その側面における(111)A面の割合は、50%を超え、100%未満である、[1]または[2]に記載のIII-V族化合物半導体ナノワイヤ。

[4]前記第1の層および前記第2の層は、それぞれ1~5原子層からなり、かつその 50

20

40

うちの90%以上が1~3原子層からなる、[2]に記載のⅢ-V族化合物半導体ナノ ワイヤ。

[5]その側面のラフネスが1~6原子層の範囲内である、[1]または[2]に記載 のIII - V 族化合物半導体ナノワイヤ。

[6]前記III - V族化合物半導体は、In A s、In P、G a A s、G a N、In S b、GaSb、AlSb、AlGaAs、InGaAs、InGaN、AlGaN、Ga NAS、INASSb、GaAsSb、InGaSb、AlInSb、InGaAlN、 AlInGaP、InGaAsP、GaInAsN、InGaAlSb、InGaAsS bまたはAlInGaPSbである、「1」~「5」のいずれか一項に記載のIII-V族 化合物半導体ナノワイヤ。

 $\begin{bmatrix} 0 & 0 & 1 & 0 \end{bmatrix}$ 

また、本発明は、以下の電界効果トランジスタ(FET)およびスイッチ素子に関する

[7](111)面を有し、第1導電型にドープされたIV族半導体基板と、前記IV族半 導体基板の(111)面上に配置されたIII-V族化合物半導体ナノワイヤであって、前 記IV族半導体基板の(111)面に接続された第1の領域と、前記第1導電型または前記 第1導電型と異なる第2導電型にドープされた第2の領域とを含むIII-V族化合物半導 体ナノワイヤと、前記III-V族化合物半導体ナノワイヤの側面に配置されたゲート誘電 体膜と、前記Ⅳ族半導体基板に接続されたソース電極およびドレイン電極から選択される いずれか一方と、前記III-V族化合物半導体ナノワイヤの第2の領域に接続されたソー ス電極およびドレイン電極から選択されるいずれか他方と、前記ゲート誘電体膜上に配置 され、前記IV族半導体基板の(111)面と前記III-V族化合物半導体ナノワイヤとの 界面に電界を作用させるゲート電極と、を有し、前記III-V族化合物半導体ナノワイヤ は、「1]~「6]のいずれか一項に記載のIII-V族化合物半導体ナノワイヤである、 電界効果トランジスタ。

[8]トンネル電界効果トランジスタである、[7]に記載の電界効果トランジスタ。 「9]「7]または「8]に記載の電界効果トランジスタを含むスイッチ素子。

【発明の効果】 

本発明によれば、小さなサブ閾値(100mV/桁以下)で動作可能なFET(スイッ 30 チ素子)を容易に製造することができる。本発明に係るFETを用いることで、半導体マ イクロプロセッサおよび高集積回路の電力消費量の増大を抑制しつつ、半導体マイクロプ ロセッサおよび高集積回路の集積度および性能を向上させることができる。

【図面の簡単な説明】

[0012]

【図1】図1Aは、InAsナノワイヤが周期的に配列されたシリコン基板の走査電子顕 微鏡像(斜視像)である。図1Bは、InGaAsナノワイヤが周期的に配列されたシリ コン基板の走査電子顕微鏡像(斜視像)である。

【図2】図2Aおよび図2Bは、InGaAsナノワイヤの断面の高分解透過電子顕微鏡 像である。

【図3】InAsナノワイヤの側面近傍の結晶構造を示す模式図である。

【図4】図4Aおよび図4Bは、InAsナノワイヤの側面近傍の結晶構造を示す模式図 である。

【図5】図5Aは、外径28nmのInAsナノワイヤにおける双晶の導入頻度を示すグ ラフである。図5Bは、外径60nmのInAsナノワイヤにおける双晶の導入頻度を示 すグラフである。図5Cは、外径170nmのInAsナノワイヤにおける双晶の導入頻 度を示すグラフである。

【図6】図6Aおよび図6Bは、InAsナノワイヤの側面近傍の結晶構造を示す高分解 透過電子顕微鏡像である。図6Cは、InAsナノワイヤの側面のラフネスを示すグラフ である。

10

20

40

【図7】本発明の一実施の形態に係るTFETの構成を示す断面図である。 【図8】図8A~Dは、本発明の一実施の形態に係るTFETの製造工程を示す模式図で ある。

(5)

【図9】実施例で作製したFETの構成を示す断面図である。

【図10】図10Aおよび図10Bは、実施例で作製したFETの電気特性を示すグラフ である。

【図11】図11Aおよび図11Bは、実施例で作製したFETの電気特性を示すグラフである。

【発明を実施するための形態】

## [0013]

1.電界効果トランジスタ

本発明に係る電界効果トランジスタ(FET)は、IV族半導体基板、III-V族化合物 半導体ナノワイヤ、ゲート誘電体膜、ソース電極、ドレイン電極およびゲート電極を有す る。1つのIV族半導体基板の上に複数のFETが形成されていてもよい。以下、本発明に 係るFETの代表例としてトンネル電界効果トランジスタ(TFET)について説明する が、基本的構成はその他のFETでも同じである。

【0014】

本発明に係るTFETでは、IV族半導体基板の(111)面とIII-V族化合物半導体 ナノワイヤとが界面(以下、「接合界面」とも言う)を形成する。本発明に係るTFET では、この接合界面においてトンネル現象が生じる。なお、「接合界面」とは、III-V 族化合物半導体ナノワイヤが(111)面に直接接続している部分を言う。

【0015】

IV族半導体基板は、シリコン基板やゲルマニウム基板などの、IV族半導体からなる(1 11)面を有する基板である。IV族半導体基板は、例えばシリコン(111)基板または シリコン(100)基板である。IV族半導体基板がシリコン(100)基板の場合は、( 100)面とは別に(111)面が形成されている。

[0016]

IV族半導体基板は、(111)面を含む部分を有する。この部分は、n型またはp型の いずれか一方の導電型である。この部分の導電型を「第1導電型」とも言う。したがって 、IV族半導体基板の(111)面を含む一部分のみが第1導電型を呈していてもよいし、 IV族半導体基板の全体が第1導電型を呈していてもよい。たとえば、IV族半導体基板は、 その表面が(111)面であるn型またはp型のIV族半導体層を有するIV族半導体基板で あってもよい。また、IV族半導体基板は、n型またはp型にドープされていてもよい。IV 族半導体基板にドープされるドーパントには、IV族半導体基板をn型またはp型にするド ーパントが用いられる。たとえば、IV族半導体基板をn型にするドーパントの例には、N 、P、As、SbおよびBiが含まれる。また、IV族半導体基板をp型にするドーパント の例には、B、A1、Ga、InおよびT1が含まれる。

【0017】

また、Ⅳ族半導体基板の表面には、絶縁膜が形成されていてもよい。絶縁膜の例には、 酸化シリコン膜、および、誘電率3.9以上の化合物からなる膜が含まれる。誘電率3.9 40 以上の化合物の例には、窒化シリコンおよびHfA10が含まれる。

【0018】

III - V族化合物半導体ナノワイヤは、III - V族化合物半導体からなる、直径2~10 0 nm、長さ50 nm~10µmの構造体である。III - V族化合物半導体ナノワイヤは 、例えば、IV族半導体基板の(111)面上に、その長軸が(111)面に垂直になるように配置されている。以下の説明では、ナノワイヤの長軸(以下「軸」ともいう)に沿う 面を「側面」という。III - V族化合物半導体は、2つの元素からなる半導体、3つの元 素からなる半導体、4つの元素からなる半導体、それ以上の元素からなる半導体のいずれ でもよい。

【0019】

10

20

30

2つの元素からなるIII - V族化合物半導体の例には、InAs、InP、GaAs、 GaN、InSb、GaSbおよびA1Sbが含まれる。 3つの元素からなるIII - V族 化合物半導体の例には、A1GaAs、InGaAs、InGaN、A1GaN、GaN As、InAsSb、GaAsSb、InGaAs、InGaN、A1GaN、GaN 以上の元素からなるIII - V族化合物半導体の例には、InGaA1N、A1InGaP 、InGaAsP、GaInAsN、InGaA1Sb、InGaAsSbおよびA1I nGaPSbが含まれる。

[0020]

図1は、III - V族化合物半導体ナノワイヤの例を示す走査電子顕微鏡像(斜視像)で ある。図1Aは、複数のInAsナノワイヤの走査電子顕微鏡像(斜視像)であり、図1 10 Bは、複数のInGaAsナノワイヤの走査電子顕微鏡像(斜視像)である(実施例参照 )。

【0021】

本発明に係るTFETに含まれる本発明に係るIII-V族化合物半導体ナノワイヤは、 その側面が微小な(111)面で構成される(-110)面であることを特徴とする。よ リ具体的には、本発明に係るIII-V族化合物半導体ナノワイヤでは、その側面が(11 1)A面である第1の層と、その側面が(111)B面である第2の層とが、軸方向に沿 って交互に積層されている。ここで「(111)A面」とは、表面にIII族元素が配置さ れている(111)面をいう。また、「(111)B面」とは、表面にV族元素が配置さ れている(111)面をいう。第1の層および第2の層の厚みは、それぞれ1~5原子層 (ML)程度であり、そのうちの90%以上が1~3原子層からなる。このため、本発明 に係るIII-V族化合物半導体ナノワイヤの側面のラフネスは、1~6原子層(ML)程 度である。なお、その側面における(111)A面の割合は、50%を超えていてもよい 。たとえば、側面における(111)A面の割合は、50%を超え、100%未満である 。また、側面における(111)A面の割合は、100%であってもよい。 【0022】

図2は、本発明に係るIII-V族化合物半導体ナノワイヤの断面の一例を示す高分解透 過電子顕微鏡像である。図2Aは、InGaAsナノワイヤの断面を示す高分解透過電子 顕微鏡像であり、図2Bは、図2Aにおいて破線で示される領域の拡大像である。図3お よび図4は、InAsナノワイヤの側面近傍の結晶構造を示す模式図である。図2~図4 において、上下方向がナノワイヤの軸方向に対応し、左右方向がナノワイヤの径方向に対 応する。また、図3および図4において、黒丸はInを示し、白丸はAsを示し、右側の 端部がナノワイヤの側面に対応する。

【0023】

図3に示されるように、本発明に係るIII-V族化合物半導体ナノワイヤは、双晶を含 む閃亜鉛鉱型(ZB)結晶構造である。双晶境界(第1の層と第2の層との境界に相当) では、ウルツ鉱型(WZ)結晶構造が観察される。

【0024】

また、図4Aに示されるように、本発明に係るIII-V族化合物半導体ナノワイヤの側 面は、巨視的には(-110)面である。しかしながら、図4Bに示されるように、微視 40 的に見ると、第1の層の側面は、(111)A面であり、第2の層の側面は、(111) B面である。したがって、本発明に係るIII-V族化合物半導体ナノワイヤの側面では、 微小な(111)A面と微小な(111)B面とが交互に存在する。

【 0 0 2 5 】

(111)B面では、V族元素(例えばAs)の三量体が形成されるため、ダングリン グボンドが無い。一方、(111)A面は、化学的に安定な面であるが、(111)A面 では、ダングリングボンドがむき出しになる。したがって、(111)A面は、ゲート誘 電体膜との界面形成に直接関与する面となる。

【0026】

従来のIII-Ⅴ族化合物半導体MOSFETにおいて、III-Ⅴ族化合物半導体の(-1 50

10)面の上にゲート誘電体膜を形成する場合、As-Asダイマーの形成などにより、 III-V族化合物半導体の他の面の上にゲート誘電体膜を形成する場合に比べて界面準位 密度が高くなる傾向があった。これに対し、本発明に係るTFETでは、巨視的に見れば (-110)面である面を、微小な(111)A面および(111)B面で構成している 。このように(111)A面が界面形成に寄与できるようにすることで、III-V族化合 物半導体の(-110)面の上にゲート誘電体膜を形成する場合であっても、界面準位密 度の低減を実現している。

【0027】

図5は、InAsナノワイヤにおける双晶の導入頻度(第1の層および第2の層の厚み に相当)を示すグラフである。図5Aは、外径28nmのInAsナノワイヤにおける双 晶の導入頻度を示すグラフである。図5Bは、外径60nmのInAsナノワイヤにおけ る双晶の導入頻度を示すグラフである。図5Cは、外径170nmのInAsナノワイヤにおけ における双晶の導入頻度を示すグラフである。これらのグラフでは、双晶の導入頻度をダ ブルカウントしないように、ウルツ鉱型(WZ)結晶構造から閃亜鉛鉱型(ZB)結晶構 造に変わる境界と、閃亜鉛鉱型(ZB)結晶構造からウルツ鉱型(WZ)結晶構造に変わ る境界とを区別して示している。

【0028】

図5A~図5Cに示されるように、本発明に係るIII-V族化合物半導体ナノワイヤで は、ナノワイヤの外径に関係なく、双晶境界は実質的に1~5原子層(ML)ごとに導入 されており、そのうちの90%以上が1~3原子層ごとに導入されている。すなわち、本 20 発明に係るIII-V族化合物半導体ナノワイヤでは、第1の層および第2の層は、1~5 原子層(ML)からなり、そのうちの90%以上が1~3原子層からなる。これは、III -V族化合物半導体ナノワイヤの側面のラフネスが、1~6原子層(ML)の範囲内にな ることを意味する。

[0029]

図6Aおよび図6Bは、InAsナノワイヤの側面近傍の結晶構造を示す高分解透過電 子顕微鏡像である。図6Cは、InAsナノワイヤの側面のラフネスを示すグラフである 。図6Cにおいて、横軸の-1~-6は、(111)A面が露出している部位(第1の層 )において原子層が何層積層しているかを示し、横軸の+1~+6は、(111)B面が 露出している部位(第2の層)において原子層が何層積層しているかを示す。縦軸は割合 である。図6Aおよび図6Bから、InAsナノワイヤの側面が微小な(111)A面お よび(111)B面で構成されることがわかる。また、図6Cから、InAsナノワイヤ の側面のラフネスが1~6原子層の範囲内であり、InAsナノワイヤの側面は原子レベ ルで平坦であることがわかる。

【 0 0 3 0 】

Ⅲ-V族化合物半導体ナノワイヤは、第1の領域と第2の領域を含む。第1の領域は、
 Ⅳ族半導体基板の(111)面に接合されている部分であり、(111)面上から起立している。第2の領域は、第1の領域に連続する部分である。たとえば、第1の領域は、
 Ⅲ-V族化合物半導体ナノワイヤをその長軸方向に対して二分したときの基板側の部分であり、第2の領域は、基板側とは反対側の部分である。

【0031】

第1の領域の導電型は、特に限定されない。たとえば、第1の領域の導電型は、IV族半 導体基板と同じ第1導電型であってもよいし、第2の領域と同じ第2導電型(後述)であ ってもよい。前者の場合、第1の領域における第1導電型(n型またはp型)ドーパント の濃度は、IV族半導体基板における第1導電型ドーパントの濃度未満である。後者の場合 、第1の領域における第2導電型(p型またはn型)ドーパントの濃度は、第2の領域に おける第2導電型ドーパントの濃度未満である。もちろん、第1の領域は、真性半導体で あってもよい。第1の領域をn型にするためのドーパントの例には、C、Si、Ge、S n、O、S、SeおよびPoが含まれる。第1の領域をp型にするためのドーパントの例 には、Zn、Cd、Hg、TeおよびCが含まれる。

50

40

第2の領域は、n型およびp型のうち、第1導電型とは異なる導電型を呈する。第2の 領域の導電型を「第2導電型」とも言う。たとえば、第2導電型ドーパントをドープする ことによって、第2の領域を第2導電型にすることができる。第2導電型ドーパントの種 類は、一種でも二種以上でもよい。第2の領域をn型にするためのドーパントの例には、 C、Si、Ge、Sn、O、S、SeおよびPoが含まれる。第2の領域をp型にするた めのドーパントの例には、Zn、Cd、Hg、TeおよびCが含まれる。 [0033]

(8)

なお、第2の領域の導電型をⅣ族半導体基板と同じ第1導電型とすることで、 TFET ではない一般的なFETを構成することができる(実施例参照)。すなわち、第2の領域 10 の導電型をIV族半導体基板と同じ第1導電型とすることで、一般的なFETを構成するこ とができ、第2の領域の導電型をⅣ族半導体基板とは異なる第2導電型とすることで、T FETを構成することができる。たとえば、第1導電型ドーパントをドープすることによ って、第2の領域を第1導電型にすることができる。第1導電型ドーパントの種類は、一 種でも二種以上でもよい。

[0034]

本発明に係るIII-V族化合物半導体ナノワイヤは、後述するIII-V族化合物半導体ナ ノワイヤの製造方法で製造されうる。

本発明に係るTFETの説明に戻る。ゲート誘電体膜は、II-V族化合物半導体ナノ 20 ワイヤの側面に形成されている絶縁膜である。前述のとおり、本発明に係るIII-V族化 合物半導体ナノワイヤは、原子レベルで平坦であり、かつ化学的に安定な(111)A面 を含む側面を有する。ゲート誘電体膜は、この(111)A面に対して界面準位密度が小 さい界面を形成する。ゲート誘電体膜の例には、酸化シリコン膜、および、誘電率3.9 以上の化合物からなる膜が含まれる。誘電率 3.9以上の化合物の例には、窒化シリコン およびHfA10が含まれる。

[0036]

ソース電極は、本発明に係るTFETのソース領域に接続され、ドレイン電極は、本発 明に係るTFETのドレイン領域に接続される。ソース電極およびドレイン電極は、例え ば T i / A u 合金膜や T i / A l / T i / A u 合金膜、 G e / A u / N i / A u 合金膜な どである。

ソース電極およびドレイン電極の位置は、本発明に係るTFETの構造により変わる。 たとえば、IV族半導体基板がソース領域として機能し、III-V族化合物半導体ナノワイ ヤの第2の領域がドレイン領域として機能する場合は、ソース電極は、IV族半導体基板に 接続され、ドレイン電極は、III-V族化合物半導体ナノワイヤの第2の領域に接続され る。一方、IV族半導体基板がドレイン領域として機能し、III-V族化合物半導体ナノワ イヤの第2の領域がソース領域として機能する場合は、ソース電極は、III-V族化合物 半導体ナノワイヤの第2の領域に接続され、ドレイン電極は、IV族半導体基板に接続され る。

【0038】

ゲート電極は、ゲート誘電体膜上に配置されており、IV族半導体基板とIII-V族化合 物半導体ナノワイヤとの接合界面に電界を作用させることができる。

【0039】

本発明に係るFETは、本発明の効果が得られる範囲において、前述した構成要素以外 の他の構成要素をさらに含んでいてもよい。このような他の構成要素の例には、絶縁保護 膜が含まれる。絶縁保護膜は、その厚さ方向がⅢ-Ⅴ族化合物半導体ナノワイヤの長軸 方向となるように、IV族半導体基板上に配置される。絶縁保護膜は、IV族半導体基板上の 全体に配置されてもよいし、一部に配置されてもよい。絶縁保護膜の厚さは、III-V族 化合物半導体ナノワイヤの第1の領域および第2の領域の少なくとも一部を覆う厚さであ

20

30

40

ることが、III-V族化合物半導体ナノワイヤ、ゲート誘電体膜およびゲート電極を保護 する観点から好ましい。絶縁保護膜は、電気的な絶縁性が十分に得られる観点、および、 ナノワイヤが曲がらない程度の低い粘性を有した溶液から形成されうる観点から、ベンゾ シクロブテン(BCB)層であることが好ましい。

[0040]

本発明に係るFETでは、IV族半導体基板とIII-V族化合物半導体ナノワイヤとの接 合界面は、無転位かつ無欠陥であることが好ましいが、少数の転位または欠陥を含んでい てもよい。具体的には、接合界面におけるミスフィット転位の周期は、IV族半導体とIII -V族化合物半導体との格子不整合から計算されるミスフィット転位の周期よりも大きけ ればよい。また、接合界面における貫通転位の密度は、0~10<sup>10</sup>個/cm<sup>2</sup>の範囲内 であればよい。後述する本発明に係るFETの製造方法で本発明のFETを製造すること で、基本的に無転位かつ無欠陥の接合界面を有する本発明に係るFETを製造することが できる。

[0041]

本発明に係るTFETでは、IV族半導体基板の(111)面とIII-V族化合物半導体 ナノワイヤとの接合界面がトンネル層として機能する。実施の形態に示されるように、本 発明のTFETでは、ゲート電極に正または負のバイアスを印加することで、ソース領域 (IV族半導体基板またはIII-V族化合物半導体ナノワイヤの第2の領域)内のキャリア がトンネル現象によりチャネル領域(III-V族化合物半導体ナノワイヤの第1の領域) 内に移動する(ON状態となる)。この動作は、CMOSスイッチのn型またはp型MO SFETのスイッチ動作に相当する。III-V族化合物半導体ナノワイヤを構成するIII-V族化合物半導体の種類により接合界面のエネルギー障壁の高さが変わるため、III-V 族化合物半導体の種類を変えることにより、ON状態に必要な供給電圧を任意に制御する ことができる。

【 0 0 4 2 】

本発明に係るFETは、III-V族化合物半導体ナノワイヤとゲート誘電体膜との界面 における界面順位密度が低いため、小さなサブ閾値(100mV/桁以下)で動作するこ とができる(実施例参照)。本発明に係るFETをスイッチ素子として利用することで、 半導体デバイスの消費電力を削減することができる。その結果、省エネルギーおよび環境 負荷低減も実現することができる。

【0043】

F E T の 製造方法

以下、本発明に係るFETの製造方法の代表例としてTFETの製造方法について説明 するが、基本的工程はその他のFETでも同じである。本発明に係るTFETの製造方法 は、ナノワイヤ成長ステップと、ゲート電極形成ステップと、ソース電極およびドレイン 電極形成ステップと、を含む。

【0044】

「ナノワイヤ成長ステップ」は、IV族半導体基板における第1導電型を呈する(111 )面上から、III-V族化合物半導体ナノワイヤを成長させるステップである。ナノワイ ヤ成長ステップのみを行えば、本発明に係るIII-V族化合物半導体ナノワイヤを製造す ることができる。「ゲート電極形成ステップ」は、IV族半導体基板およびIII-V族化合 物半導体ナノワイヤの界面に作用する、ソース電極およびドレイン電極間のキャリアの流 れを制御するための電界を発生させるためのゲート電極を形成するステップである。ゲー ト電極形成ステップでは、III-V族化合物半導体ナノワイヤとゲート電極との間にゲー ト誘電体膜も形成する。「ソース電極およびドレイン電極形成ステップ」は、IV族半導体 基板に接続するようにソース電極およびドレイン電極のいずれか一方を形成するステップ 、および、III-V族化合物半導体ナノワイヤに接続するようにソース電極およびドレイ ン電極のいずれか他方を形成するステップ、である。

【0045】

ナノワイヤ成長ステップ以外のステップは、従来の技術に基づいて適宜行うことができ 50

る。

[0046]

本発明に係るTFETの製造方法では、「ナノワイヤ成長ステップ」に先立って、必要 に応じて、IV族半導体基板の前処理ステップを行うことができる。このような前処理ステ ップの例には、開口部を有する絶縁膜を形成するステップが含まれる。

(10)

[0047]

絶縁膜が形成される、(111)面を有するⅣ族半導体基板の例には、n型シリコン( 1 1 1 ) 基板、 p 型シリコン(1 1 1 ) 基板、異方性エッチングにより(1 1 1 ) 面が表 面の一部にまたは全面に露出したシリコン(100)基板、が含まれる。絶縁膜としての 酸化シリコン膜は、例えば、シリコン基板を熱酸化することやスパッタ法などの一般的な 薄膜形成法により形成することが可能である。絶縁膜の厚さは、特に限定されないが、例 えば20nm程度であればよい。

[0048]

絶縁膜の開口部は、電子ビームリソグラフィーや、フォトリソグラフィー、ナノインプ リントリソグラフィーなどの微細パターン加工技術を用いることで形成されうる。開口部 の形状は、任意に決定することができ、開口部の形状の例には、三角形、四角形、六角形 および円形が含まれる。開口部の外径(直径)は、例えば2~100nm程度であればよ い。開口部の外径が大きすぎると、接合界面に多数の転位または欠陥が形成されるおそれ がある。1つのIV族半導体基板に複数の開口部を周期的に配列する場合、開口部の間隔は 、例えば、10nm~数μm程度である。

[0049]

また、上記の前処理ステップの例には、高温熱処理が含まれる。高温熱処理は、IV族半 導体基板の(111)面に形成された自然酸化膜を除去するための処理である。自然酸化 膜は、III-V族化合物半導体ナノワイヤの成長を阻害する。自然酸化膜は、開口部を設 けられたIV半導体基板を高温熱処理することにより除去される。自然酸化膜の除去により 、Ⅳ半導体基板の表面(開口部内の(111)面)が露出する。高温熱処理は、例えば、 水素ガスや窒素ガス、アルゴンガスなどの不活性ガス雰囲気中で約900 の条件で行う ことができる。

また、上記の前処理ステップの例には、低温熱処理が含まれる。低温熱処理は、高温熱 30 処理後のⅣ族半導体基板の温度を400 程度にまで下げて、Ⅳ族半導体基板の(111 )面を(111)1×1面にする処理である。元来、高温熱処理後の(111)面は、1 ×1構造で構成されるが、冷却途中で(111)2×1面に変換することがある。しかし ながら、IV族半導体基板の温度を400 程度にまで下げることにより、(111)2× 1面を(111)1×1面に再び変換することができる。なお、「(111)2×1面」 とは、原子配列を構成する最小単位が2原子間隔×1原子間隔となっている面をいう。「 (111)1×1面」とは、原子配列を構成する最小単位が1原子間隔×1原子間隔とな っている面をいう。低温熱処理は、約350~450 (例えば、約400 )の温度で 行えばよい。低温熱処理は、水素ガス、窒素ガス、アルゴンガス、ヘリウムガスなどの不 活性ガスの雰囲気下で行うことが好ましい。 40

さらに、本発明に係るTFETの製造方法では、「ナノワイヤ成長ステップ」において 、必要に応じて、ナノワイヤ成長のための準備ステップを行うことができる。このような 準備ステップの例には、(111)面を(111)A面または(111)B面に変換する ステップが含まれる。前述のとおり、「(111)A面」とは、表面にⅢ族元素が配置 されている(111)面をいう。また、「(111)B面」とは、表面にV族元素が配置 されている(111)面をいう。III- V 族化合物半導体の(111)A面または(11 1) B面は、(111)2×2面、つまり最小単位が2原子間隔×2原子間隔の周期で構 成された構造である。よって、IV族半導体基板の表面に、2原子間隔×2原子間隔よりも 小さい最小単位でⅢ族元素またはⅤ族元素が配置されていると、その表面にⅢ-Ⅴ族化

20

10

20

30

40

合物半導体が成長しやすい。

【0052】

(111)面を(111)A面または(111)B面に変換するステップは、III族原料またはV族原料をIV半導体基板の(111)面に供給することによって行うことができる。(111)面を(111)A面または(111)B面に変換する工程は、IV族半導体基板の表面を(111)1×1面に変換する工程の後に行ってもよいが、(111)1×1面に変換する工程と同時に行ってもよい。たとえば、IV族半導体基板の(1111)2× 1面を低温熱処理により(111)1×1面に変換するとともに、III族原料またはV族原料をIV半導体基板の表面に供給することによって、(1111)1×1面を、(111)A面または(111)B面に変換することができる。

【0053】

III族原料は、ホウ素、アルミニウム、ガリウム、インジウムまたはチタン(有機金属 化合物であってもよい)を含むガスであることが好ましい。III族原料は、例えばトリメ チルインジウムなどの有機アルキル金属化合物である。V族原料は、窒素、リン、ヒ素、 アンチモンまたはビスマス(有機金属化合物であってもよい)を含むガスであることが好 ましい。V族原料は、例えば水素化ヒ素(アルシン;AsH3)である。III族原料また はV族原料の供給は、400~500 にて行われることが好ましい。

【0054】

また、準備ステップの例には、交互原料供給変調法が含まれる。「交互原料供給変調法」とは、IV族半導体基板にIII族元素を含む原料ガスとV族元素を含む原料ガスとを交互に提供して、絶縁膜の開口部を通して露出した(111)A面または(111)B面にIII-V族化合物半導体の薄膜を形成する方法である。交互原料供給変調法は、III-V族化合物半導体ナノワイヤを成長させるために必要な温度よりも低い温度にて行われることが好ましい。たとえば、交互原料供給変調法は、約400 で行うか、または400 から昇温しながら行えばよい。

[0055]

具体的には、Ⅳ族半導体基板に(111)A面が形成されている場合は、まずⅢ族元 素を含む原料ガスを供給し、その後Ⅴ族元素を含む原料ガスを供給する。さらに、Ⅲ族 元素を含む原料ガスとⅤ族元素を含む原料ガスとを交互に繰り返し供給する。一方、Ⅳ族 半導体基板に(111)B面が形成されている場合は、まずⅤ族元素を含む原料ガスを供 給し、その後Ⅲ族元素を含む原料ガスを供給する。さらに、Ⅴ族元素を含む原料ガスとⅠ Ⅲ族元素を含む原料ガスとを交互に繰り返し供給する。

【0056】

V 族元素を含む原料ガスの供給時間およびⅢ族元素を含む原料ガスの供給時間は、それぞれ数秒程度であればよい。また、V 族元素を含む原料ガスの供給とⅢ族元素を含む 原料ガスの供給との間に、数秒のインターバルを設けることが好ましい。Ⅲ-V族化合物半導体の薄膜が所望の厚さになるまで、V 族元素を含む原料ガスとⅢ族元素を含む原 料ガスとを交互に供給すればよい。何回か繰り返してガスを供給することにより、Ⅲ-V 化合物半導体の薄膜が形成される。

【0057】

この交互原料供給変調法は、IV族半導体基板の(111)1×1面を(111)A面または(111)B面に変換したときに変換できなかった部位があったとしても、(111) )A面または(111)B面を再形成することができるという補償効果もある。交互原料 供給変調法により、IV族元素とIII族元素またはV族元素とが結合するからである。

【0058】

この後、半導体ナノワイヤを成長させるために基板温度を上げるが、交互原料供給変調 法により形成されたIII-V化合物半導体の薄膜は、基板に吸着したIII族元素やV族元素 が熱で乖離することを防ぐ。

【0059】

ナノワイヤ成長ステップは、IV族半導体基板の(111)面から絶縁膜の開口部を通し 50

てIII-V族化合物半導体ナノワイヤを成長させる。III-V族化合物半導体ナノワイヤの 成長は、例えば有機金属化学気相エピタキシ法(以下「MOVPE法」ともいう)や、分 子線エピタキシ法(以下「MBE法」ともいう)などにより行われる。好ましくは、III - V族化合物半導体ナノワイヤの成長は、MOVPE法により行われる。

 $\begin{bmatrix} 0 & 0 & 6 & 0 \end{bmatrix}$ 

MOVPE法による半導体ナノワイヤの形成は、通常のMOVPE装置を用いて行うこ とができる。つまり、所定の温度かつ減圧条件下で、Ⅲ族元素を含む原料ガスおよびV 族元素を含む原料ガスを提供すればよい。

[0061]

このとき、ナノワイヤの側面を微小な(111)面(例えば(111)A面および(1 10 11)B面)で構成される(-110)面とするために、ナノワイヤの成長時における原 料の脱離反応が生じやすくなる温度で、ナノワイヤを成長させることが好ましい。具体的 には、成長温度をナノワイヤの成長に最適な温度よりも10~20 高くすることが好ま しい。たとえば、InAsナノワイヤを形成するときは、最適な成長温度は540~56 であるので、成長温度を560~580 にすることが好ましい。したがって、In Asナノワイヤを形成するときは、560~580 で、水素化ヒ素(AsH₃)および トリメチルインジウムを含むガスを提供すればよい。

[0062]

また、ナノワイヤの側面を微小な(111)面(例えば(111)A面および(111 )B面)で構成される(-110)面とするために、Ⅲ族元素の過飽和度が高くなるよ 20 うに、原料ガスに含まれるⅢ族元素とⅤ族元素との比を調整することが好ましい。たと えば、InAsナノワイヤを形成するときは、通常はⅢ族元素に対するⅤ族元素の比( ∨ / Ⅲ比)は250程度であるが、これよりもⅢ族元素の供給量を1.5倍以上にする ことが好ましい。

[0063]

上記の方法でIII-V族化合物半導体ナノワイヤを形成した場合、(111)A面およ び(111)B面の面積比は、ほぼ同じとなる。必要に応じて、この後、(111)B面 に対して選択的にエッチングを行い、(111)A面を新たに露出させることで、ゲート 誘電体膜との界面形成に直接関与する(111)A面の割合を増大させることができる。 通常、III - V族化合物半導体では(111)B面よりも(111)A面の方がエッチン グされにくいため、III-V族化合物半導体をエッチングできる酸性水溶液またはアルカ リ性水溶液であれば、エッチング液の種類は特に限定されない。たとえば、アンモニア水 と過酸化水素水の混合液(体積比約1:100)で1~2秒程度エッチングすればよい。 これにより、(111)A面の割合を、50%を超え、100%未満とすることができる 。<br />
また、(111)A面の割合を、100%とすることもできる。 [0064]

形成されたIII-V族化合物半導体ナノワイヤは、さらにn型またはp型にドープされ てもよい。たとえば、MOVPE法でІІІ-V族化合物半導体ナノワイヤを形成している 間にドーピングガスまたはドーピング有機金属を供給することで、III-V族化合物半導 体ナノワイヤに n 型ドーパントまたは p 型ドーパントをドープすることができる。たとえ ば、MOVPE法でⅢ-V族化合物半導体ナノワイヤの第1の領域を形成した後に、Ⅳ 族原子を含むガスまたは有機金属材料とIII-V族化合物半導体ナノワイヤの材料とを同 時に供給することで、第2の領域となるn型のIII-V族化合物半導体ナノワイヤを形成 することができる。同様に、III-V族化合物半導体ナノワイヤの第1の領域を形成した 後に、VI族原子を含むガスまたは有機金属材料とIII-V族化合物半導体ナノワイヤの材 料とを同時に供給することで、第2の領域となるp型のⅢ-Ⅴ族化合物半導体ナノワイ ヤを形成することができる。この他にも、第1の領域に相当する III - V族化合物半導体 ナノワイヤに対してIV族原子からなるイオンをイオン注入法で打ち込むことで、 n 型のII Ⅰ- V 族化合物半導体ナノワイヤを形成することができる。同様に、第1の領域に相当す るIII-V族化合物半導体ナノワイヤに対してVI族原子からなるイオンを打ち込むことで 50

20

30

40

、 p 型のIII - V 族化合物半導体ナノワイヤを形成することができる。 【 0 0 6 5 】

以上の手順により、第1の領域および第2の領域を含む、本発明に係るIII-V族化合物半導体ナノワイヤを、その長軸が(111)面に対して垂直になるようにIV族半導体基板の(111)面上に形成することができる。このようにしてIII-V族化合物半導体ナノワイヤが形成されたときの接合界面は、基本的に無転位かつ無欠陥である。また、III-V族化合物半導体ナノワイヤの側面は、微小な(111)面(より具体的には(111)A面および(111)B面)で構成される(-110)面である。 【0066】

ゲート電極形成ステップでは、III-V族化合物半導体ナノワイヤの側面にゲート誘電 体膜が形成され、ゲート誘電体膜上にゲート電極が形成される。ゲート誘電体膜を形成す る方法は、特に限定されない。たとえば、ALD(原子層堆積(atomic layer depositio n))法などを用いて、酸化シリコン(SiO<sub>2</sub>)、酸化アルミニウム(Al<sub>2</sub>O<sub>3</sub>)、 酸化ハフニウム(HfO<sub>2</sub>)または酸化ジルコニウム(ZrO<sub>2</sub>)からなる膜を形成すれ ばよい。ゲート電極を形成する方法も、特に限定されない。たとえば、フォトリソグラフ ィー法などを用いて、ゲート電極を形成すればよい。具体的には、電極形成予定部位以外 の領域をレジスト膜でマスクし、金や白金、チタン、クロム、アルミニウム、パラジウム 、モリブデンなどの金属またはポリシリコンなどの半導体を蒸着させ、レジスト膜を除去 (リフトオフ)する。また、チタンを蒸着させた後、さらに金を蒸着させて重層して、二 層構造の電極としてもよい。

【0067】

ソース電極およびドレイン電極形成ステップでは、ソース電極およびドレイン電極が形 成される。ソース電極およびドレイン電極を形成する方法は、特に限定されない。たとえ ば、ゲート電極と同様に、フォトリソグラフィー法などを用いてソース電極およびドレイ ン電極を形成することができる。

[0068]

ソース電極、ドレイン電極およびゲート電極のうち、III - V族化合物半導体ナノワイ ヤの第2の領域に接続されるソース電極またはドレイン電極は、ナノワイヤ成長ステップ 後に形成される。しかしながら、第2の領域に接続されるソース電極またはドレイン電極 以外の電極を形成する時期は、TFETの構成に応じて所期の位置に配置可能である限り において、特に限定されない。

【0069】

以上の手順により、本発明に係るTFETを製造することができる。

【 0 0 7 0 】

本発明に係るFETの製造方法は、金属触媒を用いずにIII-V族化合物半導体ナノワ イヤを形成するため、金属汚染の影響を受けることなく高品位の結晶構造でデバイスを形 成することができる。また、本発明のFETの製造方法は、IV族半導体およびIII-V族 化合物半導体の種類を適宜選択することで、精密なドーピング技術を用いることなく所望 の特性を有するFETを製造することができる。さらに、本発明のFETの製造方法では 、InGaAsなどの混晶半導体からなるナノワイヤを形成する場合、In組成を変化さ せるのみで接合界面のバンド不連続性が互いに反対の性質を示すようになる。したがって 、この性質を利用することで、III-V族化合物半導体ナノワイヤを1回成長させるのみ で、異なるスイッチ特性を示すFETを製造することができる。

【0071】

3.実施の形態

以下、図面を参照して、本発明に係る電界効果トランジスタ(FET)の実施の形態を 説明する。本実施の形態では、本発明に係る電界効果トランジスタ(FET)の代表例と してトンネル電界効果トランジスタ(TFET)について説明する。

【0072】

図7は、本発明の一実施の形態に係るTFETの構成を示す断面図である。図7に示さ 50

40

れるように、本実施の形態に係るTFET100は、n型に高ドープされたシリコン基板 110、絶縁膜120、III-V族化合物半導体ナノワイヤ130、ゲート誘電体膜14 0、絶縁保護膜150、ソース電極160、ドレイン電極170およびゲート電極180 を有する。III-V族化合物半導体ナノワイヤ130は、ドープされていない第1の領域 132およびp型に高ドープされた第2の領域134からなる。 【0073】

シリコン基板110は、n型に高ドープされたシリコン(111)基板である。 【0074】

絶縁膜120は、n型シリコン基板110の2つの面のうち少なくともIII-V族化合物半導体ナノワイヤ130が配置されている面((111)面)を被覆する絶縁性の膜で 10ある。絶縁膜120は、例えば膜厚20nmの酸化シリコン(SiO₂)膜である。 n型シリコン基板110の(111)面は、III-V族化合物半導体ナノワイヤ130と直接接触して接合界面を形成している。したがって、n型シリコン基板110とIII-V族化合物半導体ナノワイヤ130との間には、絶縁膜120は存在しない。

【0075】

III - V族化合物半導体ナノワイヤ130は、例えば直径20nm、長さ300nmのI
 II - V族化合物半導体からなるナノワイヤである。III - V族化合物半導体ナノワイヤ1
 30は、n型シリコン基板110の(111)面上に、その長軸が前記(111)面に対して略垂直になるように配置されている。III - V族化合物半導体ナノワイヤ130の形状は、例えば六角柱である。

【0076】

III - V族化合物半導体ナノワイヤ130では、その側面が(111)A面である第1の層と、その側面が(111)B面である第2の層とが、軸方向に沿って交互に積層されている。したがって、III - V族化合物半導体ナノワイヤ130の側面では、微小な(111)A面と微小な(111)B面とが交互に配置されている。第1の層および第2の層の厚みは、それぞれ1~5原子層(ML)程度であり、そのうちの90%以上が1~3原子層からなる。

【0077】

III - V族化合物半導体ナノワイヤ130の第1の領域132(真性半導体)は、第2の領域134(p型半導体)よりもn型シリコン基板110側(n型半導体)に位置する 30。
 III - V族化合物半導体ナノワイヤ130の第1の領域132およびn型シリコン基板110の(111)面は、基本的に無転位かつ無欠陥の接合界面を形成する。

【0078】

ゲート誘電体膜140は、絶縁膜120の表面およびIII-V族化合物半導体ナノワイ ヤ130の側面(第1の領域132の側面および第2の領域134の側面の一部)を被覆 する絶縁膜である。ゲート誘電体膜140は、例えばハフニウムアルミネート(HfA1 Ox)膜などの高誘電体膜である。

【0079】

絶縁保護膜150は、III-V族化合物半導体ナノワイヤ130、ゲート誘電体膜14 0およびゲート電極180を被覆する、BCBなどの絶縁樹脂からなる膜である。 【0080】

ソース電極160は、n型シリコン基板110上に配置されており、n型シリコン基板 110(n型半導体)に接続されている。したがって、n型シリコン基板110とソース 電極160との間には、絶縁膜120は存在しない。ソース電極160は、例えばn型シ リコン基板110上に形成されたTi/Au合金膜である。ソース電極160は、n型シ リコン基板11002つの面のうちIII-V族化合物半導体ナノワイヤ130が配置され ている面に配置されていてもよいし、n型シリコン基板110のもう一方の面(III-V 族化合物半導体ナノワイヤ130が配置されていない面)に配置されていてもよい。 【0081】

ドレイン電極170は、III-V族化合物半導体ナノワイヤ130および絶縁保護膜1 50

50上に配置されており、III - V族化合物半導体ナノワイヤ130の第2の領域134 (p型半導体)に接続されている。ドレイン電極170は、例えば、III - V族化合物半 導体ナノワイヤ130および絶縁保護膜150上に配置されたTi/Au合金膜、Ti/ Al/Ti/Au合金膜、またはGe/Au/Ni/Au合金膜である。 【0082】

ゲート電極180は、第1の領域132の周囲を覆うようにゲート誘電体膜140上に 配置されている。ゲート電極180は、例えば、ゲート誘電体膜140上に形成されたW 膜またはTi/Au合金膜である。

【0083】

図 8 A ~ 図 8 D は、本実施の形態に係る T F E T 1 0 0 の製造方法の一例を示す模式図 10 である。以下、図 8 A ~ 図 8 D を参照して、 T F E T 1 0 0 の製造方法について説明する

【0084】

まず、図8Aに示されるように、n型シリコン基板110を準備する。このn型シリコ ン基板110上には、酸化シリコン(SiO2)からなる膜厚20nmの絶縁膜120が 熱酸化法により形成されている。次いで、図8Bに示されるように、n型シリコン基板1 10上の絶縁膜120に、フォトリソグラフィー法などを用いて直径20nmの開口部1 2.2を形成する。次いで、図8.Cに示されるように、MOVPE法により、開口部1.2.2 を通して露出した n 型シリコン基板 1 1 0 の(1 1 1 1)面からIII - V 族化合物半導体ナ ノワイヤ130を成長させる。このとき、III - V族化合物半導体ナノワイヤ130を成 長させる前に、交互原料供給変調法によりn型シリコン基板110の(111)面にIII - V族化合物半導体の薄膜を形成することが好ましい。また、成長温度を最適な成長温度 から10~20 高くするとともに、Ⅲ族元素の過飽和度が高くなるようにⅢ族元素と Ⅴ族元素との比率を調整することが好ましい。これにより、その側面が微小な(111) A面および(111)B面で構成される(-110)面からなる、Ⅲ-Ⅴ族化合物半導 体ナノワイヤ130を形成することができる。III - V族化合物半導体ナノワイヤ130 を形成した直後に、(111)B面を選択的にエッチングして、(111)A面の割合を 増大させてもよい。この後、Ⅲ-V族化合物半導体ナノワイヤ130の第2の領域13 4 をドープして、ドープされていない第1の領域132およびn型に高ドープされた第2 の領域134を形成する。

【0085】

第1の領域132および第2の領域134が形成されたら、図8Dに示されるように、 絶縁膜120の表面およびIII-V族化合物半導体ナノワイヤ130の表面をゲート誘電 体膜140で覆い、次いでゲート誘電体膜140をゲート電極180で覆う。ゲート誘電 体膜140は、例えば、ALD法によって形成される。ゲート電極180は、例えば、ス パッタリング法によって形成される。

【0086】

さらに、n型シリコン基板110の表面上に絶縁保護膜150を形成する。絶縁保護膜 150は、例えば、スピンコート法によって形成される。この後、絶縁保護膜150およ びゲート誘電体膜140をそれぞれ部分的に除去し、III-V族化合物半導体ナノワイヤ 130の頂部(第2の領域134の端部)およびゲート誘電体膜140を露出させる。こ の部分的な除去は、例えば、反応性イオンエッチング(reactive ion etching)法によっ て行われる。

【0087】

最後に、絶縁保護膜150を再び形成した後にIII-V族化合物半導体ナノワイヤ13 0の頂部を露出させる。そして、図8Dに示されるように、絶縁保護膜150の表面にド レイン電極170を形成し、n型シリコン基板110の上にソース電極160を形成する 。ドレイン電極170およびソース電極160は、例えば、真空蒸着によって形成される

[0088]

40

50

本実施の形態に係るTFET100では、III-V族化合物半導体ナノワイヤ130の 第1の領域132とn型シリコン基板110の(111)面との接合面がトンネル層とし て機能する。TFET100では、ゲート電極180に負のバイアスを印加することで、 n型シリコン基板110内のキャリアがトンネル現象によりIII-V族化合物半導体ナノ ワイヤ130内に移動する(ON状態となる)。この動作は、CMOSスイッチのp型M OSFETのスイッチ動作に相当する。

[0089]

また、III - V族化合物半導体ナノワイヤ130を構成するIII - V族化合物半導体の種類により接合界面のエネルギー障壁の高さが変わるため、III - V族化合物半導体の種類を変えることにより、ON状態に必要な供給電圧を任意に制御することができる。また、絶縁保護膜150でIII - V族化合物半導体ナノワイヤ130の周囲を被覆するため、複数のTFET100を集積化することもできる。

10

また、本実施の形態に係るTFET100は、III-V族化合物半導体ナノワイヤ13 0とゲート誘電体膜140との界面における界面順位密度が低いため、小さなサブ閾値( 100mV/桁以下)で動作することができる。本実施の形態に係るTFET100をス イッチ素子として利用することで、半導体デバイスの消費電力を削減することができる。 その結果、省エネルギーおよび環境負荷低減も実現することができる。

【0091】

なお、第2の領域134の導電型をシリコン基板110と同じn型とすることで、TF 20 ETではない一般的なFETを構成することができる。

【実施例】

【0092】

以下、本発明について実施例を参照して詳細に説明するが、本発明はこれらの実施例に より限定されない。

【0093】

1.基板の準備

n型シリコン(111)基板(キャリア濃度:1×10<sup>1%</sup> cm<sup>-3</sup>)を、熱酸化処理 して、表面に膜厚20nmの酸化シリコン膜を形成した。電子線ビームリソグラフィーお よびウェットケミカルエッチングにより酸化シリコン膜に周期的に開口部を形成して、シ リコン基板の表面を露出させた。開口部の形状は六角形とし、開口部の外径は70nmと した。

30

50

【0094】

2.III - V 族化合物半導体ナノワイヤの作製

シリコン基板の(111)面上に、III-V族化合物半導体ナノワイヤとして、INA sナノワイヤまたはINGaAsナノワイヤを形成した。

【0095】

開口部を形成した基板を減圧横型MOVPE装置(HR2339;大陽日酸株式会社) にセットした。MOVPE装置の内温を900 に上昇させて5分間維持することで、シ リコン基板の開口部表面に形成された自然酸化膜を除去した。次いで、装置の内温を90 40 0 から400 または670 に低下させた。水素化ヒ素を水素ガス(キャリアガス) とともに供給した。水素化ヒ素の分圧は2×10<sup>-4</sup> atmとした。 【0096】

次に、交互原料供給変調法によりシリコン基板の開口部にInAsの薄膜(InAsナ ノワイヤを作製する場合)またはInGaAsの薄膜(InGaAsナノワイヤを作製す る場合)を形成した。この工程では、トリメチルインジウム、またはトリメチルインジウ ムおよびトリメチルガリウムの組み合わせと、水素化ヒ素とを交互に供給した。具体的に は、トリメチルインジウムおよび/またはトリメチルガリウムの供給を2秒間、水素ガス によるインターバルを1秒間、水素化ヒ素の供給を2秒間、水素ガスによるインターバル を1秒間の組合せを1サイクルとして、2分間かけて20回繰り返した。トリメチルイン ジウムの分圧は 9 × 1 0 <sup>-7</sup> a t m とし、トリメチルガリウムの分圧は 2 × 1 0 <sup>-7</sup> a t m とし、水素化ヒ素の分圧は 3 × 1 0 <sup>-4</sup> a t m とした。 【 0 0 9 7 】

次に、装置の内温を上昇させた後、MOVPE法により長さ1200nmのInAsナ ノワイヤまたはInGaAsナノワイヤを成長させた。具体的には、InAsナノワイヤ を形成する場合は、装置の内温を400 から580 に上昇させた後、トリメチルイン ジウムおよび水素化ヒ素を水素ガスとともに供給して、長さ200nmのInAsナノワ イヤ(第1の領域;キャリア濃度:1×10<sup>16</sup> cm<sup>-3</sup>)を成長させた。続いて、トリ メチルインジウム、水素化ヒ素およびモノシランガスを水素ガスとともに供給して、長さ 1000nmのn型InAsナノワイヤ(第2の領域;キャリア濃度:1×10<sup>18</sup> cm <sup>-3</sup>)を成長させた。トリメチルインジウムの分圧は6×10<sup>-7</sup> atmとし、水素化ヒ 素の分圧は1×10<sup>-4</sup> atmとし、モノシランガスの分圧は1×10<sup>-7</sup> atmとした

[0098]

一方、InGaAsナノワイヤを形成する場合は、装置の内温を690 にした後、トリメチルインジウム、トリメチルガリウムおよび水素化ヒ素を水素ガスとともに供給して、長さ1200nmのInGaAsナノワイヤ(第1の領域;キャリア濃度:1×10<sup>1</sup> ° cm<sup>-3</sup>)を成長させた。続いて、トリメチルインジウム、トリメチルガリウム、水素化ヒ素およびモノシランガスを水素ガスとともに供給して、長さ1000nmのn型InGaAsナノワイヤ(第2の領域;キャリア濃度:1×10<sup>18</sup> cm<sup>-3</sup>)を成長させた。トリメチルインジウムの分圧は1.3×10<sup>6</sup> atmとし、トリメチルガリウムの分圧は3×10<sup>7</sup> atmとし、水素化ヒ素の分圧は5×10<sup>4</sup> atmとし、モノシランガスの分圧は1×10<sup>7</sup> atmとした。

【 0 0 9 9 】

上記工程により、InAsナノワイヤまたはInGaAsナノワイヤがシリコン基板表面に形成された。InAsナノワイヤおよびGaAsナノワイヤの長軸は、シリコン基板の表面に対し垂直であった。図1Aは、InAsナノワイヤが周期的に配列されたシリコン基板の走査電子顕微鏡像(斜視像)であり、図1Bは、InGaAsナノワイヤが周期的に配列されたシリコン基板の走査電子顕微鏡像(斜視像)である。 【0100】

図2Aは、InGaAsナノワイヤの断面を示す高分解透過電子顕微鏡像であり、図2 Bは、図2Aにおいて破線で示される領域の拡大像である。図2に示されるようにInA sナノワイヤおよびInGaAsナノワイヤの断面を観察したところ、その側面が(11 1)A面である第1の層とその側面が(111)B面である第2の層とが軸方向に沿って 交互に積層されており、全体としてその側面が微小な(111)面で構成される(-11 0)面であることが確認された(図6Aおよび図6B参照)。また、第1の層および第2 の層は、いずれも実質的に1~5原子層からなっており、その90%以上は1~3原子層 からなっていた(図5参照)。また、ナノワイヤの側面のラフネスは、1~6原子層の範 囲内であった(図6C参照)。

【 0 1 0 1 】

3 . FETの作製

シリコン基板上およびIII-V族化合物半導体ナノワイヤの側面にゲート誘電体膜を形成し、さらにその上にゲート電極を形成した。具体的には、ALD法により、膜厚4~1 4 nmのHf 0.8 Al 0.2 O膜(ゲート誘電体膜)を形成した。その後、高周波スパッ タリング法により、膜厚100 nmのW膜(ゲート電極)を形成した。

[0102]

次に、誘電体膜を形成したシリコン基板上に絶縁樹脂(BCB)膜を形成して、シリコン基板上のIII-V族化合物半導体ナノワイヤを絶縁樹脂中に包埋した。次いで、反応性 イオンエッチングにより絶縁樹脂の上側の一部を除去して、III-V族化合物半導体ナノ ワイヤの先端を露出させた。 30

20

10

(18)

[0103]

次に、絶縁樹脂のIII - V族化合物半導体ナノワイヤが露出した面にドレイン電極とし て膜厚120nmのTi(20nm)/Au(100nm)多層膜を形成した。また、シ リコン基板上にソース電極として膜厚50nmのTi(20nm)/Au(30nm)多 層膜を形成した。

【0104】

図9は、作製した本発明に係るFETの構成を示す断面図である。図9に示されるよう に、このFET200は、n型シリコン基板210、絶縁膜(酸化シリコン膜)220、 III-V族化合物半導体ナノワイヤ230(InAsナノワイヤまたはInGaAsナノ ワイヤ)、ゲート誘電体膜(Hfo.sAlo.2O膜)240、絶縁保護膜(BCB樹脂 からなる膜)250、ソース電極(Ti/Au多層膜)260、ドレイン電極(Ti/A u多層膜)270およびゲート電極(W膜)280、を有する。III-V族化合物半導体 ナノワイヤ230は、n型シリコン基板210側の第1の領域232とドレイン電極27 0側の第2の領域234とに分けられる。

【0105】

4.電気特性の測定

上記工程により作製されたFETの電気特性を測定した。

[0106]

図10Aは、InAsナノワイヤを有するFET(ゲート誘電体膜の膜厚(t<sub>ox</sub>): 4nm、ゲート誘電体膜の酸化膜換算膜厚(EOT):0.70nm)におけるゲート電 20 圧(V<sub>o</sub>)とソース - ドレイン電流(I<sub>o</sub>)との関係を示すグラフである。ソース - ドレ イン電圧(V<sub>o</sub>s)に応じて5本の曲線が引かれている。図10Bは、InAsナノワイ ヤを有するFETにおけるゲート誘電体膜の酸化膜換算膜厚(EOT)とサブスレッショ ルド係数との関係を示すグラフである。

【0107】

これらのグラフに示されるように、InAsナノワイヤを有するFETのサブスレッショルド係数は、75~80mV/桁であった。なお、InAsナノワイヤとゲート誘電体膜との界面における界面準位密度は、5×10<sup>11</sup>~5×10<sup>12</sup>cm<sup>-2</sup>eV<sup>-1</sup>であった。

[0108]

図11Aは、InGaAsナノワイヤを有するFET(ゲート誘電体膜の膜厚(t。x ):4nm、ゲート誘電体膜の酸化膜換算膜厚(EOT):0.70nm)におけるゲー ト電圧(V。)とソース - ドレイン電流(I」)との関係を示すグラフである。ソース -ドレイン電圧(V」s)に応じて4本の曲線が引かれている。図11Bは、InGaAs ナノワイヤを有するFETにおけるゲート誘電体膜の酸化膜換算膜厚(EOT)とサブス レッショルド係数との関係を示すグラフである。

【0109】

これらのグラフに示されるように、 In G a A s ナノワイヤを有する F E T のサブスレ ッショルド係数は、 6 8 ~ 7 2 m V / 桁であった。なお、 In G a A s ナノワイヤとゲー ト誘電体膜との界面における界面準位密度は、 5 × 1 0<sup>11</sup> ~ 5 × 1 0<sup>12</sup> c m<sup>-2</sup> e V <sup>-1</sup>であった。

[0110]

以上の結果から、本発明に係るFETは、界面準位密度が低く、100mV/桁以下の 小さなサブ閾値で動作可能であることがわかる。

[0111]

本出願は、2013年10月31日出願の特願2013-226675に基づく優先権 を主張する。当該出願明細書および図面に記載された内容は、すべて本願明細書に援用される。

【産業上の利用可能性】

【 0 1 1 2 】

30

40

本発明に係るFETは、例えば半導体マイクロプロセッサおよび高集積回路に形成され るスイッチ素子として有用である。 【符号の説明】 [0113]100 TFET 110,210 n型シリコン基板 120,220 絶縁膜 122 開口部 130,230 III-V族化合物半導体ナノワイヤ 132,232 第1の領域 134,234 第2の領域 140,240 ゲート誘電体膜 150,250 絶縁保護膜 160,260 ソース電極 170,270 ドレイン電極 180,280 ゲート電極 200 FET

【図7】







【図9】

【図10】





図10B

【図11】









図1A



図1B

10 nm

図2A

図2B





















フロントページの続き (51)Int.Cl. FΙ B 8 2 Y 30/00 B 8 2 Y 30/00 (2011.01) 審査官 儀同 孝信 (56)参考文献 国際公開第2011/040012(WO, A1) 特開平07-006963(JP,A) 特開平07-045813(JP,A) 特許第4966153(JP,B2) 特開平09-050058(JP,A) (58)調査した分野(Int.Cl., DB名) H 0 1 L 29/06 30/00 B 8 2 Y

H 0 1 L 2 1 / 3 3 6 H 0 1 L 2 9 / 2 0 H 0 1 L 2 9 / 6 6 H 0 1 L 2 9 / 7 8