

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B1)

(11) 特許番号

特許第5479656号
(P5479656)

(45) 発行日 平成26年4月23日(2014.4.23)

(24) 登録日 平成26年2月21日(2014.2.21)

(51) Int.Cl.		F I			
G 1 1 C	11/15	(2006.01)	G 1 1 C	11/15	1 1 0
G 1 1 C	11/41	(2006.01)	G 1 1 C	11/15	1 4 0
G 1 1 C	11/412	(2006.01)	G 1 1 C	11/40	Z
			G 1 1 C	11/40	3 0 1

請求項の数 14 (全 20 頁)

(21) 出願番号 特願2013-540169 (P2013-540169)
 (86) (22) 出願日 平成25年2月19日(2013.2.19)
 (86) 国際出願番号 PCT/JP2013/054051
 審査請求日 平成25年9月12日(2013.9.12)
 (31) 優先権主張番号 特願2012-114988 (P2012-114988)
 (32) 優先日 平成24年5月18日(2012.5.18)
 (33) 優先権主張国 日本国(JP)

特許法第30条第2項適用 掲載年月日 平成24年3月30日
 掲載アドレス <http://jjap.jsap.jp/link?JJAP/51/040212/>

早期審査対象出願

(73) 特許権者 503360115
 独立行政法人科学技術振興機構
 埼玉県川口市本町四丁目1番8号
 (74) 代理人 100087480
 弁理士 片山 修平
 (72) 発明者 山本 修一郎
 神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内
 (72) 発明者 周藤 悠介
 神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内
 (72) 発明者 菅原 聡
 神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内

最終頁に続く

(54) 【発明の名称】 記憶回路

(57) 【特許請求の範囲】

【請求項1】

各々の記憶セルが、データを記憶する双安定回路と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、を有する複数の記憶セルと、

前記複数の記憶セルにおいて、記憶セル毎に、前記双安定回路と前記不揮発性素子とのデータが一致するか否かを判定し、前記双安定回路と前記不揮発性素子とのデータが一致すると判定した場合は、前記双安定回路のデータを前記不揮発性素子にストアせず、前記双安定回路と前記不揮発性素子とのデータが一致しないと判定した場合は、前記双安定回路のデータを前記不揮発性素子にストアする制御部と、

を具備することを特徴とする記憶回路。

【請求項2】

前記不揮発性素子は、抵抗値が変更されることにより前記双安定回路のデータをストアすることを特徴とする請求項1記載の記憶回路。

【請求項4】

前記不揮発性素子は、一端が前記双安定回路内のノードに他端が制御線に接続され、前記制御部は、前記双安定回路にデータが記憶されているときの前記制御線の電圧に基づき、前記双安定回路と前記不揮発性素子とのデータが一致するか否かを判定することを特徴とする請求項1または2記載の記憶回路。

【請求項5】

10

20

前記双安定回路は、相補的な第1ノードおよび第2ノードを含み、

前記不揮発性素子は、一端が前記第1ノードに他端が前記制御線に接続された第1不揮発性素子と、一端が前記第2ノードに他端が前記制御線との間に接続された第2不揮発性素子と、を含むことを特徴とする請求項4記載の記憶回路。

【請求項6】

前記双安定回路のデータを読み出す読出回路を具備し、

前記制御部は、前記読出回路の出力と、前記制御線の電圧と、に基づき、前記双安定回路と前記不揮発性素子とのデータが一致するか否かを判定することを特徴とする請求項4記載の記憶回路。

【請求項7】

前記双安定回路は、相補的な第1ノードおよび第2ノードを含み、

前記制御線は、第1制御線と第2制御線とを含み、

前記不揮発性素子は、一端が前記第1ノードに他端が第1制御線に接続された第1不揮発性素子と、一端が前記第2ノードに他端が第2制御線との間に接続された第2不揮発性素子と、を含み、

前記制御部は、前記読出回路の出力と、前記第1制御線および前記第2制御線の電圧と、に基づき、前記第1不揮発性素子と前記第2不揮発性素子とのデータが矛盾するか否かを判定することを特徴とする請求項6記載の記憶回路。

【請求項8】

前記制御部は、スキップ信号を受信した場合、前記双安定回路と前記不揮発性素子とのデータが一致するか否かの判定を行わないことを特徴とする請求項1、2および4から7のいずれか一項記載の記憶回路。

【請求項9】

各々のセルが、データを記憶する双安定回路と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、を有し、各々の領域が少なくとも2つのセルを有する複数の領域に分割された複数のセルと、

前記複数の領域毎に、前回に前記双安定回路にデータがリストアされた以降に、対応する領域に含まれるセルの少なくとも1つにおいて前記双安定回路のデータが揮発的に書き換えられているか否かを判定し、書き換えられていないと判定した場合、前記対応する領域に含まれるセルにおいて前記双安定回路のデータを前記不揮発性素子にストアせず、書き換えられていると判定した場合、前記対応する領域に含まれるセルにおいて前記双安定回路のデータを前記不揮発性素子にストアする制御部と、を具備することを特徴とする記憶回路。

【請求項12】

前記複数の領域毎に、前記双安定回路の少なくとも1つのデータが書き換えられたか否かを記憶する記憶部を具備することを特徴とする請求項9記載の記憶回路。

【請求項13】

前記制御部は、スキップ信号を受信した場合、前回に前記双安定回路にデータがリストアされた以降に、前記複数の双安定回路のデータが揮発的に書き換えられているか否かの判定を行わないことを特徴とする請求項9記載の記憶回路。

【請求項14】

前記不揮発性素子は強磁性トンネル接合素子であることを特徴とする請求項1、2、4から9、12および13のいずれか一項記載の記憶回路。

【請求項15】

強磁性トンネル接合素子と、

前記強磁性トンネル接合素子に不揮発的に書き込まれたデータを読み出す読出回路と、

前記読出回路の出力と、前記強磁性トンネル接合素子に不揮発的に書き込むデータと、が一致した場合、前記強磁性トンネル接合素子に前記不揮発的に書き込むデータを書き込まず、

10

20

30

40

50

前記読出回路の出力と、前記不揮発的に書き込むデータと、が一致しない場合、前記強磁性トンネル接合素子に前記不揮発的に書き込むデータを書き込む制御部と、を具備することを特徴とする記憶回路。

【請求項 16】

前記制御部は、前記読出回路の出力と、前記強磁性トンネル接合素子に不揮発的に書き込むデータと、が一致するか否かを判定し、一致したと判定した場合、前記強磁性トンネル接合素子に前記不揮発的に書き込むデータを書き込まず、一致しないと判定した場合、前記強磁性トンネル接合素子に前記不揮発的に書き込むデータを書き込むことを特徴とする請求項 15 記載の記憶回路。

【請求項 17】

前記制御部は、スキップ信号を受信した場合、前記読出回路の出力と、前記強磁性トンネル接合素子に不揮発的に書き込むデータと、が一致しているか否かの判定を行わないことを特徴とする請求項 16 記載の記憶回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、記憶回路に関し、例えば双安定回路と不揮発性素子とを備える記憶回路に関する。

【背景技術】

【0002】

SRAM (Static Random Access Memory) の双安定回路に記憶されているデータを強磁性トンネル接合素子 (MTJ) に不揮発的にストアし、双安定回路の電源を遮断する。その後、双安定回路の電源投入時に MTJ から双安定回路にデータをリストアする記憶装置が知られている (例えば特許文献 1)。この記憶装置を、マイクロプロセッサ、システムオンチップ、マイクロコントローラ、FPGA (Field Programmable Gate Array) または CMOS (Complementary Metal Oxide Semiconductor) ロジック等に用いることにより、消費電力を削減することができる。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】国際公開 2009/028298号

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献 1 の記憶回路においては、双安定回路のデータを MTJ に不揮発的にストアできることから、双安定回路の電源を遮断することができる。これにより、待機時の消費電力を大幅に抑制できる。しかしながら、電源が投入されている期間は、通常の SRAM に比べると消費電力が大きくなる。

【0005】

本発明は、上記課題に鑑みなされたものであり、消費電力を削減することを目的とする。

【課題を解決するための手段】

【0006】

本発明は、データを記憶する双安定回路と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子と、前記双安定回路と前記不揮発性素子とのデータが一致する場合は、前記双安定回路のデータを前記不揮発性素子にストアせず、前記双安定回路と前記不揮発性素子とのデータが一致しない場合は、前記双安定回路のデータを前記不揮発性素子にストアする制御部と、を具備することを特徴とする記憶回路である。本発明によれば、消費電力を削減することができる。

10

20

30

40

50

【 0 0 0 7 】

上記構成において、前記不揮発性素子は、抵抗値が変更されることにより前記双安定回路のデータをストアする構成とすることができる。

【 0 0 0 8 】

上記構成において、前記制御部は、前記双安定回路と前記不揮発性素子とのデータが一致するか否かを判定し、一致したと判定した場合、前記双安定回路のデータを前記不揮発性素子にストアせず、一致しないと判定した場合、前記双安定回路のデータを前記不揮発性素子にストアする構成とすることができる。

【 0 0 0 9 】

上記構成において、前記不揮発性素子は、一端が前記双安定回路内のノードに他端が制御線に接続され、前記制御部は、前記双安定回路にデータが記憶されているときの前記制御線の電圧に基づき、前記双安定回路と前記不揮発性素子とのデータが一致するか否かを判定する構成とすることができる。

10

【 0 0 1 0 】

上記構成において、前記双安定回路は、相補的な第1ノードおよび第2ノードを含み、前記不揮発性素子は、一端が前記第1ノードに他端が前記制御線に接続された第1不揮発性素子と、一端が前記第2ノードに他端が前記制御線との間に接続された第2不揮発性素子と、を含む構成とすることができる。

【 0 0 1 1 】

上記構成において、前記双安定回路のデータを読み出す読出回路を具備し、前記制御部は、前記読出回路の出力と、前記制御線の電圧と、に基づき、前記双安定回路と前記不揮発性素子とのデータが一致するか否かを判定する構成とすることができる。

20

【 0 0 1 2 】

上記構成において、前記双安定回路は、相補的な第1ノードおよび第2ノードを含み、前記制御線は、第1制御線と第2制御線とを含み、前記不揮発性素子は、一端が前記第1ノードに他端が第1制御線に接続された第1不揮発性素子と、一端が前記第2ノードに他端が第2制御線との間に接続された第2不揮発性素子と、を含み、前記制御部は、前記読出回路の出力と、前記第1制御線および前記第2制御線の電圧と、に基づき、前記第1不揮発性素子と前記第2不揮発性素子とのデータが矛盾するか否かを判定する構成とすることができる。

30

【 0 0 1 3 】

上記構成において、前記制御部は、スキップ信号を受信した場合、前記双安定回路と前記不揮発性素子とのデータが一致するか否かの判定を行わない構成とすることができる。

【 0 0 1 4 】

本発明は、それぞれが、データを記憶する双安定回路と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする複数の不揮発性素子と、を有する複数のセルと、前回に前記双安定回路にデータがリストアされた以降に、前記複数の双安定回路のデータが揮発的に書き換えられていない場合、前記複数のセルにおいて前記双安定回路のデータを前記不揮発性素子にストアせず、前記複数の双安定回路の少なくとも1つのデータが書き換えられた場合、前記複数のセルの少なくとも一部において前記双安定回路のデータを前記不揮発性素子にストアする制御部と、を具備することを特徴とする記憶回路である。本発明によれば、消費電力を削減することができる。

40

【 0 0 1 5 】

上記構成において、前記制御部は、前回に前記双安定回路にデータがリストアされた以降に、前記複数の双安定回路のデータが揮発的に書き換えられているか否かを判定し、書き換えられていないと判定した場合、前記複数のセルにおいて前記双安定回路のデータを前記不揮発性素子にストアせず、書き換えられたと判定した場合、前記複数のセルの少なくとも一部において前記双安定回路のデータを前記不揮発性素子にストアする構成とする

50

ことができる。

【0016】

上記構成において、前記複数のセルは複数の領域に分割されており、前記制御部は、前記複数の領域毎に、前記双安定回路のデータを前記不揮発性素子にストアするか否かを判断する構成とすることができる。

【0017】

上記構成において、前記複数の領域毎に、前記双安定回路の少なくとも1つのデータが書き換えられたか否かを記憶する記憶部を具備する構成とすることができる。

【0018】

上記構成において、前記不揮発性素子は強磁性トンネル接合素子である構成とすることができる。

10

【0019】

上記構成において、前記制御部は、スキップ信号を受信した場合、前回に前記双安定回路にデータがリストアされた以降に、前記複数の双安定回路のデータが揮発的に書き換えられているか否かの判定を行なわない構成とすることができる。

【0020】

本発明は、強磁性トンネル接合素子と、前記強磁性トンネル接合素子に不揮発的に書き込まれたデータを読み出す読出回路と、前記読出回路の出力と、前記強磁性トンネル接合素子に不揮発的に書き込むデータと、が一致した場合、前記強磁性トンネル接合素子に前記不揮発的に書き込むデータを書き込まず、前記読出回路の出力と、前記不揮発的に書き込むデータと、が一致しない場合、前記強磁性トンネル接合素子に前記不揮発的に書き込むデータを書き込む制御部と、を具備することを特徴とする記憶回路である。本発明によれば、消費電力を削減することができる。

20

【0021】

上記構成において、前記制御部は、前記読出回路の出力と、前記強磁性トンネル接合素子に不揮発的に書き込むデータと、が一致するか否かを判定し、一致したと判定した場合、前記強磁性トンネル接合素子に前記不揮発的に書き込むデータを書き込まず、一致しないと判定した場合、前記強磁性トンネル接合素子に前記不揮発的に書き込むデータを書き込む構成とすることができる。

【0022】

上記構成において、前記制御部は、スキップ信号を受信した場合、前記読出回路の出力と、前記強磁性トンネル接合素子に不揮発的に書き込むデータと、が一致しているか否かの判定を行なわない構成とすることができる。

30

【発明の効果】

【0023】

本発明によれば、消費電力を削減することができる。

【図面の簡単な説明】

【0024】

【図1】図1(a)および図1(c)は、強磁性トンネル接合素子の一例を示す図である。図1(b)は、強磁性トンネル接合素子の電流 - 電圧特性を示す図である。

40

【図2】図2は、記憶セルの回路図である。

【図3】図3は、記憶セルの制御を示すタイミングチャートである。

【図4】図4(a)および図4(b)は、記憶セルの別の例を示す回路図である。

【図5】図5(a)および図5(b)は、実施例1に係る記憶回路および記憶セルを示すブロック図である。

【図6】図6は、実施例1に係る記憶セルと判定部のブロック図である。

【図7】図7(a)および図7(b)は、電源、スイッチ線および制御線のタイミングチャートである。

【図8】図8は、実施例2に係る記憶回路のブロック図である。

【図9】図9は、スイッチ線と制御線のタイミングチャートである。

50

【図10】図10は、実施例3に係る記憶セルと判定部のブロック図である。

【図11】図11は、実施例3に係る記憶回路の回路図である。

【図12】図12は、各信号のタイミングチャートである。

【図13】図13は、実施例4に係る記憶回路を示すブロック図である。

【図14】図14は、ストアの際の制御部の処理を示すフローチャートである。

【図15】図15は、実施例4の変形例に係る記憶回路を示すブロック図である。

【図16】図16は、実施例5に係る記憶回路のブロック図である。

【図17】図17は、実施例5に係る記憶回路のより詳細なブロック図である。

【発明を実施するための形態】

【0025】

10

まず、不揮発性素子として強磁性トンネル接合素子について説明する。図1(a)は、強磁性トンネル接合素子の一例を示す図である。強磁性トンネル接合素子40は、強磁性電極フリー層42と、強磁性電極ピン層46と、強磁性電極フリー層42と強磁性電極ピン層46との間に設けられたトンネル絶縁膜44とを有する。強磁性電極フリー層42および強磁性電極ピン層46は、強磁性金属、ハーフメタル強磁性体または強磁性半導体からなる。強磁性電極フリー層42は、磁化方向を変更することができる。一方、強磁性電極ピン層46は、磁化方向が固定されている。強磁性電極フリー層42と強磁性電極ピン層46との磁化方向が平行な状態を平行磁化、反平行な場合を反平行磁化という。

【0026】

図1(b)は、強磁性トンネル接合素子40の電流 - 電圧特性を示す図である。図1(a)のように、強磁性電極ピン層46に対し強磁性電極フリー層42に印加される電圧Vおよび強磁性電極フリー層42から強磁性電極ピン層46に流れる電流Iで定義する。このときの強磁性トンネル接合素子40のシンボルを図1(c)のように定義する。図1(b)を参照に、平行磁化状態の強磁性トンネル接合素子40の抵抗 R_p は、反平行磁化状態の強磁性トンネル接合素子40の抵抗 R_{ap} より小さくなる。一般に、 R_p と R_{ap} は強磁性トンネル接合に印加される電圧の関数であるが、以下では近似的に抵抗値が一定の抵抗として取り扱う。 R_p と R_{ap} が一定抵抗でない場合でも以下の議論は同様に成り立つ。

20

【0027】

反平行磁化状態において、強磁性トンネル接合素子40に印加される電圧Vが大きくなると、電流Iは抵抗 R_{ap} の逆数の傾きで大きくなる(図1(b)のA)。電流Iが閾値電流 I_{TF} を越えると、強磁性電極ピン層46から強磁性電極フリー層42に注入される強磁性電極ピン層46の多数スピンの電子により、強磁性電極フリー層42の磁化が反転し、平行磁化状態となる(図1(b)のB)。これにより、強磁性トンネル接合素子40の抵抗は R_p となる。一方、平行磁化状態で負の電流Iが流れ(図1(b)のC)、閾値電流 I_{TR} を負に越えると、強磁性電極フリー層42から強磁性電極ピン層46に注入される電子のうち、強磁性電極フリー層42の少数スピンの電子は強磁性電極ピン層46によって反射される。これにより、強磁性電極フリー層42の磁化が反転し、反平行磁化状態となる(図1(b)のD)。

30

【0028】

40

このように、スピン偏極した電荷の注入により磁化方向を変更させる強磁性電極フリー層42の磁化方向を反転させる方法をスピン注入磁化反転法という。スピン注入磁化反転法は、磁界を発生させ磁化方向を変更する方法に比べ、磁化方向の変更に要する消費電力を削減できる可能性がある。また、磁場を発生させ磁化方向を変更する方法に比べると、漏洩磁場の問題がないことから、選択セル以外のセルに誤書き込みや誤消去を発生するディスプレイの影響を受け難く、高密度集積化に向いている。

【0029】

次に、双安定回路と強磁性トンネル接合素子とを有する記憶セルの例について説明する。図2は、記憶セルの回路図である。図2に示すように、記憶セル100は、第1インバータ回路10、第2インバータ回路20、強磁性トンネル接合素子MTJ1およびMTJ

50

2を有している。第1インバータ回路10と第2インバータ回路20はリング状に接続され双安定回路30を構成している。第1インバータ回路10は、nMOSFET(Metal Oxide Semiconductor Field Effect Transistor)m2およびpMOSFETm1を有している。第2インバータ回路20は、nMOSFETm4およびpMOSFETm3を有している。

【0030】

第1インバータ回路10と第2インバータ回路20が接続されたノードがそれぞれノードQ、QBである。ノードQとノードQBとは互いに相補ノードであり、双安定回路30は、ノードQおよびノードQBがそれぞれハイレベルおよびローレベル、または、ノードQおよびノードQBがそれぞれローレベルおよびハイレベルとなることにより安定状態となる。双安定回路30は、安定状態となることにより、データを記憶することができる。

10

【0031】

ノードQおよびQBは、それぞれMOSFETm5およびm6を介し入出力線DおよびDBに接続されている。MOSFETm5およびm6のゲートはワード線WLに接続されている。MOSFETm1からm6により6MOSFET型のSRAMが形成される。

【0032】

ノードQと制御線CTRLとの間にFETm7と強磁性トンネル接合素子MTJ1とが接続され、ノードQBと制御線CTRLとの間にFETm8と強磁性トンネル接合素子MTJ2とが接続されている。FETm7およびm8のソースおよびドレインの一方は、ノードQおよびQBに、ソースおよびドレインの他方は強磁性トンネル接合素子MTJ1およびMTJ2にそれぞれ接続されている。FETm7およびm8のゲートはスイッチ線SRに接続されている。なお、FETm7およびm8は、それぞれ、強磁性トンネル接合素子MTJ1およびMTJ2と制御線CTRLとの間に接続されていてもよい。すなわち、FETm7およびm8のソースおよびドレインがノードQおよびQBと制御線CTRLとの間に強磁性トンネル接合素子MTJ1およびMTJ2に対し直列に接続されていればよい。また、FETm7およびm8は、設けられていなくてもよい。

20

【0033】

双安定回路30へのデータの書き込みおよび読み出しは、従来のSRAMと同じように行われる。すなわち、ワード線WLをハイレベルとしFETm5およびm6を導通状態とすることにより、双安定回路30に入出力線DおよびDBのデータが書き込まれる。また、入出力線DおよびDBを等電位の浮遊状態としワード線WLをハイレベルとしFETm5およびm6を導通状態とすることにより、双安定回路30のデータを入出力線DおよびDBに読み出すことができる。FETm5およびm6を遮断状態とすることにより、双安定回路30のデータが保持される。なお、双安定回路30へのデータの書き込み、読み出し、および保持の際、スイッチ線SRはローレベルとし、FETm7およびm8は遮断状態とすることが好ましい。これにより、ノードQおよびQBと制御線CTRL間の電流を抑制し、消費電力を削減することができる。

30

【0034】

図3は、記憶セルの制御を示すタイミングチャートである。なお、ハッチ領域はハイレベルかローレベルか定かではないことを示す。図3を参照し、電源電圧Vsupplyが供給され、制御線CTRLおよびスイッチ線SRはローレベルである。双安定回路30へのデータの書き込みは、ワード線WLをハイレベル、入出力線D、DBをハイレベルまたはローレベルとすることにより行われる。双安定回路30から強磁性トンネル接合素子MTJ1およびMTJ2へのデータのストアは、期間T1においてスイッチ線SRおよび制御線CTRLをハイレベルとし、期間T2において、スイッチ線SRをハイレベルとし制御線CTRLをローレベルとすることにより行われる。

40

【0035】

ノードQおよびQBがそれぞれハイレベルおよびローレベルのとき、強磁性トンネル接合素子MTJ1およびMTJ2はそれぞれ高抵抗および低抵抗となる。ノードQおよびQBがそれぞれローレベルおよびハイレベルのとき、強磁性トンネル接合素子MTJ1およ

50

びMTJ2はそれぞれ低抵抗および高抵抗となる。このように、双安定回路30のデータが強磁性トンネル接合素子MTJ1およびMTJ2にストアされる。

【0036】

その後、電源電圧Vsupplyを0Vとすることにより、記憶セルはシャットダウン状態となる。このとき、記憶セルに電流が流れないため、消費電力を抑制することができる。強磁性トンネル接合素子MTJ1およびMTJ2から双安定回路30へのデータのリストアは、期間T3において制御線CTRLをローレベルとしスイッチ線SRをハイレベルとした状態で電源電圧Vsupplyを0Vから立ち上げることにより行われる。

【0037】

強磁性トンネル接合素子MTJ1およびMTJ2がそれぞれ高抵抗および低抵抗のとき、ノードQおよびQBはそれぞれハイレベルおよびローレベルとなる。強磁性トンネル接合素子MTJ1およびMTJ2がそれぞれ低抵抗および高抵抗のとき、ノードQおよびQBはそれぞれローレベルおよびハイレベルとなる。このように、強磁性トンネル接合素子MTJ1およびMTJ2に不揮発的に記憶されているデータが双安定回路にリストアされる。

10

【0038】

双安定回路30からのデータの読み出しは、ワード線WLをハイレベルとすることにより行われる。

【0039】

図4(a)および図4(b)は、記憶セルの別の例を示す回路図である。図4(a)に示すように、強磁性トンネル接合素子MTJ2の代わりに抵抗R1を用いることができる。図4(b)に示すように、ノードQBと制御線CTRLとの間は接続されていない。図4(a)および図4(b)のように、強磁性トンネル接合素子は、ノードQおよびQBの一方と制御線CTRLとの間にのみ接続してもよい。なお、FETm7は、強磁性トンネル接合素子MTJ1と制御線CTRLとの間に接続されていてもよい。また、FETm7は、設けられていなくてもよい。

20

【実施例1】

【0040】

図5(a)および図5(b)は、実施例1に係る記憶回路および記憶セルを示すブロック図である。図5(a)を参照し、記憶回路103は、メモリ領域77、列デコーダ71、列ドライバ72、行デコーダ73、行ドライバ74および制御部85を備えている。メモリ領域77には、複数の記憶セル100がマトリックス状に配置されている。列デコーダ71および行デコーダ73は、アドレス信号から列および行を選択する。列ドライバ72は、選択された列の入出力線D、DBおよび制御線CTRLに電圧等を印加する。行ドライバ74は、選択された行のワード線WL、スイッチ線SRおよび制御線CTRLに電圧等を印加する。制御部85は、列デコーダ71、列ドライバ72、行デコーダ73、および行ドライバ74を介し、記憶セル100の入出力線D、DB、ワード線WL、スイッチ線SRおよび制御線CTRLに電圧等を印加する。図5(b)に示すように、記憶セル100は、例えば図2の記憶セル100と同様である。

30

【0041】

なお、行ドライバ74が制御線CTRLに電圧を印加する場合、例えば、行に配列された記憶セル100毎に制御線CTRLが接続される。列ドライバ72が制御線CTRLに電圧を印加する場合、例えば、列に配列された記憶セル100に共通に制御線CTRLが接続される。

40

【0042】

図6は、実施例1に係る記憶セルと判定部とのブロック図である。図6を参照し、記憶回路101は、図2に示した記憶セル100および判定部50を備えている。記憶セル100の構成は図5(b)と同じであり説明を省略する。判定部50は、複数の記憶セル100にデータを不揮発的にストアする際に、記憶セル100毎に双安定回路30と強磁性トンネル接合素子MTJ1およびMTJ2とのデータが一致しているか否かを判定する。

50

例えば、ノードQおよびQBがそれぞれハイレベルおよびローレベルであり、かつ強磁性トンネル接合素子MTJ1およびMTJ2がそれぞれ高抵抗および低抵抗の場合、双安定回路30と強磁性トンネル接合素子MTJ1およびMTJ2とのデータは一致している。ノードQおよびQBがそれぞれハイレベルおよびローレベルであり、かつ強磁性トンネル接合素子MTJ1およびMTJ2がそれぞれ低抵抗および高抵抗の場合、双安定回路30と強磁性トンネル接合素子MTJ1およびMTJ2とのデータは一致していない。判定部50は、データが一致しているか否かを示すマッチ信号を制御部85に出力する。

【0043】

制御部85は、複数の記憶セル100のうちデータを不揮発的にストアする記憶セル100毎に、マッチ信号を受信する。マッチ信号がデータの一致を示している場合、記憶セル100への不揮発的なストアを行なわない。マッチ信号がデータの一致を示していない場合、記憶セル100への不揮発的なストアを行なう。

10

【0044】

図7(a)および図7(b)は、電源、スイッチ線および制御線のタイミングチャートである。図7(a)を参照し、制御部85は、双安定回路30と強磁性トンネル接合素子MTJ1およびMTJ2とのデータが一致しない記憶セル100において、ストアする期間にスイッチ線SRの電圧をハイレベル(VDD)とする。制御部85は、制御線CTRLの電圧をローレベル(0V)とハイレベル(VDD)とする。これにより、双安定回路30のデータが強磁性トンネル接合素子MTJ1およびMTJ2にストアされる。その後、制御部85は、シャットダウンの期間において、電源電圧Vsupplyを0Vとする。

20

【0045】

図7(b)を参照し、制御部85は、双安定回路30と強磁性トンネル接合素子MTJ1およびMTJ2とのデータが一致する記憶セル100において、ストアする期間にスイッチ線SRの電圧および制御線CTRLの電圧をローレベル(0V)とする。これにより、双安定回路30のデータは強磁性トンネル接合素子MTJ1およびMTJ2にストアされない。その後、制御部85は、シャットダウンの期間において、電源電圧Vsupplyを0Vとする。

【0046】

実施例1によれば、制御部85は、双安定回路30と強磁性トンネル接合素子のデータが一致する場合は、双安定回路30のデータを強磁性トンネル接合素子にストアせず、双安定回路30と強磁性トンネル接合素子とのデータが一致しない場合は、双安定回路30のデータを強磁性トンネル接合素子にストアする。これにより、ストアによる消費電力を抑制できる。このように、記憶セル100毎に、双安定回路30のデータを強磁性トンネル接合素子にストアするか否かを判定できる。実施例1においては、双安定回路30と制御線CTRLとの間に強磁性トンネル接合素子MTJ1およびMTJ2が接続された場合を例に説明したが、強磁性トンネル接合素子等の不揮発性素子にデータを不揮発的にストアできれば、他の回路構成でもよい。

30

【0047】

また、制御部85は、外部の回路からスキップ信号を受信してもよい。制御部85は、スキップ信号を受信した場合、双安定回路30と強磁性トンネル接合素子とのデータが一致するか否かの判定を行なわない。これにより、処理を高速化できる。外部の回路は、スキップ信号により、処理の高速化を行なうか、消費電力の削減を行なうかを選択できる。

40

【0048】

強磁性トンネル接合素子のように不揮発性素子が抵抗値が変更されることにより双安定回路30のデータをストアする場合、制御部85は、双安定回路30にデータが記憶されているときの制御線CTRLの電圧に基づき、双安定回路30と強磁性トンネル接合素子とのデータが一致するか否かを判定することができる。図4(a)および図4(b)のように、強磁性トンネル接合素子が、双安定回路30内の1つのノードQまたはQBと制御線CTRLとの間に1つ設けられていてもよい。

50

【実施例 2】

【0049】

実施例 2 は実施例 1 の具体例である。図 8 は、実施例 2 に係る記憶回路のブロック図である。図 8 を参照し、判定部 50 は比較器 52 およびインバータ 54 を備えている。比較器 52 は、制御線 C T R L の電圧と参照電圧 V_{ref} とを比較する。インバータ 53 は比較器 52 の出力を反転しマッチ信号として出力する。

【0050】

図 9 は、スイッチ線と制御線のタイミングチャートである。制御部 85 は、制御線 C T R L を浮遊状態とし、時間 t_1 において、スイッチ線 S R をハイレベルとする。双安定回路 30 と強磁性トンネル接合素子とのデータが一致している場合として、例えばノード Q がハイレベルかつ強磁性トンネル接合素子 M T J 1 が高抵抗、ノード Q B がローレベルかつ強磁性トンネル接合素子 M T J 2 が低抵抗とする。制御線 C T R L は、低抵抗の強磁性トンネル接合素子 M T J 2 に接続されたノード Q B のレベルに近くなる。よって、図 9 の制御線 C T R L の実線のように、比較的電圧が低い状態となる。

【0051】

一方、双安定回路 30 と強磁性トンネル接合素子とのデータが一致していない場合、低抵抗の強磁性トンネル接合素子に接続されたノードはハイレベルとなる。よって、図 9 の破線のように、制御線 C T R L は比較的電圧が高い状態となる。そこで、参照電圧 V_{ref} を適切に選択することにより、制御線 C T R L の電圧により、双安定回路 30 と強磁性トンネル接合素子とのデータが一致しているか否かを判定できる。このように、制御部 85 は、各記憶セルに記憶されているデータを確認（ベリファイ）することができる。なお、参照電圧 V_{ref} としては、例えば $V_{supply} / 2$ とすることができる。

【0052】

実施例 2 のように、強磁性トンネル接合素子のように不揮発性素子は抵抗値が変更されることにより双安定回路 30 のデータをストアする。第 1 不揮発性素子 (M T J 1) は、一端がノード Q に他端が制御線 C T R L に接続され、第 2 不揮発性素子 (M T J 2) は一端がノード Q B に他端が制御線 C T R L との間に接続されている。この場合、制御部 85 は、双安定回路 30 にデータが記憶されているときの制御線 C T R L の電圧に基づき、双安定回路 30 と不揮発性素子とのデータが一致するか否かを判定することができる。なお、図 4 (a) および図 4 (b) のように、強磁性トンネル接合素子が、1 つのノード Q または Q B と制御線 C T R L との間に 1 つ設けられている場合も、制御線 C T R L の電圧に基づき、双安定回路 30 と不揮発性素子とのデータが一致するか否かを判定することができる。

【実施例 3】

【0053】

実施例 3 は、実施例 1 の別の具体例である。図 10 は、実施例 3 に係る記憶セルと判定部のブロック図である。図 10 を参照し、判定部 50 は読出回路 56 および判定回路 58 を備えている。読出回路 56 の出力 B o u t が判定回路 58 に入力する。判定回路 58 は、マッチ信号と、エラー信号を制御部 85 に出力する。エラー信号は強磁性トンネル接合素子にストアされたデータが矛盾するか否かを示す信号である。その他の構成は図 6 と同じであり説明を省略する。

【0054】

図 11 は、実施例 3 に係る記憶回路の回路図である。図 11 を参照し、読出回路 56 は、センスアンプ 61 およびバッファ 62 を備えている。センスアンプ 61 は、双安定回路 30 のデータを読み出す。バッファ 62 は、センスアンプ 61 が読み出したデータを保持する。

【0055】

判定回路 58 は、M O S F E T m 10 から m 15、センスアンプ 65、66、インバータ 63、64、67 および X O R 回路 68 を備えている。M O S F E T m 10 から m 13 およびインバータ 63 は、バッファ 62 の出力 B o u t に基づき、ハイレベル側のノード

QまたはQBに接続される制御線CTRL1またはCTRL2を接続線CTRL(H)を介しセンスアンプ65に電氣的に接続する。一方、ローレベル側のノードQまたはQBに接続される制御線CTRL1またはCTRL2を接続線CTRL(L)を介しセンスアンプ66に電氣的に接続する。センスアンプ65は、ノードがハイレベルの接続線CTRL(H)の電圧を参照電圧VrefHと比較する。センスアンプ65の出力がインバータ67を介しマッチ信号として出力される。

【0056】

センスアンプ66は、ノードがローレベルの接続線CTRL(L)の電圧を参照電圧VrefLと比較する。センスアンプ65と66との出力はXOR回路68に入力する。XOR回路68はエラー信号を出力する。エラー信号は2つの強磁性トンネル接合素子に矛盾するデータがストアされていないかを示す信号である。例えば、強磁性トンネル接合素子MTJ1とMTJ2とがともに低抵抗のとき、またはともに高抵抗のとき、2つの強磁性トンネル接合素子に矛盾するデータがストアされている。MOSFETm14、m15およびインバータ64は、接続線CTRL(H)およびCTRL(L)をプリチャージする。

10

【0057】

図12は、各信号のタイミングチャートである。読出回路56が双安定回路30からデータを読み出す。このとき、スイッチ線SRプリチャージPCはローレベルである。バッファ62の出力Bout、接続線CTRL(H)およびCTRL(L)はローレベルまたはハイレベルである。時間t2からt3の間はプリチャージ期間である。プリチャージPCがハイとなる。接続線CTRL(H)およびCTRL(L)はそれぞれローレベルおよびハイレベルにプリチャージされる。

20

【0058】

時間t3において、スイッチ線SRがハイレベル、プリチャージPCがローレベルとなる。接続線CTRL(H)の電圧は、対応する強磁性トンネル接合素子が高抵抗のとき(データが一致するとき)、実線のようになる。対応する強磁性トンネル接合素子が低抵抗のとき(データが一致しないとき)、破線のようになる。時間t4において、接続線CTRL(H)の電圧を参照電圧VrefHと比較することにより、ハイレベルのノードと対応する強磁性トンネル接合素子とのデータが一致しているか判定できる。接続線CTRL(L)の電圧は、対応する強磁性トンネル接合素子が低抵抗のとき(データが一致するとき)、実線のようになる。対応する強磁性トンネル接合素子が高抵抗のとき(データが一致しないとき)、破線のようになる。時間t4において、接続線CTRL(L)の電圧を参照電圧VrefLと比較することにより、ローレベルのノードと対応する強磁性トンネル接合素子とのデータが一致しているか判定できる。

30

【0059】

実施例3によれば、図10に示すように、制御部85は、読出回路56の出力Boutと、制御線の電圧と、に基づき、双安定回路30と強磁性トンネル接合素子とのデータが一致するか否かを判定することができる。例えば、図4(a)および図4(b)のように、強磁性トンネル接合素子が、双安定回路30内の1つのノードQまたはQBと制御線CTRLとの間に1つ設けられている場合であってもデータの一致を判定できる。

40

【0060】

また、2つの強磁性トンネル接合素子MTJ1およびMTJ2が、双安定回路30内の2つのノードQおよびQBと接続線CTRL(H)およびCTRL(L)との間にそれぞれ接続されている場合、制御部85は、読出回路の出力Boutと、制御線CTRL1(第1制御線)および制御線CTRL2(第2制御線)の電圧と、に基づき、強磁性トンネル接合素子MTJ1とMTJ2とのデータが矛盾するか否かを判定することができる。

【実施例4】

【0061】

図13は、実施例4に係る記憶回路を示すブロック図である。図13を参照し、記憶回路102は、メモリ領域77、列デコーダ71、列ドライバ72、行デコーダ73、行ド

50

ライバ 7 4、判定回路 7 5 および制御部 7 0 を備えている。メモリ領域 7 7 には、複数の記憶セルがマトリックス状に配置されている。記憶セルは、例えば図 2、図 4 (a) または図 4 (b) に示した記憶セルである。メモリ領域 7 7 は複数の領域 7 6 に分割されている。列デコーダ 7 1 および行デコーダ 7 3 は、アドレス信号から列および行を選択する。列ドライバ 7 2 は、選択された列の入出力線および制御線に電圧等を印加する。行ドライバ 7 4 は、選択された行のワード線、スイッチ線および制御線に電圧等を印加する。判定回路 7 5 は、所定期間において対応する領域 7 6 内の記憶セルにデータが揮発的に書き換えられたかを判定する。例えば、図 1 3 の記憶セル 7 8 にデータが揮発的に書き換えられている。

【 0 0 6 2 】

図 1 4 は、ストアの際の制御部の処理を示すフローチャートである。図 1 4 に示すように、制御部 7 0 は、ストアする際に、最初の領域 7 6 について、前回に双安定回路 3 0 にデータがリストアされた以降に、複数の双安定回路のデータが揮発的に書き換えられているか否かを判定する (ステップ S 1 0)。Yes の場合、制御部 7 0 は、領域 7 6 内の各記憶セルにおいて、双安定回路 3 0 のデータを不揮発性素子 (例えば強磁性トンネル接合素子) に不揮発的にストアさせる (ステップ S 1 2)。No の場合、領域 7 6 内ではストアは行わない。制御部 7 0 は、最後の領域 7 6 が判定する (ステップ S 1 3)。Yes の場合終了する。No の場合ステップ S 1 0 に戻る。

【 0 0 6 3 】

なお、ステップ S 1 2 において、実施例 1 から 3 のように、記憶セル毎に双安定回路 3 0 のデータを不揮発性素子にストアするかの判定を行ってもよい。

【 0 0 6 4 】

実施例 4 によれば、制御部 7 0 は、前回に双安定回路 3 0 にデータがリストアされた以降に、複数の双安定回路 3 0 のデータが揮発的に書き換えられていない場合、複数の記憶セルにおいて双安定回路 3 0 のデータを不揮発性素子にストアしない。一方、複数の双安定回路 3 0 の少なくとも 1 つのデータが書き換えられた場合、複数の記憶セルの少なくとも一部において双安定回路 3 0 のデータを不揮発性素子にストアする。このように、複数の双安定回路 3 0 のデータが揮発的に書き換えられていない場合、複数の双安定回路 3 0 のデータを不揮発性素子にストアしないことにより、ストアのための消費電力を抑制できる。

【 0 0 6 5 】

また、複数の記憶セルは複数の領域 7 6 に分割されており、制御部 7 0 は、複数の領域毎に、双安定回路 3 0 のデータを不揮発性素子にストアするか否かを判定することができる。

【 0 0 6 6 】

図 1 5 は、実施例 4 の変形例に係る記憶回路を示すブロック図である。図 1 5 を参照し、図 1 3 の判定回路 7 5 に代わりに、AND 回路 7 9 および S R F F (S R フリップフロップ) 8 0 が各領域 7 6 に対応し設けられている。AND 回路 7 9 は、書き換え活性信号 E N と、揮発的に書き換える記憶セルが領域 7 6 内かを示す信号との AND 処理を行なう。例えばアドレス信号から書き換える記憶セルが特定の領域 7 6 内かを判定できる。AND 回路 7 9 は、対応する領域 7 6 内の記憶セルが書き換え対象の場合ハイレベルを出力し、対応する領域 7 6 内の記憶セルが書き換え対象でない場合ローレベルを出力する。S R F F 8 0 は、一度ハイレベルが入力されるとハイレベルを記憶する。制御部 7 0 は、S R F F 8 0 の出力により、所定期間内に、領域 7 6 内の記憶セルが揮発的に書き換えられたかを判断できる。制御部 7 0 は、リセット信号 R S T を用い S R F F 8 0 の出力をローレベルにリセットできる。例えば、リストアを行なった場合、判定部 5 0 は S R F F 8 0 をリセットする。

【 0 0 6 7 】

実施例 4 の変形例のように、記憶部 (S R F F 8 0) は、複数の領域 7 6 毎に、双安定回路 3 0 の少なくとも 1 つのデータが書き換えられたか否かを記憶する。これにより、制

10

20

30

40

50

御部 70 は、簡単に、双安定回路 30 の少なくとも 1 つのデータが書き換えられたか否か判定できる。

【 0068 】

実施例 4 およびその変形例において、制御部 70 は、外部の回路からスキップ信号を受信してもよい。制御部 70 は、スキップ信号を受信した場合、前回に双安定回路 30 にデータがリストアされた以降に、複数の双安定回路 30 のデータが揮発的に書き換えられているか否かの判定を行なわない。これにより、処理を高速化できる。外部の回路は、スキップ信号により、処理の高速化を行なうか、消費電力の削減を行なうかを選択できる。

【 0069 】

実施例 1 から 4 およびその変形例においては、不揮発性素子として強磁性トンネル接合素子を例に説明したが、その他の不揮発性素子でもよい。例えば、不揮発性素子は、R e R A M (Resistance Random Access Memory) 等に用いられる C E R (Colossal Electro-Resistance) 効果を用いた抵抗変化素子でもよい。また、相変化素子または強誘電体素子等でもよい。

【実施例 5】

【 0070 】

実施例 5 は、M R A M (Magnetic Random Access Memory) の例である。図 16 は、実施例 5 に係る記憶回路のブロック図である。記憶回路 104 は、記憶セル 98 として M O S F E T 82 と強磁性トンネル接合素子 M T J を備えている。M O S F E T 82 のソースおよびドレインの一方はビット線 / B L に接続されている。M O S F E T 82 のソースおよびドレインの他方は強磁性トンネル接合素子 M T J を介しビット線 B L に接続されている。M O S F E T 82 のゲートはワード線 W L に接続されている。記憶セル 98 はマトリクス状に複数設けられている。

【 0071 】

ドライバ 84 は、ビット線 / B L および B L が接続されている。ドライバ 84 は、データを記憶セル 98 に不揮発的に書き込む。例えば、ドライバ 84 がビット線 / B L および B L の一方をハイレベル、他方をローレベルとする。ワード線 W L をハイレベルとし M O S F E T 82 を導通状態とする。これにより、強磁性トンネル接合素子 M T J に電流が流れる。強磁性トンネル接合素子 M T J を流れる電流の向きに応じ、図 1 (a) から図 1 (c) において説明したように、強磁性トンネル接合素子 M T J を低抵抗または高抵抗とすることができる。これにより、強磁性トンネル接合素子 M T J にデータを不揮発的に書き込みできる。

【 0072 】

読出回路 88 にはビット線 / B L が接続されている。読出回路 88 は、強磁性トンネル接合素子 M T J に不揮発的に書き込まれたデータを読み出す。ビット線 B L をハイレベルとし、ビット線 / B L を浮遊状態とする。ワード線 W L をハイレベルとし M O S F E T 82 を導通状態とする。読出回路 88 がビット線 / B L の電位を検出することにより、強磁性トンネル接合素子 M T J が低抵抗か高抵抗か判定できる。これにより、強磁性トンネル接合素子 M T J に書き込まれたデータを読み出すことができる。読み出されたデータは読出データ B o u t として出力される。

【 0073 】

制御部 86 には、書込データと読出データとが入力される。制御部 86 は、書込データと読出データとが一致するか否かを判定する。書込データと読出データとが一致しない場合、制御部 86 は記憶セル 98 の強磁性トンネル接合素子 M T J に書込データを書き込む。書込データと読出データとが一致する場合、制御部 86 は記憶セル 98 の強磁性トンネル接合素子 M T J に書込データを書き込まない。

【 0074 】

図 17 は、実施例 5 に係る記憶回路のより詳細なブロック図である。読出回路 88 は、センスアンプ 94 とバッファ 96 を備えている。センスアンプ 94 は、ビット線 / B L の電位が基準電位 R e f より低いか高いかにより記憶セル 98 のデータを読み出す。読み出

10

20

30

40

50

されたデータはバッファ96に保持される。制御部86は、バッファ90とXNOR回路92とを備えている。書込データは、バッファ90に保持される。XNOR回路92にはバッファ90に保持された書込データとバッファ96に保持された読出データとが入力される。XNOR回路92は、書込データと読出データとが一致した場合、ハイレベルを、一致しない場合、ローレベルを出力する。ドライバ84は、XNOR回路92の出力がハイレベルの場合、書込データを記憶セル98に書き込まない。例えば、ドライバ84は、ビット線/BLとBLを等電位にする。または浮遊状態とする。これにより、ワード線WLがハイレベルとなっても、強磁性トンネル接合素子MTJにはデータが書き込まれない。XNOR回路92の出力がローレベルの場合、書込データを記憶セル98に書き込む。

【0075】

実施例5によれば、制御部86は、読出回路88の出力と、強磁性トンネル接合素子MTJに不揮発的に書き込むデータと、が一致した場合、書き込みデータを書き込まない。一方、制御部86は、読出回路88の出力と、不揮発的に書き込むデータと、が一致しない場合、強磁性トンネル接合素子に書き込みデータを書き込む。強磁性トンネル接合素子MTJにデータを書き込む際の消費電力は、強磁性トンネル接合素子MTJからデータを読み出す際の消費電力より非常に大きい。よって、強磁性トンネル接合素子MTJに書き込まれているデータと、書き込むデータが同じ場合、書き込みを行なわない。これにより、消費電力を抑制できる。

【0076】

制御部86は、外部の回路からスキップ信号を受信してもよい。制御部86は、スキップ信号を受信した場合、読出回路88の出力と、強磁性トンネル接合素子に不揮発的に書き込むデータと、が一致しているか否かの判定を行なわない。これにより、処理を高速化できる。外部の回路は、スキップ信号により、処理の高速化を行なうか、消費電力の削減を行なうかを選択できる。

【0077】

実施例1から5のデータ読み出し方法として、電圧センスアンプを用いて説明したが、電流センスアンプを用いることもできる。

【0078】

実施例1から5に係る記憶回路は、例えばキャッシュメモリ、レジスタファイルまたはレジスタ等に用いることができる。フラッシュメモリ等の不揮発性メモリへの書き込みにおいて、書き込み条件の範囲が非常に狭い場合、誤書き込みを防ぐために、書き込めたかどうかを確認（ベリファイ）しながら、セルへの書き込み動作を繰り返すことがある。実施例1から5の記憶回路は、このようなベリファイとは異なり、すでに正常に書き込まれているデータと、上書きしたいデータの一致の確認（ベリファイ）を行なうものである。一般に、上記誤書き込み防止のベリファイは、多数回の確認を行なうことなどから、キャッシュメモリなど高速メモリには用いられない。一方、実施例1から5の記憶回路のように、データの一致のベリファイは、1回の書き込み動作に対して、1度行なえばよい。よって、高速検出が可能となり、キャッシュメモリなどの高速メモリへ応用することができる。

【0079】

以上、本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【符号の説明】

【0080】

10、20 インバータ

30 双安定回路

70、85、86 制御部

MTJ1、MTJ2 強磁性トンネル接合素子

【要約】

10

20

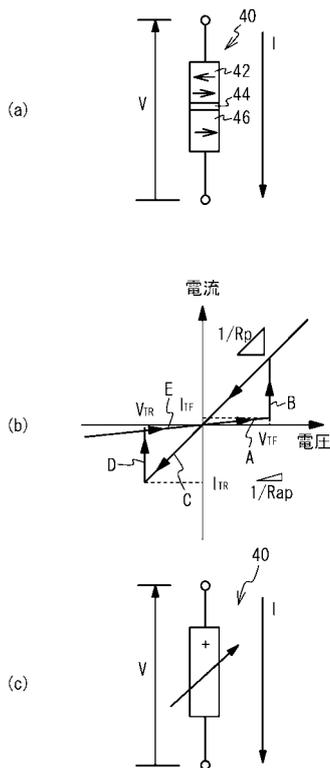
30

40

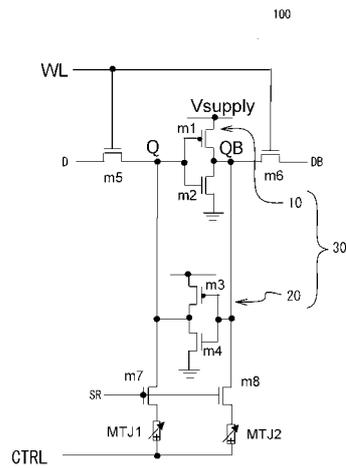
50

データを記憶する双安定回路 30 と、前記双安定回路に記憶されたデータを不揮発的にストアし、不揮発的にストアされたデータを前記双安定回路にリストアする不揮発性素子 MTJ1、MTJ2 と、前記双安定回路と前記不揮発性素子とのデータが一致する場合は、前記双安定回路のデータを前記不揮発性素子にストアせず、前記双安定回路と前記不揮発性素子とのデータが一致しない場合は、前記双安定回路のデータを前記不揮発性素子にストアする判定部 50 と、を具備する記憶回路。

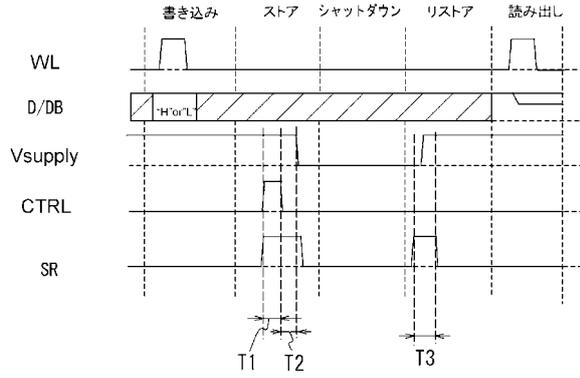
【図 1】



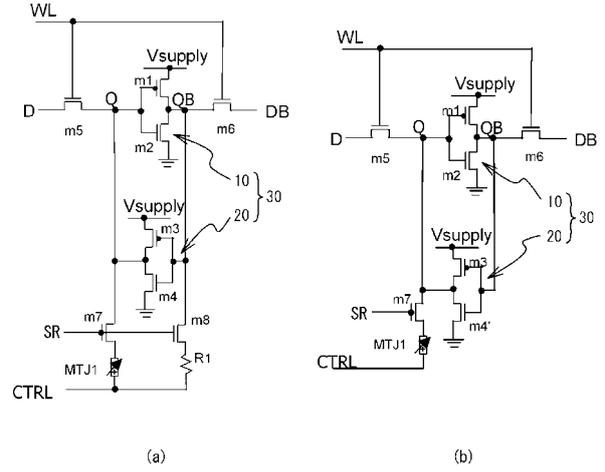
【図 2】



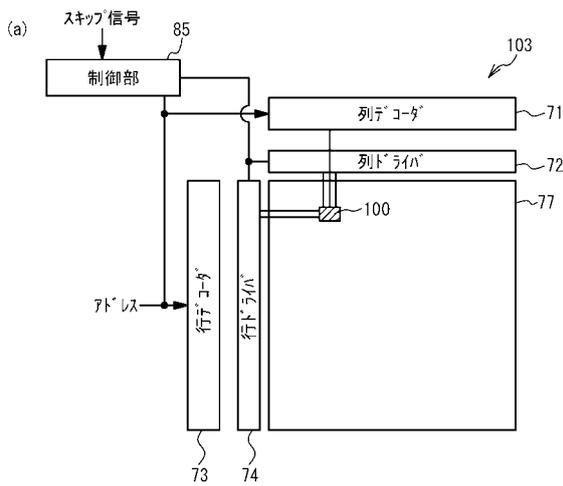
【図3】



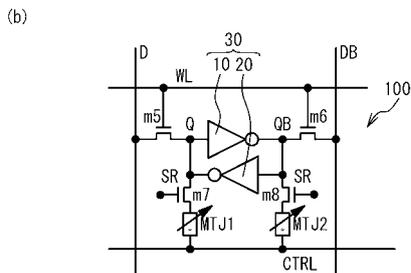
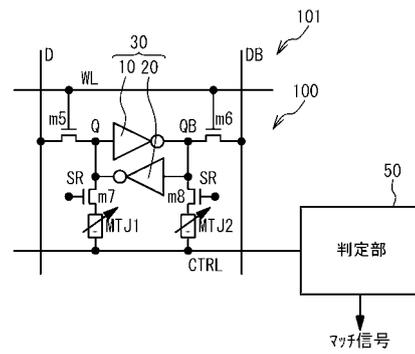
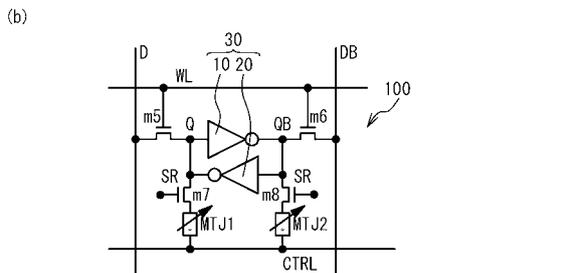
【図4】



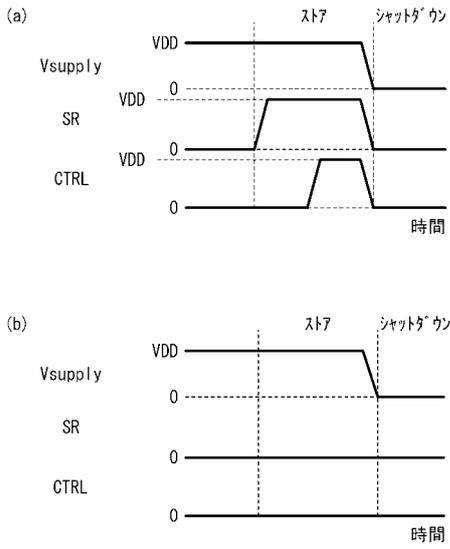
【図5】



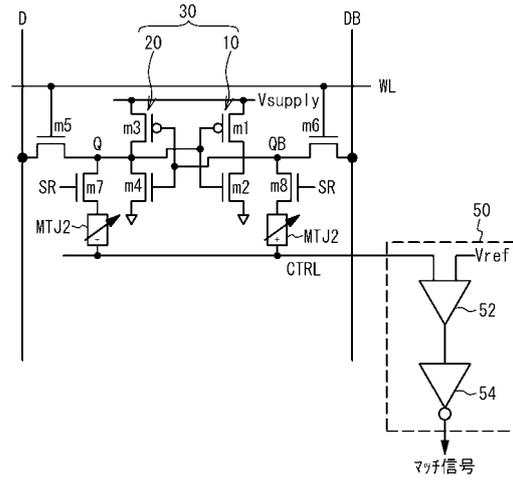
【図6】



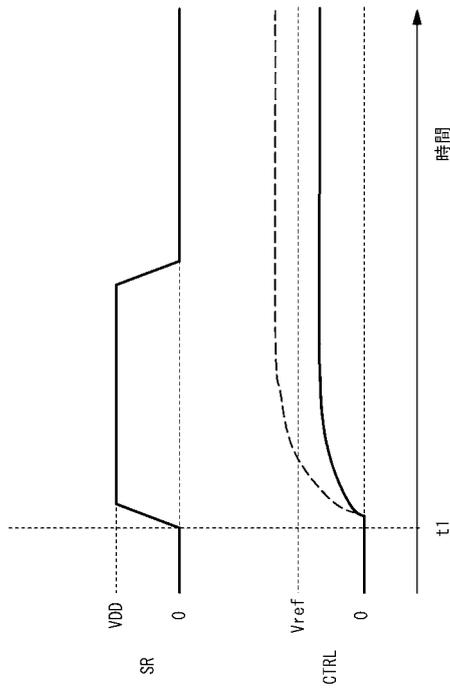
【図7】



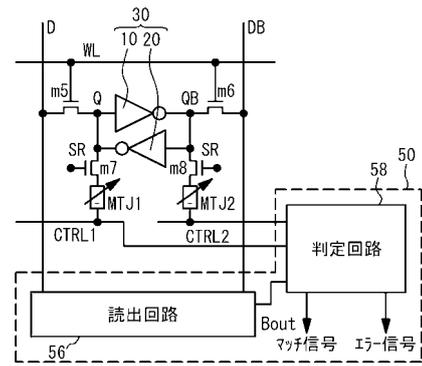
【図8】



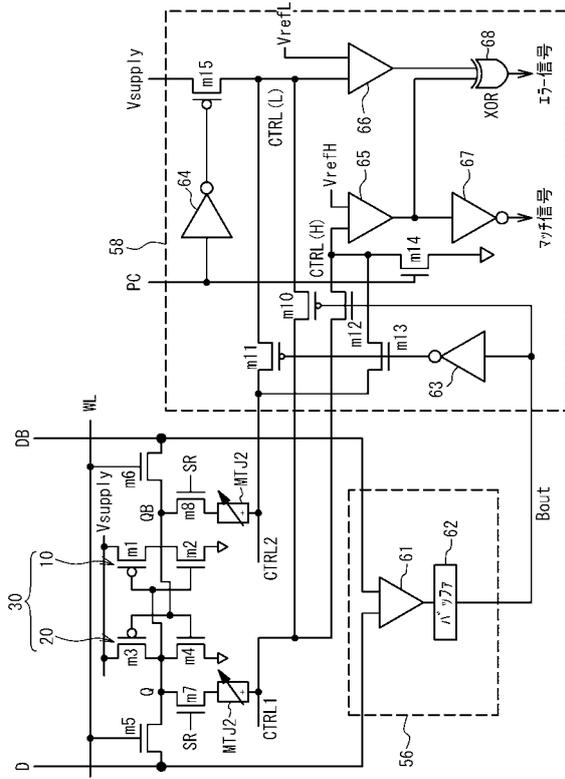
【図9】



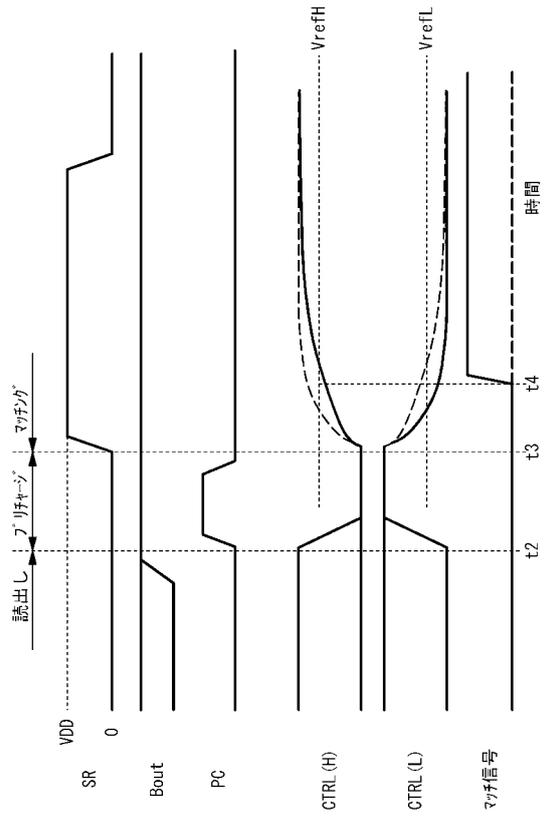
【図10】



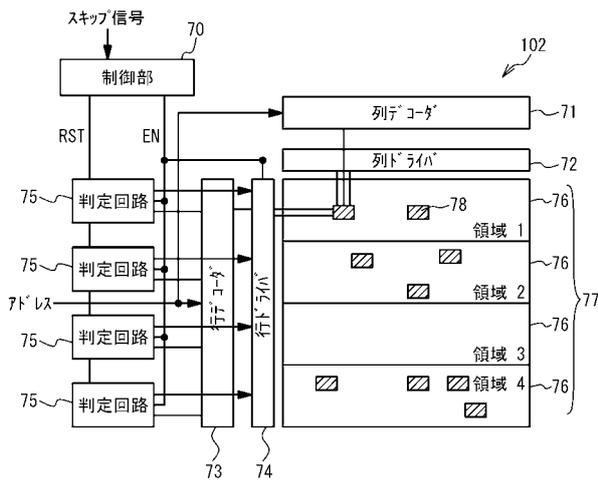
【図11】



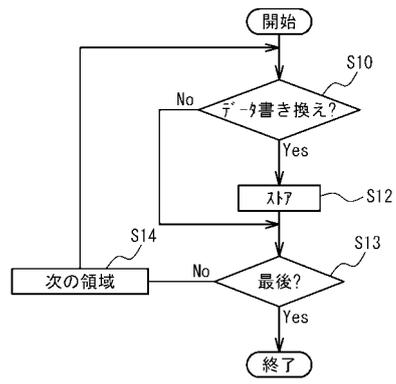
【図12】



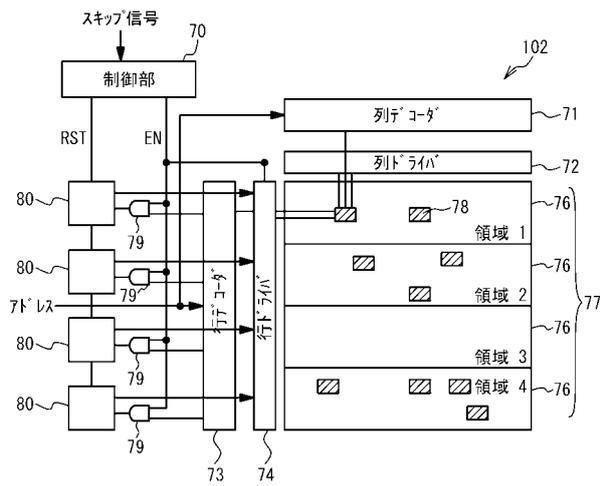
【図13】



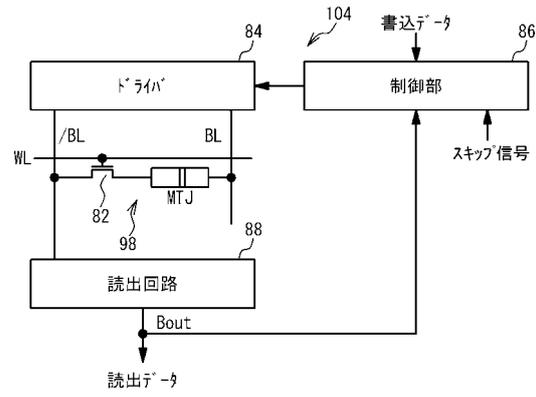
【図14】



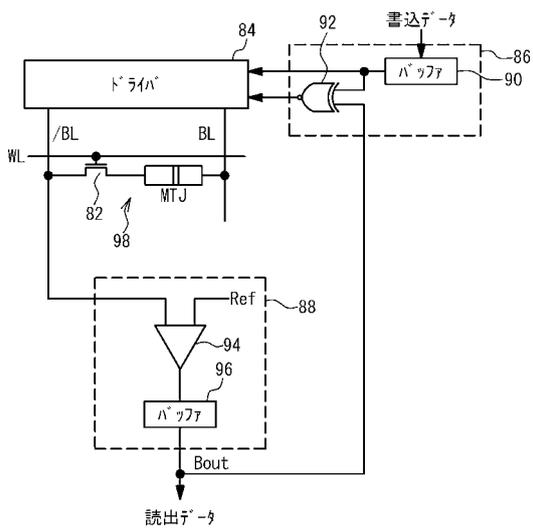
【図15】



【図16】



【図17】



フロントページの続き

審査官 後藤 彰

(56)参考文献 特開2004-063004(JP,A)
特開平02-081398(JP,A)

(58)調査した分野(Int.Cl., DB名)
G11C 11/15
G11C 11/41
G11C 11/412