

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年2月11日(11.02.2021)

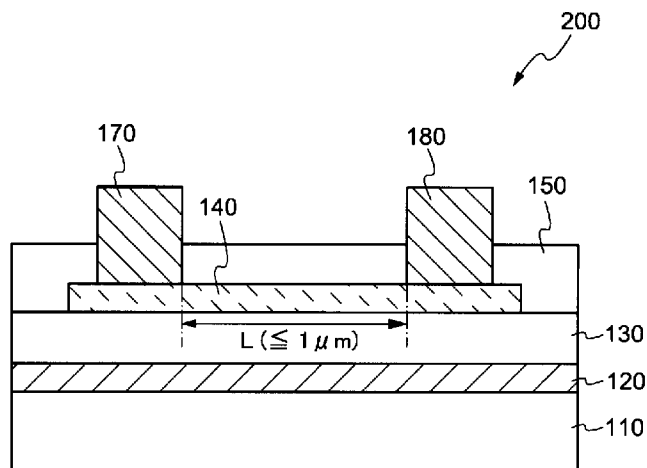


(10) 国際公開番号
WO 2021/024598 A1

- (51) 国際特許分類:
H01L 27/1159 (2017.01) *H01L 29/788* (2006.01)
H01L 27/11597 (2017.01) *H01L 29/792* (2006.01)
H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2020/021963
- (22) 国際出願日: 2020年6月3日(03.06.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-146870 2019年8月8日(08.08.2019) JP
- (71) 出願人: 国立研究開発法人科学技術振興機構(JAPAN SCIENCE AND TECHNOLOGY AGENCY) [JP/JP]; 〒3320012 埼玉県川口市本町四丁目1番8号 Saitama (JP).
- (72) 発明者: 小林 正治 (KOBAYASHI Masaharu); 〒1138654 東京都文京区本郷七丁目3番1号 国立大学法人東京大学内 Tokyo (JP). 莫非 (MO Fei); 〒1138654 東京都文京区本郷七丁目3番1号 国立大学法人東京大学内 Tokyo (JP). 平本 俊郎 (HIRAMOTO Toshiro); 〒1138654 東京都文京区本郷七丁目3番1号 国立大学法人東京大学内 Tokyo (JP).
- (74) 代理人: 特許業務法人高橋・林アンドパートナーズ(TAKAHASHI, HAYASHI AND PARTNER PATENT ATTORNEYS, INC.); 〒1440052 東京

(54) Title: NON-VOLATILE MEMORY DEVICE AND METHOD FOR OPERATING SAME

(54) 発明の名称: 不揮発性記憶装置及びその動作方法



(57) Abstract: This non-volatile memory device comprises a plurality of non-volatile memory elements. Each of the non-volatile memory elements is provided with: a channel layer containing a metal oxide; a ferroelectric layer that contains hafnium oxide and that abuts the channel layer; and a gate electrode that faces the channel layer across the ferroelectric layer, wherein the channel layer has a channel length of 1 μm or less. The metal oxide may be IGZO. The channel layer may have a film thickness of less than 10 nm. Further, the ferroelectric layer may have a film thickness of 5-20 nm.

(57) 要約: 不揮発性記憶装置は、複数の不揮発性記憶素子を含む。各不揮発性記憶素子は、金属酸化物を含むチャネル層と、前記チャネル層に接する酸化ハフニウムを含む強誘電体層と、前記強誘電体層を介して前記チャネル層に対向するゲート電極と、を備え、前記チャネル層のチャネル長が1 μm以下である。前記金属酸化物は、IGZOであってもよく、前記チャネル層の膜厚は10 nm未満であってもよい。また、前記強誘電体層の膜厚は、5 nm以上20 nm以下であってもよい。

WO 2021/024598 A1

都大田区蒲田 5 - 2 4 - 2 損保ジャパン
日本興亜蒲田ビル9階 Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

規則4. 17に規定する申立て :

- 一 不利にならない開示又は新規性喪失の例外に関する申立て (規則4. 17(v))

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：不揮発性記憶装置及びその動作方法

技術分野

[0001] 本発明の一実施形態は、不揮発性記憶素子に関する。特に、ゲート絶縁層として強誘電体を用いたトランジスタ型の不揮発性記憶素子（Ferroelectric Field Effect Transistor：以下「FeFET」と表す。）に関する。

背景技術

[0002] 近年、半導体システムの高度化に伴い、日常生活の様々な場面において情報通信が必要となっている。いわゆるIoT（Internet of Things）の実現には、コンピュータ（例えば、サーバ）と家電製品（エッジデバイスとも呼ばれる）との間で高速かつ大容量の情報通信が必要となる。そのためには、家電製品に対し、高速かつ大容量なストレージメモリとしての不揮発性メモリが必要である。さらに、家電製品の小型化に伴い、不揮発性メモリには、低消費電力であることが強く要求されている。

[0003] 不揮発性メモリの需要が拡大する中で、古くから知られている強誘電体メモリが新たな脚光を浴びている。商品化されている強誘電体メモリは、電界効果トランジスタ（FET）をスイッチ、強誘電体をキャパシタとするセルを使用した素子である。この素子では、PZT（チタン酸ジルコン酸鉛）等の圧電セラミックスを強誘電体材料として使用しているが、PZTは薄くすると強誘電性を失うというサイズ効果があった。そのため、フラッシュメモリの高密度化が進んできたのに対して、強誘電体メモリの高密度化はほとんど進んでこなかった。

[0004] このような状況下で、2011年に、酸化ハフニウム（ HfO_2 ）にSi等の元素をドーピングした材料が薄膜で強誘電性を示し、そのサイズ効果が公知のPZT等よりも大幅に少ないことが公表された。これらの酸化ハフニウム系材料を使用した強誘電体メモリは、CMOSプロセスとの整合性が高く

、消去／プログラム速度が速く、かつ、低電圧動作で低消費電力であるという特徴がある。そのため、最近では、酸化ハフニウム系材料をゲート絶縁層として利用する F e F E T の開発が盛んである（例えば、非特許文献 1 及び非特許文献 2）。また、ストレージメモリのさらなる大容量化に向けて、複数の F e F E T を三次元構造で集積化した高密度で低消費電力のメモリも提案されている（例えば、非特許文献 3）。

先行技術文献

非特許文献

- [0005] 非特許文献1：Min-Kyu Kim、Jang-Sik Lee、"Ferroelectric Analog Synaptic Transistors"、[online]、2019年1月30日、American Chemical Society、[2019年2月13日検索]、インターネット<URL : <https://pubs.acs.org/doi/abs/10.1021/acs.nanolett.9b00180>> (2019年)
- 非特許文献2：Yuxing Li、Renrong Liang、Jiabing Wang、Ying Zhang、He Tian、Houfang Liu、Songlin Li、Weiquan Mao、Yu Pang、Yutao Li、Yi Yang、Tian-Ling Ren、「A Ferroelectric Thin Film Transistor Based on Annealing-Free HfZrO Film」、2017年7月26日、IEEE Journal of the Electron Devices Society、Volume 5、Page(s):378-383、(2017年)
- 非特許文献3：K. Florent、M. Pesic、A. Subirats、K. Banerjee、S. Lavizari、A. Arreghini、L. Di Piazza、G. Potoms、F. Sebaai、S. R. C. Mitchell、M. Popovici、G. Groeseneken、J. Van Houdt、「Vertical Ferroelectric HfO₂ FET based on 3-D NAND Architecture: Towards Dense Low-Power Memory」、2018 IEEE International Electron Devices Meeting (IEDM)、Page(s):2.5.1-2.5.4、(2018年)

発明の概要

発明が解決しようとする課題

- [0006] 従来、F e F E T のチャネル層としては、CMOSプロセスとの整合性が良好な単結晶シリコンが用いられていた。しかしながら、三次元構造でF e

F E Tを集積化する場合、チャンネル層として単結晶シリコンを用いることができない。そのため、上述の非特許文献3では、F e F E Tを集積化して三次元構造のN A N D型フラッシュメモリと同様の構造のメモリを構成するために、チャンネル層としてポリシリコン膜を用いている。

[0007] しかしながら、チャンネル層としてポリシリコン膜を用いたF e F E Tにはいくつかの課題がある。第1の課題は、高集積化するために薄膜化したポリシリコン膜は、キャリア移動度が低いため、読み出し電流が低くなる点である。第2の課題は、ゲート絶縁層である強誘電体とポリシリコン膜との間に誘電率の低い界面層（l o w - k 層）が形成されてしまい、電圧損失が生じる点である。第3の課題は、低品質な界面層に起因する電荷トラップにより、F e F E Tの信頼性が劣化してしまう点である。したがって、これらの課題を解決する信頼性の高い強誘電体メモリの開発が求められている。

[0008] 本発明の課題の一つは、高集積化しても信頼性の高い不揮発性記憶素子を提供することにある。

課題を解決するための手段

[0009] 本発明の一実施形態における不揮発性記憶素子は、金属酸化物を含むチャンネル層と、前記チャンネル層に接する酸化ハフニウムを含む強誘電体層と、前記強誘電体層を介して前記チャンネル層に対向するゲート電極と、を備え、前記チャンネル層のチャンネル長が1 μ m以下である。ここで、「Aを介してBに対向するC」とは、Aの少なくとも一部、Bの少なくとも一部、及びCの少なくとも一部が満たすべき関係であり、Aの全部、Bの全部、又はCの全部が満たすべき関係に限定されるものではない。

[0010] 本発明の一実施形態における不揮発性記憶素子は、金属酸化物を含むチャンネル層と、前記チャンネル層に接する酸化ハフニウムを含む強誘電体層と、前記強誘電体層を介して前記チャンネル層に対向する第1ゲート電極と、前記チャンネル層を介して前記強誘電体層に対向する絶縁層と、前記絶縁層を介して前記チャンネル層に対向する第2ゲート電極と、を備える。ここで、前記絶縁層は、酸化シリコンを含んでいてもよい。前記チャンネル層の膜厚に対する前

記絶縁層の膜厚の比は、1.0以上1.8以下（好ましくは、1.4以上1.6以下）であってもよい。

[0011] 上記不揮発性記憶素子において、前記金属酸化物は、例えばIn、Ga、Zn、及びSnからなる群から選ばれる単数又は複数の金属からなる酸化物が好ましい。例えば、前記金属酸化物は、IGZO（インジウム、ガリウム、亜鉛、酸素で構成される金属酸化物）、ITO（Indium Tin Oxide）、IZO（Indium Zinc Oxide）、ITZO（Indium Tin Zinc Oxide）、ZnO（Zinc Oxide）であってもよい。ただし、これに限らず、前記金属酸化物と同様の特性を有する金属酸化物であればチャンネル層として用いることができる。前記チャンネル層の膜厚は、10nm未満（好ましくは、8nm以下、さらに好ましくは6nm以下）であってもよい。また、前記チャンネル層の膜厚は1nm以上（好ましくは、2nm以上）であってもよい。また、前記強誘電体層の膜厚は、5nm以上20nm以下であってもよい。

[0012] さらに、本発明の一実施形態における不揮発性記憶装置は、上記不揮発性記憶素子を複数含んで構成されてもよい。

[0013] 本発明の一実施形態における不揮発性記憶装置の動作方法は、複数の不揮発性記憶素子を含む不揮発性記憶装置の動作方法であって、各不揮発性記憶素子は、金属酸化物を含むチャンネル層と、前記チャンネル層に接する酸化ハフニウムを含む強誘電体層と、前記強誘電体層を介して前記チャンネル層に対向する第1ゲート電極と、前記チャンネル層を介して前記強誘電体層に対向する絶縁層と、前記絶縁層を介して前記チャンネル層に対向する第2ゲート電極と、前記チャンネル層に接するソース電極と、前記ソース電極と離間して前記チャンネル層に接するドレイン電極と、を備え、前記複数の不揮発性記憶素子の少なくとも一部に、前記第1ゲート電極に負電圧のゲート電圧を印加し、前記ドレイン電極に第1ドレイン電圧を印加する消去動作と、前記複数の不揮発性記憶素子の少なくとも一部に、前記第1ゲート電極に正電圧のゲート電圧を印加し、前記ドレイン電極に第2ドレイン電圧を印加するプログラム動

作と、を有し、前記第1ドレイン電圧が正の電圧である。

[0014] 本発明の一実施形態における不揮発性記憶装置の動作方法は、複数の不揮発性記憶素子を含む不揮発性記憶装置の動作方法であって、各不揮発性記憶素子は、金属酸化物を含むチャンネル層と、前記チャンネル層に接する酸化ハフニウムを含む強誘電体層と、前記強誘電体層を介して前記チャンネル層に対向するゲート電極と、前記チャンネル層に接するソース電極と、前記ソース電極と離間して前記チャンネル層に接するドレイン電極と、を備え、前記チャンネル層のチャンネル長が $1\ \mu\text{m}$ 以下であり、前記複数の不揮発性記憶素子の少なくとも一部に、前記ゲート電極に負電圧のゲート電圧を印加し、前記ドレイン電極に第1ドレイン電圧を印加する消去動作と、前記複数の不揮発性記憶素子の少なくとも一部に、前記ゲート電極に正電圧のゲート電圧を印加し、前記ドレイン電極に第2ドレイン電圧を印加するプログラム動作と、を有し、前記第1ドレイン電圧が正の電圧である。

[0015] 前記第2ドレイン電圧は、正の電圧、または 0V であってもよい。また、前記第1ドレイン電圧は、前記第2ドレイン電圧よりも大きくてもよい。

図面の簡単な説明

[0016] [図1]第1実施形態の不揮発性記憶素子における素子構造を示す断面図である。

[図2]チャンネル層の材料の違いによるトランジスタ特性の違いを説明するための概念図である。

[図3]IGZO膜をチャンネル層としたトランジスタにおけるチャンネル層の膜厚に対する $I_d - V_g$ 特性の依存性を示す図である。

[図4]図3に示す $I_d - V_g$ 特性から求めた閾値(V_{th})とサブスレッショルド係数(SS)を示す図である。

[図5]本実施形態の不揮発性記憶素子におけるチャンネル部分の拡大TEM写真を示す図である。

[図6]結晶化後のHZO膜に対するGI-XRD測定の結果を示す図である。

[図7]HZO膜を誘電体とするキャパシタのP-V特性及びI-V特性を示す

図である。

[図8] HZO膜を誘電体とするキャパシタの書き込み耐性を示す図である。

[図9] 第1実施形態の不揮発性記憶素子を用いて測定した $I_d - V_g$ 特性を示す図である。

[図10] 図9に示した $I_d - V_g$ 特性から求めた電界効果移動度を示す図である。

[図11] チャンネル層として IGZO膜を用いた FeFETの $I_d - V_g$ 特性および $I_g - V_g$ 特性のシミュレーション結果を示す図である。

[図12] 第1実施形態の不揮発性記憶素子における消去／プログラム動作の後の $I_d - V_g$ 特性を示す図である。

[図13] 第1実施形態の不揮発性記憶素子における $I_d - V_g$ 特性及び $I_g - V_g$ 特性を示す図である。

[図14] 第1実施形態の不揮発性記憶素子における書き込み電圧に対する閾値の依存性を示す図である。

[図15] 第1実施形態の不揮発性記憶素子における保護絶縁層の膜厚に対するメモリウィンドウの依存性を示す図である。

[図16] 第2実施形態の不揮発性記憶素子における素子構造を示す断面図である。

[図17] IGZO膜をチャンネル層とする不揮発性記憶素子におけるチャンネル長に対する $I_d - V_g$ 特性の依存性を示す図である。

[図18] チャンネル層の内部における電位分布を示す図である。

[図19] チャンネル層の内部における電位分布を示す図である。

[図20] 第2実施形態の不揮発性記憶素子におけるチャンネル層の膜厚に対する $I_d - V_g$ 特性の依存性を示す図である。

[図21] 第3実施形態の不揮発性記憶素子における素子構造を示す断面斜視図である。

[図22] 第3実施形態の不揮発性記憶装置における装置構造を示す断面図である。

[図23]第1実施形態の不揮発性記憶素子におけるゲート絶縁層の膜厚に対するメモリウィンドウの依存性を示す図である。

[図24]第1実施形態の不揮発性記憶素子におけるチャネル層の膜厚に対するメモリウィンドウの依存性を示す図である。

[図25]第2実施形態の不揮発性記憶素子におけるチャネル層のチャネル長に対するメモリウィンドウの依存性を示す図である。

[図26]第2実施形態の不揮発性記憶素子におけるソース近傍のチャネル層のポテンシャル分布を説明するための図である。

[図27]第2実施形態の不揮発性記憶素子におけるチャネル層のポテンシャル分布を説明するための図である。

[図28]第4実施形態の不揮発性記憶素子における消去動作時のドレイン電圧に対するメモリウィンドウの依存性を示す図である。

発明を実施するための形態

[0017] 以下、本発明の実施形態について、図面等を参照しつつ説明する。但し、本発明は、その要旨を逸脱しない範囲において様々な態様で実施することができ、以下に例示する実施形態の記載内容に限定して解釈されるものではない。図面は、説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。本明細書と各図面において、既出の図面に関して説明したものと同様の機能を備えた要素には、同一の符号を付して、重複する説明を省略することがある。

[0018] 以下に説明する各実施形態において、測定又はシミュレーションの温度条件は、いずれも室温である。

[0019] (第1実施形態)

[素子構造]

本実施形態では、本発明の一実施形態における不揮発性記憶素子100について図1を用いて説明する。ただし、図1は、本実施形態の不揮発性記憶素子100における素子構造のコンセプトを示すものであり、この例に限ら

れるものではない。

[0020] 図1は、第1実施形態の不揮発性記憶素子100における素子構造を示す断面図である。図1に示すように、不揮発性記憶素子100は、FeFETである。具体的には、不揮発性記憶素子100は、少なくとも、第1ゲート電極120、ゲート絶縁層130、チャンネル層140、保護絶縁層150、第2ゲート電極160、ソース電極170、及びドレイン電極180を有する。

[0021] 基板110は、不揮発性記憶素子100を支持するベースとして機能する。本実施形態では、基板110として、シリコン基板上に酸化シリコンを設けた構造体を用いるが、これに限られるものではない。

[0022] 第1ゲート電極120は、不揮発性記憶素子100のフロントゲート電極として機能する。本実施形態では、第1ゲート電極120として、20nmの膜厚の窒化チタン(TiN)で構成される化合物層を用いる。しかし、これに限らず、第1ゲート電極120の材料としては、タングステン、タンタル、モリブデン、アルミニウム、銅等を含む金属材料、又は、それらの金属材料を含む化合物材料を用いることができる。第1ゲート電極120は、例えばスパッタ法により形成することができる。

[0023] ゲート絶縁層130は、本実施形態の不揮発性記憶素子100における強誘電体層に相当する。本実施形態では、ゲート絶縁層130を構成する材料として、ジルコニウムを添加した酸化ハフニウム(以下「HZO」と表す。)を用いる。ただし、これに限らず、ゲート絶縁層130として、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、ストロンチウムなどを添加した酸化ハフニウム等の他の強誘電体層を用いても良い。本実施形態では、ゲート絶縁層130を250℃の温度下におけるALD(Atomic Layer Deposition)法を用いて、15nmの膜厚で形成する。ただし、ゲート絶縁層130の膜厚は、この例に限られるものではなく、例えば5nm以上20nm以下(好ましくは、10nm以上18nm以下)とすることができる。

[0024] チャネル層140は、不揮発性記憶素子100のチャネルとして機能する。本実施形態では、チャネル層140を構成する材料として、IGZOと呼ばれる金属酸化物を用いる。IGZOは、半導体特性を示す金属酸化物であり、インジウム、ガリウム、亜鉛、及び酸素で構成される化合物材料である。具体的には、IGZOは、In、Ga及びZnを含む酸化物、又は、このような酸化物の混合物である。IGZOの組成は、好ましくは、 $In_{2-x}Ga_xO_3(ZnO)_m$ ($0 < x < 2$ 、 m は、0又は6未満の自然数)、より好ましくは、 $InGaO_3(ZnO)_m$ (m は、0又は6未満の自然数)、最も好ましくは、 $InGaO_3(ZnO)$ である。後述するように、本実施形態の不揮発性記憶素子100は、チャネル層140としてIGZOを用いることにより、チャネル層としてポリシリコン膜を用いた従来のFeFETに比べて高い信頼性を実現している。また、強誘電体層であるゲート絶縁層130とチャネル層140とが接することにより、従来例で述べた誘電率の低い界面層の形成が抑制されている。なお、本実施形態では、チャネル層140として、8nmの膜厚のIGZO膜をRFスパッタ法により形成している。本発明者らの知見では、チャネル層140の膜厚は、10nm未満であることが望ましい。この点については、後述する。

[0025] 保護絶縁層150は、チャネル層140を保護するパッシベーション層として機能する誘電体である。本実施形態では、保護絶縁層150として、酸化シリコン膜(SiO)をRFスパッタ法により形成する。ただし、これに限らず、保護絶縁層150としては、窒化シリコン膜(SiN)、酸化窒化シリコン膜(SiON)など、他の絶縁膜を用いてもよい。また、本実施形態では、保護絶縁層150の膜厚(チャネル層140と第2ゲート電極160との間の膜厚)を12nmとしたが、これに限られるものではない。なお、本明細書中において、保護絶縁層150の膜厚は、シリコン酸化膜(SiO₂)換算膜厚(EOT:Equivalent Oxide Thickness)であるものとする。

[0026] 本実施形態では、保護絶縁層150を形成した後、後述するソース電極1

70及びドレイン電極180とチャンネル層140とを接続するために、保護絶縁層150に対してコンタクトホールを形成する。コンタクトホールを形成した後、窒素及び酸素を含む雰囲気中で500℃、10秒間のRTA (Rapid Thermal Anneal) 処理を行う。ただし、RTA処理の温度は、400℃以下とすることも可能である。このRTA処理は、ゲート絶縁層130であるHZO膜を結晶化するためのアニールプロセスである。

[0027] 第2ゲート電極160は、不揮発性記憶素子100のバックゲート電極として機能する。具体的には、第2ゲート電極160はチャンネル部分のボディポテンシャルを固定する役割を有する。本実施形態では、第2ゲート電極160として、10nmの膜厚のチタン層と100nmの膜厚のアルミニウム層とで構成される積層構造を有する電極を用いる。しかし、これに限らず、第2ゲート電極160の材料としては、タングステン、タンタル、モリブデン、銅等を含む金属材料、又は、それらの金属材料を含む化合物材料を用いることができる。第2ゲート電極160は、例えば電子ビーム蒸着法により形成することができる。

[0028] ソース電極170及びドレイン電極180は、それぞれチャンネル層140との電気的な接続を得るための端子として機能する。本実施形態において、ソース電極170及びドレイン電極180は、第2ゲート電極160と同一の金属層で構成される。すなわち、ソース電極170及びドレイン電極180は、10nmの膜厚のチタン層と100nmの膜厚のアルミニウム層とで構成される積層構造を有する電極を用いる。ただし、この例に限らず、第2ゲート電極160とソース電極170及びドレイン電極180とを異なる金属材料で構成することも可能である。

[0029] なお、図1では、ボトムゲート（第1ゲート電極120）をフロントゲートとし、トップゲート（第2ゲート電極160）をバックゲートとする例を示した。しかしながら、これとは逆に、ボトムゲートをバックゲートとし、トップゲートをフロントゲートとしてもよい。すなわち、IGZO膜で構成

されるチャネル層の下に配置したゲート電極を用いてボディポテンシャルを固定する構成としてもよい。

[0030] [ポリシリコン膜とIGZO膜との比較]

前述のとおり、本実施形態の不揮発性記憶素子100は、ゲート絶縁層130として、酸化ハフニウムを含む強誘電体を用い、チャネル層140として、IGZO膜を用いている。そこで、まずチャネル層140としてIGZO膜を用いる利点について説明する。

[0031] 図2(A)及び図2(B)は、チャネル層の材料の違いによるトランジスタ特性の違いを説明するための概念図である。図2(A)において、基板201の上には、チャネル層202a、ゲート絶縁層203及びゲート電極204が配置されている。図2(A)と図2(B)の違いは、図2(A)ではチャネル層202aとしてポリシリコン膜を用い、図2(B)ではチャネル層202bとしてIGZO膜を用いている点である。

[0032] 図2(A)に示されるように、チャネル層202aとしてポリシリコン膜を用いた場合、膜の内部には、多くの結晶粒界205及び結晶欠陥206が存在する。これらの結晶粒界205及び結晶欠陥206が、チャネル層202aのキャリア207の移動度の低下を招く。また、ゲート絶縁層203である強誘電体層とチャネル層202aであるポリシリコン膜との間に誘電率の低い界面層(low-k層)208が形成されてしまう。誘電率の低い界面層208は、ゲート電極204に電圧を供給した際に、電圧損失の要因となる。さらに低品質な界面層208が生成した電荷トラップも素子特性の劣化(例えば、閾値のシフト、サブスレッショルド係数の劣化など)を招く要因となる。したがって、チャネル層202aとしてポリシリコン膜を用いた場合、不揮発性記憶素子として低電圧動作が難しくなり、かつ信頼性が損なわれるという問題がある。

[0033] これに対し、図2(B)に示されるように、チャネル層202bとしてIGZO膜を用いた場合、前述のような誘電率の低い界面層208はほとんど形成されない。また、IGZO膜は、成膜した状態(すなわち、アモルファ

ス状態)で十分なキャリア移動度を有するため、アニール処理により多結晶とする必要性がなく、結晶粒界及び結晶欠陥の影響を受けない。また、IGZO膜は、n型の半導体材料として機能する。さらにIGZO膜を用いた不揮発性記憶素子は、ジャンクションレスFET(p-n接合がないトランジスタ)として動作させることができる。そのため、図2(B)に示されるように、チャネルボディ(チャネルの中央付近)をキャリア207が移動し、キャリア207が界面層付近の電荷トラップの影響を受けにくい。したがって、チャネル層202bとしてIGZO膜を用いることにより、信頼性の高い不揮発性記憶素子を実現することができる。

[0034] なお、チャネル層としてIGZO膜を用い、ゲート絶縁層として酸化ハフニウム系材料を用いた場合、前述のとおり界面特性に優れたFeFETを構成することができる。したがって、ジャンクションレスFETとして動作する場合に限らず、p型の半導体材料と組み合わせてインバーションモードで動作するFETに適用することも可能である。

[0035] [素子特性]

本発明者らは、IGZO膜をチャネル層として用いた場合におけるトランジスタ特性について、IGZO膜の膜厚に対する依存性を調べた。図3は、IGZO膜をチャネル層としたトランジスタにおけるチャネル層の膜厚に対する $I_d - V_g$ 特性の依存性を示す図である。図3に示される曲線は、ゲート絶縁層として二酸化シリコン膜を用い、チャネル層としてIGZO膜を用いたトランジスタの $I_d - V_g$ 特性である。ここでは、ソースドレイン間の電圧(V_{ds})を50mVに設定した。また、IGZO膜の膜厚は、5nm、10nm、20nm及び40nmに設定した。図4は、図3に示す $I_d - V_g$ 特性から求めた閾値(V_{th})とサブスレッショルド係数(SS)を示す図である。

[0036] 図3及び図4に示されるように、IGZO膜の膜厚が薄くなるにつれて、トランジスタ特性に変化が見られた。具体的には、図4に示されるように、IGZO膜の膜厚が薄くなるにつれて、閾値が負から正へと変化し、サブス

レッシュヨルド係数が徐々に小さくなる傾向が見られた。なお、膜厚が5 nmの場合において、 $I_d - V_g$ 特性及びサブレッシュヨルド係数の劣化が見られたが、本発明者らは、何らかの要因により正常なトランジスタ特性が得られなかった可能性が高いと考えている。

[0037] 理論上、室温における理想的なサブレッシュヨルド係数の値は $60 \text{ mV} / \text{dec}$ であることが知られている。つまり、サブレッシュヨルド係数が $60 \text{ mV} / \text{dec}$ となるときにIGZO膜の膜厚がチャンネル層の膜厚として好適であると言える。図4に示される結果によれば、IGZO膜の膜厚が10 nm未満（好ましくは、8 nm以下）となったとき、理想的なサブレッシュヨルド係数が得られることが分かった。以上の結果に基づき、本実施形態の不揮発性記憶素子100は、チャンネル層140の膜厚を10 nm未満（好ましくは8 nm以下、さらに好ましくは6 nm以下）としている。

[0038] 図5は、本実施形態の不揮発性記憶素子100におけるチャンネル部分の拡大TEM写真を示す図である。不揮発性記憶素子100のチャンネル部分は、第1ゲート電極（TiN膜）120、ゲート絶縁層（HZO膜）130、チャンネル層（IGZO膜）140、保護絶縁層（SiO₂膜）150が順に積層されている。図5に示されるように、各層は、高い均一性で形成されている。図5に示す写真から、HZO膜は、結晶化されていることが分かる。それに対し、IGZO膜は、アモルファス状態である。また、HZO膜とIGZO膜との間に、誘電率の低い界面層は形成されていないことが分かる。ゲート絶縁層130である強誘電体層（具体的には、HZO膜）の均一性及び結晶性には、チャンネル層140としてIGZO膜が接していることが寄与している。

[0039] 図6は、結晶化後のHZO膜におけるGI-XRD（Grazing Incidence X-Ray Diffraction）測定の結果を示す図である。具体的には、図6は、HZO膜の上にキャップ膜としてIGZO膜を設けた後に結晶化アニールを行った場合と、IGZO膜を設けずに結晶化アニールを行った場合とを比較した測定スペクトルを示している。図6

に示されるように、IGZO膜をキャップ膜として設けた場合には、HZO膜に直方晶が形成されたことを示すピーク（例えば「1110」等のピーク）が現れている。HZO膜が強誘電性を示すのは膜に直方晶が形成されたときであり、単斜晶では強誘電性を示さないことが知られている。そのため、図6の測定スペクトルによれば、IGZO膜によるキャッピングがHZO膜における強誘電層の形成に効果的に寄与していることが分かる。

[0040] 図7は、HZO膜を誘電体とするキャパシタのP-V特性及びI-V特性を示す図である。具体的には、図7は、Al膜/Ti膜/IGZO膜/HZO膜/TiN膜で構成される積層構造で構成されるキャパシタを用いて1kHzの測定周波数で測定したP-V特性及びI-V特性を示している。図7に示されるように、測定結果において、良好な強誘電体のヒステリシス特性と自発分極による反転電流とが観測された。このことは、上述の積層構造が、強誘電体キャパシタとして良好な特性を示し得ることを意味する。

[0041] 図8は、HZO膜を誘電体とするキャパシタ（具体的には、図7に示した構造を有するキャパシタ）の書き込み耐性を示す図である。ここで、横軸は、ストレス・サイクルであり、縦軸は、残留分極である。また、書き込み試験においては、振幅が±3Vの矩形波電圧を周期1マイクロ秒で入力した。四角いドットで示される点は、正電圧を上記キャパシタに印加してデータ「0」を書き込んだ後の残留分極であり、丸いドットで示される点は、負電圧を上記キャパシタに印加してデータ「1」を書き込んだ後の残留分極である。図8に示されるように、1×10⁹回程度まで安定した書き込み特性を示すことが分かった。このように、上述の積層構造によって構成されるキャパシタは、劣化の抑制された信頼性の高いキャパシタであると言える。

[0042] ここで、「Karine Florent, 「Reliability Study of Ferroelectric Al:HfO₂ Thin Films for DRAM and NAND Applications」、2017年8月31日、IEEE Transactions on Electron Devices, Volume 64, Page(s):4091-4098、(2017年)」のFig. 5 (b)には、ポリシリコン膜及びAl:HfO₂膜を用いたSIS構造のキャパシタについての書き込み耐性を示す測定

結果が示されている。このとき、例えば3 Vの電圧による測定結果によれば、書き込み回数が 10^3 回程度に到達すると劣化が見られ、最終的には 10^5 回程度でブレイクダウンしている。すなわち、酸化ハフニウム膜とIGZO膜とで構成されるキャパシタに比べ、酸化ハフニウム膜とポリシリコン膜とで構成されるキャパシタは、書き込み最大回数が3桁以上低いことが分かる。この結果からも、FeFETのチャネル層として、ポリシリコン膜に代えてIGZO膜を用いることの優位性が分かる。

[0043] 次に、図9は、第1実施形態の不揮発性記憶素子100を用いて測定した $I_d - V_g$ 特性を示す図である。図9に示す特性は、チャネル幅(W)及びチャネル長(L)を $50 \mu m$ としている。ソースドレイン間の電圧(V_{ds})は、 $50 mV$ の場合と $1 V$ の場合とに分けて測定した。ソースゲート間の電圧(以下、「ゲート電圧」と呼ぶ)(V_g)は、消去/プログラム動作が起こらない範囲で掃引した。その結果、図9に示されるように、ほぼ理想的なジャンクションレスFETの特性が得られた。

[0044] 図10は、図9に示した $I_d - V_g$ 特性から求めた電界効果移動度を示す図である。ここでは、比較例として、ゲート絶縁層に $30 nm$ の厚さの酸化シリコン膜を用いた場合についても示した。図10に示されるように、 $15 nm$ の厚さのHZO膜をゲート絶縁層とした場合と $30 nm$ の厚さの酸化シリコン膜をゲート絶縁層とした場合とで電界効果移動度に大きな差はなく、共に $10 cm^2/Vs$ 程度の値が得られた。また、 $10 cm^2/Vs$ という値は、IGZO膜のホール移動度(Hall mobility)と一致する。この結果は、本実施形態の不揮発性記憶素子100が、バルク伝導(bulk conduction)で動作することを意味する。すなわち、本実施形態の不揮発性記憶素子100は、ほぼ理想的なジャンクションレスFETとして動作することが確認された。

[0045] 以上のように、図7から図10に示した測定結果によれば、本実施形態の不揮発性記憶素子100が、強誘電体キャパシタとしても、電界効果トランジスタとしても良好な特性を示すことが裏付けられた。

[0046] 次に、図11は、チャンネル層としてIGZO膜を用いたFeFETの $I_d - V_g$ 特性および $I_g - V_g$ 特性のシミュレーション結果を示す図である。具体的には、図11の上側の図に示される特性は、ボディポテンシャル、すなわちチャンネル部分の電位を固定しない場合の結果である。すなわち、上側の図においては、ボディポテンシャルがフローティング状態となっている。下側の図に示される特性は、ボディポテンシャルを固定した場合の結果である。すなわち、下側の図においては、バックゲート電極により、ボディポテンシャルが一定の電位（本実施形態では0V）に固定されている。なお、シミュレーションにおいては、チャンネル長（ L_g ）を $10\mu\text{m}$ とし、ソースドレイン間電圧（ V_d ）を 50mV とした。

[0047] 図11に示される $I_d - V_g$ 特性のシミュレーション結果によれば、ボディポテンシャルがフローティング状態にあるとき、メモリウィンドウ（MW）は確認されない。しかしながら、ボディポテンシャルを一定の電位に固定した場合には、十分な幅のメモリウィンドウを確認することができた。つまり、本実施形態の不揮発性記憶素子100において、ボディポテンシャルの固定は、メモリウィンドウの安定した形成に大きく影響することが確認された。

[0048] 以上のシミュレーション結果に基づき、本実施形態の不揮発性記憶素子100は、図1に示されるように、バックゲート電極として第2ゲート電極160を設けた構成となっている。具体的には、不揮発性記憶素子100は、第1ゲート電極120、ゲート絶縁層130及びチャンネル層140で構成されるFeFETに対し、チャンネル部分のボディポテンシャルを第2ゲート電極160で固定する構成を有する。

[0049] 図12は、本実施形態の不揮発性記憶素子100における消去／プログラム動作の後の $I_d - V_g$ 特性を示す図である。具体的には、図12は、第1ゲート電極120のゲート電圧として $V_g = -3\text{V}$ を供給して消去動作を行った後の $I_d - V_g$ 特性と、 $V_g = +2.5\text{V}$ でプログラム動作を行った後の $I_d - V_g$ 特性とを示している。チャンネル幅は $50\mu\text{m}$ とし、チャンネル長

は $20\ \mu\text{m}$ とした。ソースドレイン間電圧 (V_{ds}) は、 $50\ \text{mV}$ である。また、第2ゲート電極160を用いてチャネル部分のボディポテンシャルは固定した。なお、グラフ内には、消去状態とプログラム状態における、それぞれのサブスレッショルド係数を併せて示した。

[0050] 図12に示されるように、不揮発性記憶素子100は、正常に消去状態とプログラム状態の2つの状態に遷移することが確認された。また、その際のメモリウィンドウは、約 $0.5\ \text{V}$ であった。これらの結果は、概ねシミュレーション結果から予想されたとおりの結果である。また、消去状態及びプログラム状態の両方において、ほぼ理想的なサブスレッショルド係数が得られることも確認された。

[0051] 図13は、本実施形態の不揮発性記憶素子100における $I_d - V_g$ 特性及び $I_g - V_g$ 特性を示す図である。具体的には、図13は、第1ゲート電極120のゲート電圧を $-2\ \text{V}$ から $+3.5\ \text{V}$ の広い範囲で掃引した場合における $I_d - V_g$ 特性及び $I_g - V_g$ 特性を示している。チャネル幅は $30\ \mu\text{m}$ とし、チャネル長は $10\ \mu\text{m}$ とした。ソースドレイン間電圧 (V_{ds}) は、 $50\ \text{mV}$ である。また、第2ゲート電極160を用いてチャネル部分のボディポテンシャルを固定した。

[0052] 図13に示されるように、 $I_d - V_g$ 特性には、強誘電体に起因するヒステリシス特性が観測された。また、 $I_g - V_g$ 特性には、強誘電体の自発分極反転に起因するピーク電流が観測された。具体的には、図13において、消去動作後の正の電圧掃引の際に2つのピーク電流が表れている。

[0053] 低い方の電圧で観測されるピーク電流は、第1ゲート電極120とソース電極170との間、及び、第1ゲート電極120とドレイン電極180との間で観測される分極電流である。高い方の電圧で観測されるピーク電流は、第1ゲート電極120とチャネル層140との間で観測される分極電流である。この分極電流は、強誘電体（ゲート絶縁層130）の自発分極に起因する。また、これら2つのピーク電流は、プログラム動作後の負の電圧掃引では重なって観測される。

- [0054] 図13に示す結果は、図11に示したシミュレーション結果と概ね一致しており、本実施形態の不揮発性記憶素子100が、強誘電体メモリとして正常に動作することを裏付けている。
- [0055] 図14は、第1実施形態の不揮発性記憶素子100における書き込み電圧（消去電圧及びプログラム電圧）に対する閾値の依存性を示す図である。図14に示すグラフによれば、消去電圧（黒丸で示す）は、 -0.5 V から -3.0 V の範囲でほぼ線形に制御可能であることが分かる。また、プログラム電圧（白丸で示す）は、 2.0 V から 5.0 V の範囲でほぼ線形に制御可能であることが分かる。以上のことから、本実施形態の不揮発性記憶素子100は、 5.0 V 以下の書き込み電圧で制御可能であると言える。したがって、本実施形態の不揮発性記憶素子100は、一般的な集積回路で使用される 5 V 電源を用いて動作可能であり、既存の集積回路に対して非常に親和性が高い。
- [0056] 以上説明したとおり、本実施形態の不揮発性記憶素子100は、チャンネル層140として膜厚が 10 nm 未満のIGZO膜を用い、ゲート絶縁層130としてHZO膜を用いた構造を有する。本実施形態の不揮発性記憶素子100は、チャンネル層140としてIGZO膜を用いることにより、チャンネル層としてポリシリコン膜を用いた従来の不揮発性記憶素子に比べて高い信頼性を実現している。
- [0057] また、上述のように、本実施形態の不揮発性記憶素子100は、 5.0 V 以下の電圧で消去／プログラム動作を制御できるため、低電圧で動作可能であるとともに消費電力を低く抑えることができる。これに対し、従来のフラッシュメモリは、トンネル酸化物層を介して基板とフローティングゲートとの間で電荷を移動させるために高電圧を与える必要がある。その結果、フラッシュメモリは、高電圧を発生するための昇圧回路が必要になるというデメリットを有する。
- [0058] さらに、本実施形態の不揮発性記憶素子100は、第2ゲート電極160を用いてチャンネル部分のボディポテンシャルを固定することにより、良好な

メモリウィンドウを確保することができる。このように、本実施形態によれば、低電圧（例えばソースドレイン間の電圧が50 mV以下）で動作可能であり、消費電力が低く、高い信頼性を有する不揮発性記憶素子100を得ることができる。

[0059] なお、本実施形態では、第2ゲート電極160を用いてボディポテンシャルを一定の電位に固定する例を示したが、これに限らず、第2ゲート電極160の電位を可変としてプログラム動作と消去動作を補助することも可能である。

[0060] また、上述のメモリウィンドウの幅は、チャンネル層140及びゲート絶縁層130に形成される電界強度の影響を受ける。すなわち、チャンネル層140と第2ゲート電極160とを絶縁分離する保護絶縁層150の膜厚に応じて変化する。

[0061] 図15(A)及び図15(B)は、本実施形態の不揮発性記憶素子100における保護絶縁層150の膜厚に対するメモリウィンドウの依存性を示す図である。この例において、ゲート絶縁層130の膜厚は15 nmであり、チャンネル層140の膜厚は8 nmである。保護絶縁層150の膜厚は、5 nm、9 nm、12 nm及び15 nmとした。

[0062] 図15(A)に示されるように、保護絶縁層150の膜厚が薄くなるにつれて消去動作後の閾値が高くなる傾向が観測された。すなわち、図15(B)に示されるように、保護絶縁層150の膜厚が薄くなるにつれてメモリウィンドウの幅が大きくなる方向に $I_d - V_g$ 特性が変化することが分かった。

[0063] 図15(B)に示される結果によれば、保護絶縁層150の膜厚を15 nm以下とした場合に、メモリウィンドウの幅として0.8 V以上の幅を確保できる。つまり、保護絶縁層150の膜厚は、薄い方が好ましい。しかしながら、本発明者らの知見によれば、保護絶縁層150の膜厚を厚くするにつれてリーク電流が小さくなるため、メモリ動作の信頼性を確保する点からは保護絶縁層150の膜厚は厚い方が好ましい。以上の事から、リーク電流を

抑えつつメモリウィンドウの幅を十分確保するためには、保護絶縁層150の膜厚を8nm以上15nm以下（さらに好ましくは、11nm以上13nm以下）とすることが好ましいと言える。また、チャンネル層140の膜厚と保護絶縁層150の膜厚は、チャンネル部分への電界形成に関して密接に関連していると考えられる。したがって、本実施形態の不揮発性記憶素子100は、チャンネル層140の膜厚に対する保護絶縁層150の膜厚の比が1.0以上1.8以下（好ましくは、1.4以上1.6以下）に設定されている。

[0064] 図23(A)及び図23(B)は、本実施形態の不揮発性記憶素子100におけるゲート絶縁層130の膜厚に対するメモリウィンドウの依存性を示す図である。この例において、保護絶縁層150の膜厚は12nmであり、チャンネル層140の膜厚は8nmである。チャンネル長は、10 μ mである。ゲート絶縁層130の膜厚は、10nm、15nm、20nm及び25nmである。

[0065] 図23(A)に示されるように、ゲート絶縁層130の膜厚が厚くなるにつれて閾値電圧の変化が大きくなる傾向が観測された。すなわち、図23(B)に示されるように、ゲート絶縁層130の膜厚が厚くなるにつれてメモリウィンドウの幅が大きくなることが分かった。このような特性を示す理由は、ゲート絶縁層130の膜厚が厚くなると、その分だけ大きなゲート電圧を印加しないと、ゲート絶縁層130の中で分極が反転しないからである。したがって、適切なメモリウィンドウと閾値電圧とを得るためには、ゲート絶縁層130の膜厚を適切に設計することが望ましい。

[0066] 図24(A)及び図24(B)は、本実施形態の不揮発性記憶素子100におけるチャンネル層140の膜厚に対するメモリウィンドウの依存性を示す図である。具体的には、図24(A)は、本実施形態の不揮発性記憶素子100のチャンネル層140の膜厚を5nm、6nm、7nm又は8nmに設定した $I_d - V_g$ 特性のシミュレーション結果を示している。この例において、保護絶縁層150の膜厚は、12nmである。ゲート絶縁層130の膜厚は、15nmである。チャンネル長は、10 μ mである。

[0067] 図24(A)及び図24(B)に示す結果によれば、チャンネル層140の膜厚が薄くなるにつれて閾値が正の方向に大きくなり、メモリウィンドウの幅が大きくなることが分かった。すなわち、本実施形態の不揮発性記憶素子100は、バックゲート電極160を用いてメモリウィンドウを確保しつつ、チャンネル層140の膜厚を適切に設定することにより、メモリウィンドウの幅も制御可能であることが分かった。

[0068] (第2実施形態)

第2実施形態では、第1実施形態とは異なる構造の不揮発性記憶素子200について説明する。第1実施形態と異なる点は、不揮発性記憶素子200は、第1実施形態のようにバックゲート電極を用いてボディポテンシャルを固定するのではなく、チャンネル長を短くすることによってボディポテンシャルを固定する点である。なお、図面を用いた説明において、第1実施形態と共通する部分については、第1実施形態と同じ符号を付すことにより詳細な説明を省略する場合がある。

[0069] 図16は、第2実施形態の不揮発性記憶素子200における素子構造を示す断面図である。第1実施形態と同様に、不揮発性記憶素子200は、 $F_e F E T$ である。ただし、本実施形態の不揮発性記憶素子200におけるチャンネル長(L)は、 $1\mu m$ 以下に設計されている。なお、本実施形態において「チャンネル長」とは、ソース電極170とドレイン電極180との間の距離をチャンネル長とする。ここで、本実施形態の不揮発性記憶素子200がチャンネル長を $1\mu m$ 以下とする理由を以下に説明する。

[0070] 図17は、 $I G Z O$ 膜をチャンネル層とする不揮発性記憶素子におけるチャンネル長に対する $I_d - V_g$ 特性の依存性を示す図である。具体的には、図16に示した構造(ただし、チャンネル長を除く。)を有する不揮発性記憶素子のチャンネル長(L)を、 $0.1\mu m$ 、 $0.5\mu m$ 、 $1\mu m$ 、 $2\mu m$ 、 $3\mu m$ 、 $4\mu m$ 、 $5\mu m$ 、又は $10\mu m$ とした場合における $I_d - V_g$ 特性である。ここでは、ソースドレイン間の電圧(V_{ds})を $50mV$ に設定した。また、 $I G Z O$ 膜の膜厚は $8nm$ とし、 $H Z O$ 膜の膜厚は $15nm$ とした。

[0071] シミュレーション結果によれば、チャンネル長が $10\ \mu\text{m}$ 、 $5\ \mu\text{m}$ 及び $4\ \mu\text{m}$ の場合は、メモリウィンドウがほとんど観測されず、チャンネル長が $3\ \mu\text{m}$ 以下になった辺りから徐々にメモリウィンドウが観測されるようになった。そして、チャンネル長が $1\ \mu\text{m}$ 、 $0.5\ \mu\text{m}$ 、 $0.1\ \mu\text{m}$ の場合は、ほぼメモリウィンドウの幅に変化はなかった。つまり、図17の結果から、チャンネル長が $1\ \mu\text{m}$ 以下であれば、十分にメモリウィンドウが開き、かつ、その幅に変化がないことが分かった。

[0072] 以上のことから、図16に示した構造（ただし、チャンネル長を除く。）を有する不揮発性記憶素子の場合、チャンネル長が $1\ \mu\text{m}$ 以下であれば、第1実施形態のようにバックゲート電極を用いてボディポテンシャルを固定しなくても、十分な幅を有するメモリウィンドウを確保できることがわかった。本発明者らは、チャンネル長を $1\ \mu\text{m}$ 以下としたときに十分な幅を有するメモリウィンドウを確保できる理由として、ボディポテンシャルがソース側電位及びドレイン側電位の影響を受けて固定されるためと考えている。

[0073] ここで、図18及び図19は、チャンネル層140及びゲート絶縁層130の内部における電位分布を示す図である。図18及び図19において、水平寸法X及び垂直寸法Yは、それぞれ μm 単位で示されている。ゲート電位及びドレイン電位は、ソース電位に対し、それぞれ -10V 、 50mV として計算した。図18は、チャンネル長が 50nm である場合における強誘電体層（HZO膜）及びチャンネル層（IGZO膜）の電位を、 1V ステップで示している。すなわち、図18は、メモリウィンドウが開く条件における不揮発性記憶素子の電位分布に対応する。これに対し、図19は、チャンネル長が $5\ \mu\text{m}$ である場合における強誘電体層及びチャンネル層の電位を、 0.5V ステップで示している。ただし、図19では、説明の便宜上、ソースから 120nm の範囲までを図示している。図19は、メモリウィンドウが開かない条件における不揮発性記憶素子の電位分布に対応する。

[0074] ここで、強誘電体層とチャンネル層との界面近傍における電位（図18及び図19において、「Ea」で表される電位）に着目して説明する。図18に

示されるように、チャンネル長が相対的に短い場合、電位 E_a の分布は、ソース電位及びドレイン電位の影響を強く受けて強誘電体層の側に押し込まれたような形状となっている。これに対し、図 19 に示されるように、チャンネル長が相対的に長い場合、電位 E_a の分布は、ソースからある程度以上離れると、チャンネル層内において緩やかに変化するような形状となっている。

[0075] 図 18 及び図 19 に示される結果は、チャンネル長が 50 nm である場合、チャンネル長が $5\text{ }\mu\text{ m}$ である場合に比べて、強誘電体層にかかる電圧が相対的に大きいことを意味する。つまり、チャンネル長が 50 nm である場合、強誘電体の自発分極反転がより大きく起こり、FET の閾値が増加する（すなわち、メモリウィンドウが開く）。これに対し、チャンネル長が $5\text{ }\mu\text{ m}$ である場合、強誘電体層にかかる電圧が相対的に小さく、FET の閾値が増加しない（すなわち、メモリウィンドウが開かない）。

[0076] 以上のように、チャンネル層及び強誘電体層の内部における電位分布のシミュレーション結果からも、チャンネル長を短くすることによってチャンネル部分のボディポテンシャルを固定できることが分かる。すなわち、チャンネル長を短くすることによってチャンネル部分のボディポテンシャルが、ソース及びドレインの電位とカップリングする。これにより、強誘電体層（ゲート絶縁層）に、より大きい電圧を印加することができ、より大きな自発分極反転を起こすこと（閾値を増加させること）ができる。

[0077] なお、図 18 及び図 19 では、ドレイン・ソース間電圧を 50 mV として計算したが、消去動作の際には、ドレイン電圧として、 50 mV よりも大きな正の電圧を印加することも有効である。ドレイン電圧に大きな正の電圧を印加することにより、よりチャンネル部分のボディポテンシャルを正に引き上げることができる。例えば、本実施形態の不揮発性記憶素子 200 を動作させる際、消去時のドレイン電圧としては、 0 V 以上 3.3 V 以下、又は、 0 V 以上 5 V 以下とすることが好ましい。ここで、上限を 3.3 V 又は 5 V とした理由は、回路設計のしやすさを考慮すると、電源電圧を上限とすることが好ましいからである。なお、この段落の説明において、「ドレイン・ソー

ス間電圧」とは、ドレイン電位とソース電位との間の電位差を指す。また、この段落の説明において、「ドレイン電圧」とは、基準電位とドレイン電極の電位との間の電位差を指す。

[0078] 図20は、第2実施形態の不揮発性記憶素子200におけるチャンネル層140の膜厚に対する $I_d - V_g$ 特性の依存性を示す図である。具体的には、図20は、本実施形態の不揮発性記憶素子200のチャンネル層140の膜厚を4nm、5nm、6nm、7nm、又は8nmに設定した $I_d - V_g$ 特性のシミュレーション結果を示している。ここでは、チャンネル長は、1 μ mに固定した。また、HZO膜の膜厚は10nmとし、残留分極(P_r)は20 μ C/cm²とした。

[0079] 図20に示す結果によれば、チャンネル層140の膜厚が薄くなるにつれて閾値が正の方向に大きくなり、メモリウィンドウの幅が大きくなった。すなわち、チャンネル長が1 μ m以下である本実施形態の不揮発性記憶素子200において、チャンネル層140の膜厚を10nm未満（好ましくは、1nm以上8nm以下）とすることは、十分なメモリウィンドウを確保する上で非常に有効であることが分かった。

[0080] なお、本発明者らの知見によれば、メモリウィンドウの幅は、強誘電体の自発分極を大きくしたり、強誘電体の膜厚を厚くしたりしても大きくなる傾向にある。したがって、強誘電体であるゲート絶縁層130の自発分極又は膜厚を制御することによりメモリウィンドウの幅をある程度は制御することができる。しかしながら、経験上、メモリウィンドウの幅の制御には、チャンネル層140の膜厚が最も影響するため、上述のように、チャンネル層140の膜厚を10nm未満とすることが有効である。

[0081] 以上説明したとおり、本実施形態の不揮発性記憶素子200は、チャンネル層140として膜厚が10nm未満のIGZO膜を用い、ゲート絶縁層130としてHZO膜を用いた構造を有する。そのため、本実施形態の不揮発性記憶素子200は、第1実施形態と同様に、高い信頼性を有する。

[0082] また、本実施形態の不揮発性記憶素子200は、チャンネル長(L)を1 μ

m以下とすることにより、ソース側電位及びドレイン側電位を利用してチャンネル部分のボディポテンシャルを固定し、良好なメモリウィンドウを確保することができる。このように、本実施形態によれば、第1実施形態と同様に、消費電力が低く、高い信頼性を有する不揮発性記憶素子200を得ることができる。

[0083] なお、本実施形態の構成に対して第1実施形態の構成を組み合わせ、チャンネル長を1 μ m以下とした上で、さらにバックゲートを設けることも可能である。すなわち、図16に示す構造において、図1に示されるように、保護絶縁層150を介してチャンネル層140に対向する他のゲート電極（図示せず）を設けてもよい。これにより、さらに安定してボディポテンシャルを固定することができる。

[0084] 図25(A)及び図25(B)は、本実施形態の不揮発性記憶素子200におけるチャンネル層140のチャンネル長に対するメモリウィンドウの依存性を示す図である。具体的には、図25(A)は、本実施形態の不揮発性記憶素子200のチャンネル層140のチャンネル長(L)を、20nm、30nm、40nm、50nm、100nm、200nm又は1 μ mとした場合におけるI_d-V_g特性のシミュレーション結果を示している。この例において、ゲート絶縁層130の膜厚は、15nmである。チャンネル層140の膜厚は、8nmである。

[0085] 図25(A)及び図25(B)に示されるように、チャンネル長が100nmから1 μ mの範囲では、メモリウィンドウの幅に大きな変化は見られない。しかしながら、チャンネル長が50nm以下の範囲において、メモリウィンドウの幅が急激に大きくなる傾向が観られた。これは、チャンネル長が50nm以下となると、ソース及びドレインのポテンシャルの影響がチャンネル中央付近で強くなり、チャンネル中央付近におけるポテンシャルの変動が大きくなり、閾値も大きく変化することに起因していると考えられる。

[0086] チャンネル長が1 μ mを超える場合、ソース及びドレイン近傍のチャンネル層140のポテンシャルは、ゲート絶縁層130の分極の影響を受けるものの

、キャリアの伝導は、チャンネル中央付近で律速される。したがって、ゲート絶縁層130の分極は、キャリアの伝導には殆ど影響せず、閾値の変化も小さいため、メモリウィンドウを十分に確保できない。これに対し、チャンネル長が1 μm 以下の場合、ソース近傍及びドレイン近傍のポテンシャルがチャンネル中央付近でカップリングを始める。したがって、ゲート絶縁層130の分極が、キャリアの伝導に影響を与え、閾値の変化が大きくなるため、メモリウィンドウを十分に確保することができる。チャンネル長が50 nm以下となると、ソース近傍及びドレイン近傍のポテンシャルのチャンネル中央付近におけるカップリングが顕著となる。したがって、ゲート絶縁層130の分極が、チャンネル中央付近のポテンシャルに大きな変化を与え、閾値を大きく変化させるため、メモリウィンドウの幅の変化も大きくなる。

[0087] 以上のように、本実施形態の不揮発性記憶素子200は、チャンネル長を50 nm以下とすることにより、メモリウィンドウの幅をさらに大きく確保することが可能である。

[0088] ここで、図26は、本実施形態の不揮発性記憶素子200におけるソース近傍のチャンネル層140のポテンシャル分布を説明するための図である。具体的には、図26(A)は、消去動作時におけるソース近傍のゲート絶縁層130の分極分布を示す図である。図26(B)は、消去動作時におけるソース近傍のチャンネル層140のポテンシャル分布を示す図である。なお、図26(A)及び図26(B)では、ソース近傍の挙動について説明するが、ドレイン近傍におけるポテンシャル分布についても同様である。このシミュレーションは、ゲート絶縁層130の膜厚を15 nmとし、チャンネル層140の膜厚を8 nmとして行った。

[0089] 図26(A)に示されるように、本実施形態の不揮発性記憶素子200は、消去動作時において、ソース近傍におけるゲート絶縁層130で分極反転が生じる。また、図26(B)に示されるように、ゲート絶縁層130の分極反転に起因して、ソース近傍のチャンネル層140には、高いポテンシャル障壁が形成される。これは、不揮発性記憶素子200のチャンネル部分のポデ

イポテンシャルが、チャンネル長を $1\ \mu\text{m}$ 以下とすることで固定されるようになり、分極反転が起こりやすくなることに起因している。

[0090] また、図27は、本実施形態の不揮発性記憶素子200におけるチャンネル層140のポテンシャル分布を説明するための図である。具体的には、図27(A)は、チャンネル長が $30\ \text{nm}$ の場合におけるチャンネル層140のポテンシャル分布を示す図である。図27(B)は、チャンネル長が $100\ \text{nm}$ の場合におけるチャンネル層140のポテンシャル分布を示す図である。このシミュレーションは、ゲート絶縁層130の膜厚を $15\ \text{nm}$ とし、チャンネル層140の膜厚を $8\ \text{nm}$ として行った。

[0091] 図27(A)に示されるように、チャンネル長が $30\ \text{nm}$ の場合、チャンネル中央付近においてチャンネルのポテンシャルとソース及びドレインのポテンシャルが強くカップリングし、チャンネルのポテンシャルを強く固定している。他方、図27(B)に示されるように、チャンネル長が $100\ \text{nm}$ の場合、チャンネル中央付近におけるポテンシャルのカップリングは僅かである。すなわち、これらのシミュレーション結果は、図25(B)を用いて説明した結果を裏付けるものである。すなわち、チャンネル長が短くなることによって、チャンネル中央付近でのポテンシャルのカップリングが強くなり、より広範囲で強く分極反転が起こるようになり、メモリウィンドウが急増することを示している。

[0092] (第3実施形態)

第3実施形態では、複数の不揮発性記憶素子300を三次元構造で集積化した不揮発性記憶装置400について説明する。具体的には、本実施形態の不揮発性記憶装置400は、複数の不揮発性記憶素子300がチャンネルを共通にして直列に配置された3次元積層型構造を有する不揮発性記憶装置の一例である。このような3次元積層型構造は、3D-NANDフラッシュメモリと同様な構造である。

[0093] 図21は、第3実施形態の不揮発性記憶素子300における素子構造を示す断面斜視図である。図22は、第3実施形態の不揮発性記憶装置400に

おける装置構造を示す断面図である。図 2 1 に示される断面斜視図は、図 2 2 の枠線 4 0 で示される領域を拡大した図面に対応する。

[0094] 図 2 1 に示されるように、不揮発性記憶素子 3 0 0 は、少なくとも、チャンネル層 3 1 0、ゲート絶縁層 3 2 0、及びゲート電極 3 3 0 を有する F e F E T である。本実施形態では、複数の不揮発性記憶素子 3 0 0 において、チャンネル層 3 1 0 及びゲート絶縁層 3 2 0 が共通となっている。

[0095] チャンネル層 3 1 0 は、不揮発性記憶素子 3 0 0 のチャンネルとして機能する。本実施形態では、チャンネル層 3 1 0 を構成する材料として I G Z O 膜を用いるが、第 1 実施形態と同様に、他の金属酸化物を用いてもよい。本実施形態において、チャンネル層 3 1 0 の膜厚は、1 0 n m 未満（好ましくは 8 n m 以下）とする。なお、本実施形態では、チャンネル層 3 1 0 は、A L D 法を用いて形成する。

[0096] ゲート絶縁層 3 2 0 は、本実施形態の不揮発性記憶素子 3 0 0 における強誘電体層に相当する。本実施形態では、ゲート絶縁層 3 2 0 を構成する材料として、H Z O 膜を用いるが、第 1 実施形態と同様に、他の強誘電体層を用いてもよい。

[0097] ゲート電極 3 3 0 は、不揮発性記憶素子 3 0 0 のゲート電極として機能する。本実施形態では、ゲート電極 3 3 0 として窒化チタン (T i N) で構成される化合物層を用いる。しかし、これに限らず、ゲート電極 3 3 0 の材料としては、タングステン、タンタル、モリブデン、アルミニウム、銅等を含む金属材料、又は、それらの金属材料を含む化合物材料を用いることができる。

[0098] 本実施形態の不揮発性記憶素子 3 0 0 において、ゲート電極 3 3 0 の膜厚は、1 μ m 以下（好ましくは 5 0 n m 以下）とする。図 2 1 から明らかなように、ゲート電極 3 3 0 の膜厚は、不揮発性記憶素子 3 0 0 の実効的なチャンネル長 (L) を画定する。そのため、第 2 実施形態と同様に、本実施形態の不揮発性記憶素子 3 0 0 は、ゲート電極 3 3 0 の膜厚（すなわち、チャンネル長）を 1 μ m 以下とすることにより、チャンネル部分のボディポテンシャルを

固定する構造となっている。

- [0099] 絶縁層340は、隣接するゲート電極330の間を絶縁分離するための絶縁膜である。絶縁層340としては、酸化シリコン膜、窒化シリコン膜等の絶縁膜を用いることができる。本実施形態において、絶縁層340の膜厚は、特に制限はないが、10nm以上50nm以下（好ましくは、20nm以上40nm以下）とすることが好ましい。絶縁層340の膜厚が薄すぎると、隣接する不揮発性記憶素子300が互いに影響を及ぼし合い、動作不良を起こす要因となり得る。また、絶縁層340の膜厚が厚すぎると、隣接する不揮発性記憶素子300のチャンネル間の距離が長くなり、キャリア移動の障壁となり得る。
- [0100] フィラー部材350は、円筒形状のチャンネル層310の内側を充填する充填材として機能する。フィラー部材350としては、酸化シリコン、窒化シリコン、樹脂等の絶縁材料を用いることができる。
- [0101] 図22において、基板410の上には、ソース電極420が設けられている。基板410としては、絶縁表面を有するシリコン基板又は金属基板等を用いることができる。ソース電極420としては、チタン、アルミニウム、タングステン、タンタル、モリブデン、アルミニウム、銅等を含む金属材料、又は、それらの金属材料を含む化合物材料を用いることができる。なお、基板410として、n型半導体基板（例えば、n型シリコン基板）を用いてソースとして機能させ、図22に示すソース電極420を省略することも可能である。
- [0102] 複数の不揮発性記憶素子300は、ソース電極420とドレイン電極430との間に直列に配置される。チャンネル層310は、ソース電極420及びドレイン電極430に対して電氣的に接続される。すなわち、本実施形態の不揮発性記憶装置400において、複数の不揮発性記憶素子300は、ソース電極420及びドレイン電極430も共有していると言える。
- [0103] ソース電極420は、金属材料で構成されるソース端子440に電氣的に接続される。ドレイン電極430は、金属材料で構成されるドレイン端子4

50に電氣的に接続される。ドレイン端子450は、不揮発性記憶装置400のビットライン（図示せず）に接続される。また、複数のゲート電極330は、それぞれゲート端子460に電氣的に接続される。複数のゲート端子460は、不揮発性記憶装置400のワードライン（図示せず）に接続される。ソース端子440、ドレイン端子450及びゲート端子460は、パッシベーション層470に設けられたコンタクトホールを介して、それぞれソース電極420、ドレイン電極430及びゲート電極330と電氣的に接続される。

[0104] 以上説明したように、本実施形態の不揮発性記憶装置400は、複数の不揮発性記憶素子300を高密度で集積化した三次元構造を有する。個々の不揮発性記憶素子300は、チャンネル長を1 μ m以下とすることによりソース側電位及びドレイン側電位を用いてチャンネル部分のボディポテンシャルを固定する。すなわち、第1実施形態及び第2実施形態と同様に、消費電力が低く、高い信頼性を有する不揮発性記憶素子300を用いて不揮発性記憶装置400を実現することができる。このように、本実施形態によれば、大容量、低消費電力かつ高信頼性の不揮発性記憶装置400を得ることができる。

[0105] （第4実施形態）

第4実施形態では、第1実施形態及び第2実施形態とは異なる構成の不揮発性記憶素子にも適用可能な、不揮発性記憶装置の動作方法について説明する。第1実施形態及び第2実施形態と異なる点は、本実施形態の不揮発性記憶装置の動作方法においては、バックゲート電極を有しておらず、チャンネル長が1 μ mを超える不揮発性記憶素子にも適用できる点である。本実施形態の不揮発性記憶装置の動作方法は、第1実施形態及び第2実施形態で説明したシミュレーションでは、消去動作時のドレイン電圧を0Vとしている（シミュレーションの便宜上、消去動作時にも読み出し動作時と同様の50mVのドレイン・ソース間電圧を印加したため消去動作時に50mVのドレイン電圧が印加されていたことになるが、読み出し時のドレイン電流に与える影響はほぼ無視でき、実質的に消去動作時のドレイン電圧を0Vとした場合と

変わりはない)のに対し、消去動作時に正のドレイン電圧(少なくとも50 mVを超える正のドレイン電圧)を印加することによってメモリウィンドウを制御する点で異なる。

[0106] 本実施形態において、「ドレイン電圧」とは、基準電位とドレイン電極の電位との間の電位差を指す。また、「ソース電圧」とは、基準電位とソース電極の電位との間の電位差を指す。また、「ゲート電圧」とは、基準電位とゲート電極の電位との間の電位差を指す。また、「ドレイン・ソース間電圧」とは、ドレイン電位とソース電位との間の電位差を指す。本実施形態の不揮発性記憶装置の動作方法を、第1～3実施形態の不揮発性記憶装置に適用することにより、メモリウィンドウがさらに広い不揮発性記憶装置として使用することができる。

[0107] 図28(A)は、第4実施形態の不揮発性記憶素子において、印加するドレイン電圧をかえて消去動作(負のゲート電圧を印加することにより強誘電体層の分極方向を特定方向にそろえる動作)、またはプログラム動作(正のゲート電圧を印加することにより強誘電体層の分極方向を該特定方向と逆向きにそろえる動作)を行った後に、ドレイン・ソース間電圧を印加し、ゲート電圧を掃引して得た $I_d - V_g$ 特性を示す図である。プログラム動作時のドレイン電圧(以下、「プログラムドレイン電圧」と呼ぶ)は $I_d - V_g$ 特性のゲート電圧閾値にほとんど影響を与えないが、消去動作時のドレイン電圧(以下、「消去ドレイン電圧」と呼ぶ)は $I_d - V_g$ 特性のゲート電圧閾値に影響を与えることがわかる。

[0108] 図28(B)は、第4実施形態の不揮発性記憶素子における消去ドレイン電圧に対するメモリウィンドウの依存性を示す図である。具体的には、図28(B)は、消去ドレイン電圧を $V_d = 0V$ 、 $2V$ 、又は、 $3V$ として強誘電体層の自発分極を消去した後に、ドレイン・ソース間電圧50 mVを印加してゲート電圧を掃引した時の $I_d - V_g$ 特性のシミュレーション結果と、強誘電体層の自発分極をプログラムした後にドレイン・ソース間電圧50 mVを印加してゲート電圧を掃引した時の $I_d - V_g$ 特性のシミュレーション

結果との差から求められるメモリウィンドウの幅を示している。この例では、強誘電体層の膜厚は15 nm、チャネル層の膜厚は8 nm、チャネル長は2 μ mとして、シミュレーションを行った。

[0109] 本実施形態のシミュレーションでは、まず、負のゲート電圧と、消去ドレイン電圧を印加した状態で強誘電体層の自発分極を消去して消去状態を形成した。次に、ドレイン・ソース間電圧50 mVを印加した状態でゲート電圧の掃引を行い、図28 (A) に示す $I_d - V_g$ 特性を得た。例えば、消去ドレイン電圧 V_d が3 Vの場合、負のゲート電圧を-5 V、ソース電圧を0 V、として消去動作を行い、その後、ドレイン・ソース間電圧を50 mVとしてゲート電圧の掃引を行って $I_d - V_g$ 特性を得た。消去ドレイン電圧 V_d が0 Vの場合及び2 Vの場合も同様の手順で $I_d - V_g$ 特性を得た。つまり、図28 (A) では、消去ドレイン電圧 V_d が0 V、2 V及び3 Vの場合に分けて消去動作を行い、ドレイン・ソース間電圧を50 mVとしてゲート電圧の掃引を行った結果を示している。同様に、正のゲート電圧とプログラムドレイン電圧を印加した状態で強誘電体層の自発分極をプログラムしてプログラム状態を形成した。次に、ドレイン・ソース間電圧を50 mVとした状態でゲート電圧の掃引を行い、図28 (A) に示す $I_d - V_g$ 特性を得た。

[0110] 図28 (B) に示されるように、消去ドレイン電圧が大きいほど、メモリウィンドウが大きくなることが分かった。このことは、消去ドレイン電圧が大きいほど、負のゲート電圧による消去動作の際に、より大きな消去が起きていることを意味する。これは、消去ドレイン電圧が大きいほど、ゲート電極とドレイン近傍のチャネル層との間のゲート絶縁層に、大きな電圧が印加されることに起因すると考えられる。なお、消去ドレイン電圧は大きい方が好ましいが、回路設計のしやすさを考慮すると、電源電圧を上限とすることが好ましい。例えば、電源電圧が3.3 V又は5 Vである場合には、消去ドレイン電圧は、0 Vより大きく3.3 V以下、又は、0 Vより大きく5 V以下とすることが好ましい。ただし、消去ドレイン電圧は、ゲートとドレインとの間のリーク電流の影響が問題とされない範囲とすることが望ましい。

[0111] 本実施形態では、消去動作時のソース電圧を0Vに固定したが、より強い消去動作を行うために、消去ドレイン電圧と同様に、消去動作時のソース電圧を正の電圧（例えば、消去ドレイン電圧と同じ電圧）としてもよい。特に第3実施形態においては、チャンネル層は、基板の表面と略平行な方向において強誘電体層を介してゲート電極と重なる部分がチャンネル、基板の表面と略平行な方向において絶縁層と重なる部分がソース及びドレインとして動作する不揮発性記憶素子が、ソース電極とドレイン電極との間に、複数個直列に配列された構造となっている。ある素子のソースが隣接する素子のドレインを兼ねる構成となっているため、各素子の消去ドレイン電圧を正の電圧とすることは、各素子の消去動作時のソース電圧も正の電圧にすることになる。

[0112] 以上のシミュレーション結果によれば、消去ドレイン電圧を正の電圧として消去状態を形成すれば、第1実施形態のようにバックゲート電極を設けたり、第2実施形態のようにチャンネル長を1 μ m以下としたりしなくても、十分なメモリウィンドウを確保し得ることが分かる。さらに、消去ドレイン電圧を大きくするほど、大きなメモリウィンドウを確保できることが分かる。また、プログラムドレイン電圧は正の電圧でも0Vでも良いことがわかる。

[0113] 以上のように、本実施形態から次の事項が把握される。

(1) 複数の不揮発性記憶素子を含む不揮発性記憶装置の動作方法であって、

、
各不揮発性記憶素子は、
金属酸化物を含むチャンネル層と、
前記チャンネル層に接する酸化ハフニウムを含む強誘電体層と、
前記強誘電体層を介して前記チャンネル層に対向するゲート電極と、
前記チャンネル層に接するソース電極と、
前記ソース電極と離間して前記チャンネル層に接するドレイン電極と、
を備え、
前記複数の不揮発性記憶素子の少なくとも一部に、前記ゲート電極に負電圧のゲート電圧を印加し、前記ドレイン電極に第1ドレイン電圧を印加する

消去動作と、

前記複数の不揮発性記憶素子の少なくとも一部に、前記ゲート電極に正電圧のゲート電圧を印加し、前記ドレイン電極に第2ドレイン電圧を印加するプログラム動作と、

を有し、

前記第1ドレイン電圧が正の電圧である、不揮発性記憶装置の動作方法。

[0114] (2) 前記第2ドレイン電圧が正の電圧、または0Vである、上記(1)に記載の不揮発性記憶装置の動作方法。

[0115] (3) 前記第1ドレイン電圧は、前記第2ドレイン電圧よりも大きい、上記(1)に記載の不揮発性記憶装置の動作方法。

[0116] 本実施形態では、バックゲート電極を有しておらず、チャンネル長が1 μ mを超える不揮発性記憶素子を含む不揮発性記憶装置の動作方法について説明したが、この例に限られるものではない。本実施形態の動作方法は、第1実施形態及び第2実施形態に記載された不揮発性記憶素子を含む不揮発性記憶装置の動作方法として適用することも可能である。

[0117] 本発明の実施形態として上述した各実施形態は、相互に矛盾しない限りにおいて、適宜組み合わせて実施することができる。各実施形態の不揮発性記憶素子又は不揮発性記憶装置を基にして、当業者が適宜構成要素の追加、削除もしくは設計変更を行ったもの、又は、工程の追加、省略もしくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。

[0118] また、上述した各実施形態の態様によりもたらされる作用効果とは異なる他の作用効果であっても、本明細書の記載から明らかなもの、又は、当業者において容易に予測し得るものについては、当然に本発明によりもたらされるものと解される。

符号の説明

[0119] 100、200、300…不揮発性記憶素子、110…基板、120…第1ゲート電極、130…ゲート絶縁層、140…チャンネル層、150…保護絶

縁層、160…第2ゲート電極、170…ソース電極、180…ドレイン電極、201…基板、202a、202b…チャンネル層、203…ゲート絶縁層、204…ゲート電極、205…結晶粒界、206…結晶欠陥、207…キャリア、208…界面層（low-k層）、310…チャンネル層、320…ゲート絶縁層、330…ゲート電極、340…絶縁層、350…フィラー部材、400…不揮発性記憶装置、410…基板、420…ソース電極、430…ドレイン電極、440…ソース端子、450…ドレイン端子、460…ゲート端子、470…パッシベーション層

請求の範囲

- [請求項1] 複数の不揮発性記憶素子を含む不揮発性記憶装置であって、
各不揮発性記憶素子は、
金属酸化物を含むチャンネル層と、
前記チャンネル層に接する酸化ハフニウムを含む強誘電体層と、
前記強誘電体層を介して前記チャンネル層に対向する第1ゲート電極と、
前記チャンネル層を介して前記強誘電体層に対向する絶縁層と、
前記絶縁層を介して前記チャンネル層に対向する第2ゲート電極と、
を備える、不揮発性記憶装置。
- [請求項2] 前記チャンネル層のチャンネル長が1 μm 以下である、請求項1に記載の不揮発性記憶装置。
- [請求項3] 前記絶縁層が、酸化シリコンを含む、請求項1又は2に記載の不揮発性記憶装置。
- [請求項4] 前記チャンネル層の膜厚に対する前記絶縁層の膜厚の比が、1.0以上1.8以下である、請求項1乃至3のいずれか一項に記載の不揮発性記憶装置。
- [請求項5] 複数の不揮発性記憶素子を含む不揮発性記憶装置であって、
各不揮発性記憶素子は、
金属酸化物を含むチャンネル層と、
前記チャンネル層に接する酸化ハフニウムを含む強誘電体層と、
前記強誘電体層を介して前記チャンネル層に対向するゲート電極と、
を備え、
前記チャンネル層のチャンネル長が1 μm 以下である、不揮発性記憶装置。
- [請求項6] 前記チャンネル層のチャンネル長が50 nm以下である、請求項5に記載の不揮発性記憶装置。
- [請求項7] 前記金属酸化物が、IGZO、ITO、IZO、又はITZOであ

る、請求項1乃至6のいずれか一項に記載の不揮発性記憶装置。

[請求項8] 前記チャンネル層の膜厚が10nm未満である、請求項1乃至7のいずれか一項に記載の不揮発性記憶装置。

[請求項9] 前記強誘電体層の膜厚が5nm以上20nm以下である、請求項1乃至8のいずれか一項に記載の不揮発性記憶装置。

[請求項10] 複数の不揮発性記憶素子を含む不揮発性記憶装置の動作方法であって、

各不揮発性記憶素子は、

金属酸化物を含むチャンネル層と、

前記チャンネル層に接する酸化ハフニウムを含む強誘電体層と、

前記強誘電体層を介して前記チャンネル層に対向する第1ゲート電極と、

と、

前記チャンネル層を介して前記強誘電体層に対向する絶縁層と、

前記絶縁層を介して前記チャンネル層に対向する第2ゲート電極と、

前記チャンネル層に接するソース電極と、

前記ソース電極と離間して前記チャンネル層に接するドレイン電極と

、

を備え、

前記複数の不揮発性記憶素子の少なくとも一部に、前記第1ゲート電極に負電圧のゲート電圧を印加し、前記ドレイン電極に第1ドレイン電圧を印加する消去動作と、

前記複数の不揮発性記憶素子の少なくとも一部に、前記第1ゲート電極に正電圧のゲート電圧を印加し、前記ドレイン電極に第2ドレイン電圧を印加するプログラム動作と、

を有し、

前記第1ドレイン電圧が正の電圧である、不揮発性記憶装置の動作方法。

[請求項11] 複数の不揮発性記憶素子を含む不揮発性記憶装置の動作方法であって

て、

各不揮発性記憶素子は、
金属酸化物を含むチャンネル層と、
前記チャンネル層に接する酸化ハフニウムを含む強誘電体層と、
前記強誘電体層を介して前記チャンネル層に対向するゲート電極と、
前記チャンネル層に接するソース電極と、
前記ソース電極と離間して前記チャンネル層に接するドレイン電極と

、

を備え、
前記チャンネル層のチャンネル長が $1\ \mu\text{m}$ 以下であり、
前記複数の不揮発性記憶素子の少なくとも一部に、前記ゲート電極に負電圧のゲート電圧を印加し、前記ドレイン電極に第1ドレイン電圧を印加する消去動作と、

前記複数の不揮発性記憶素子の少なくとも一部に、前記ゲート電極に正電圧のゲート電圧を印加し、前記ドレイン電極に第2ドレイン電圧を印加するプログラム動作と、

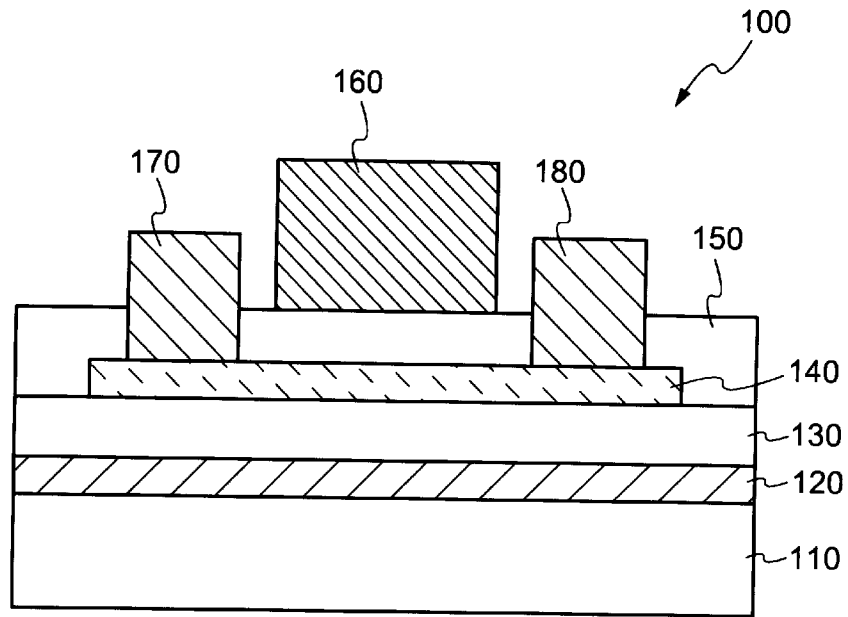
を有し、

前記第1ドレイン電圧が正の電圧である、不揮発性記憶装置の動作方法。

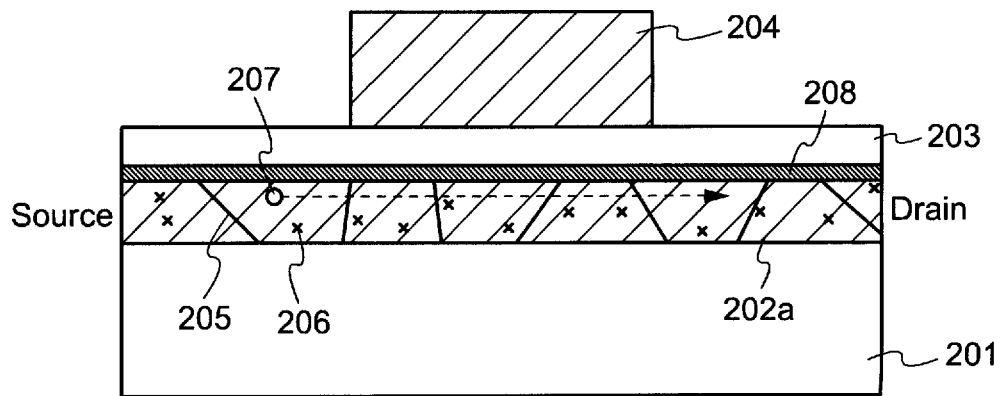
[請求項12] 前記第2ドレイン電圧が正の電圧、または0Vである、請求項10又は11に記載の不揮発性記憶装置の動作方法。

[請求項13] 前記第1ドレイン電圧は、前記第2ドレイン電圧よりも大きい、請求項10乃至12のいずれか一項に記載の不揮発性記憶装置の動作方法。

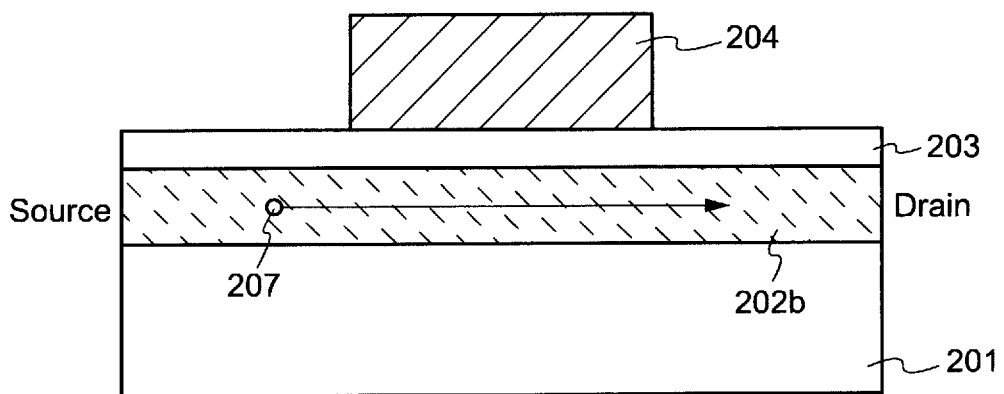
[図1]



[図2]

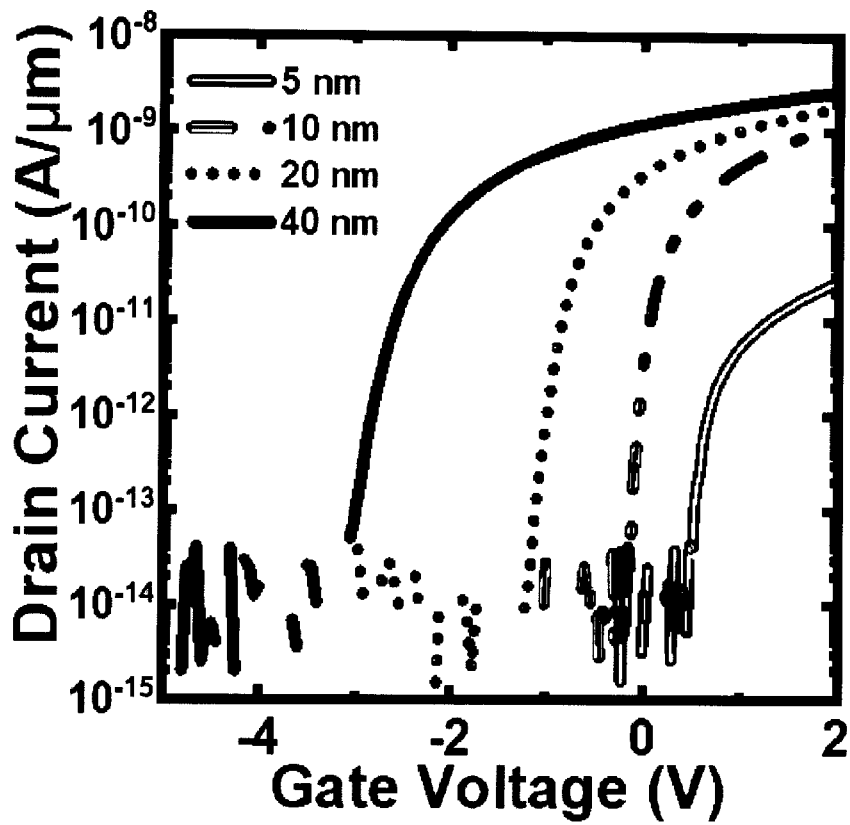


(A)

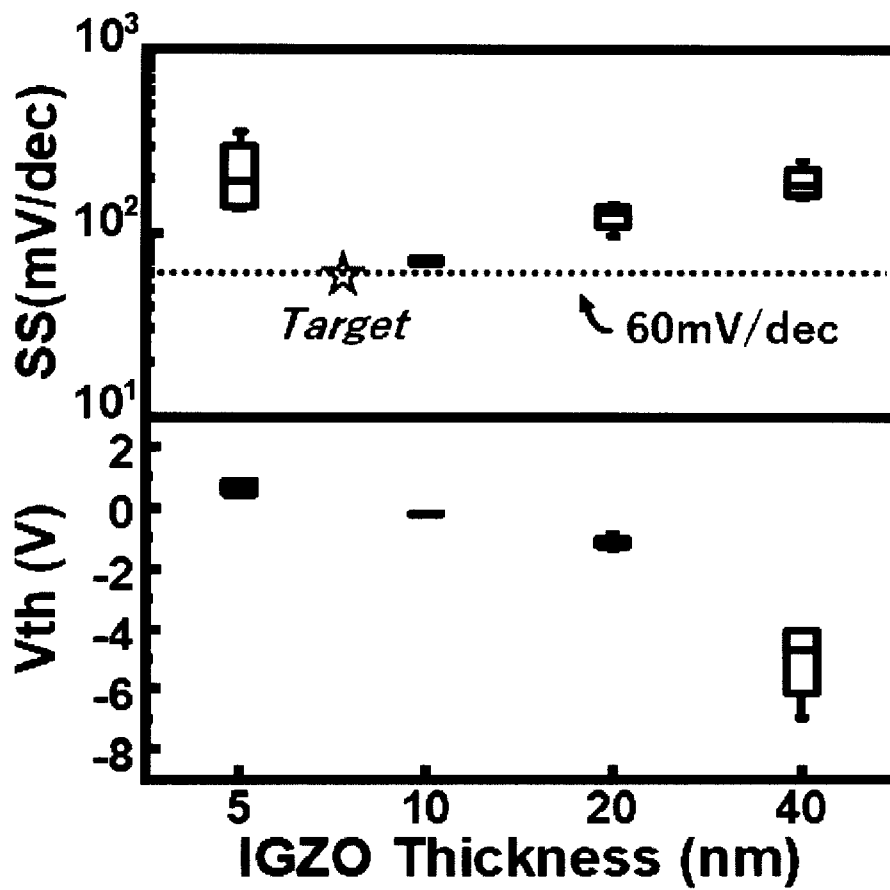


(B)

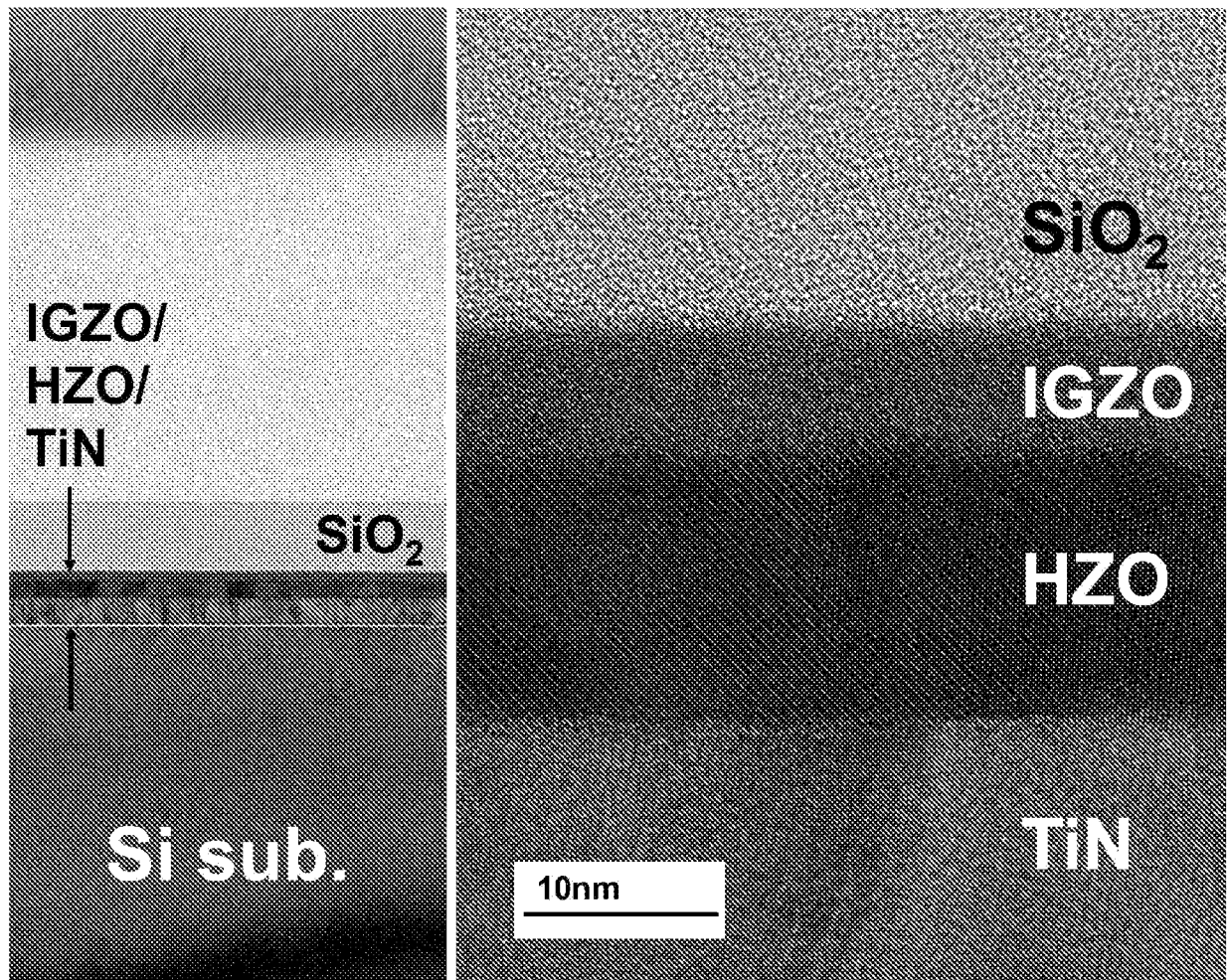
[図3]



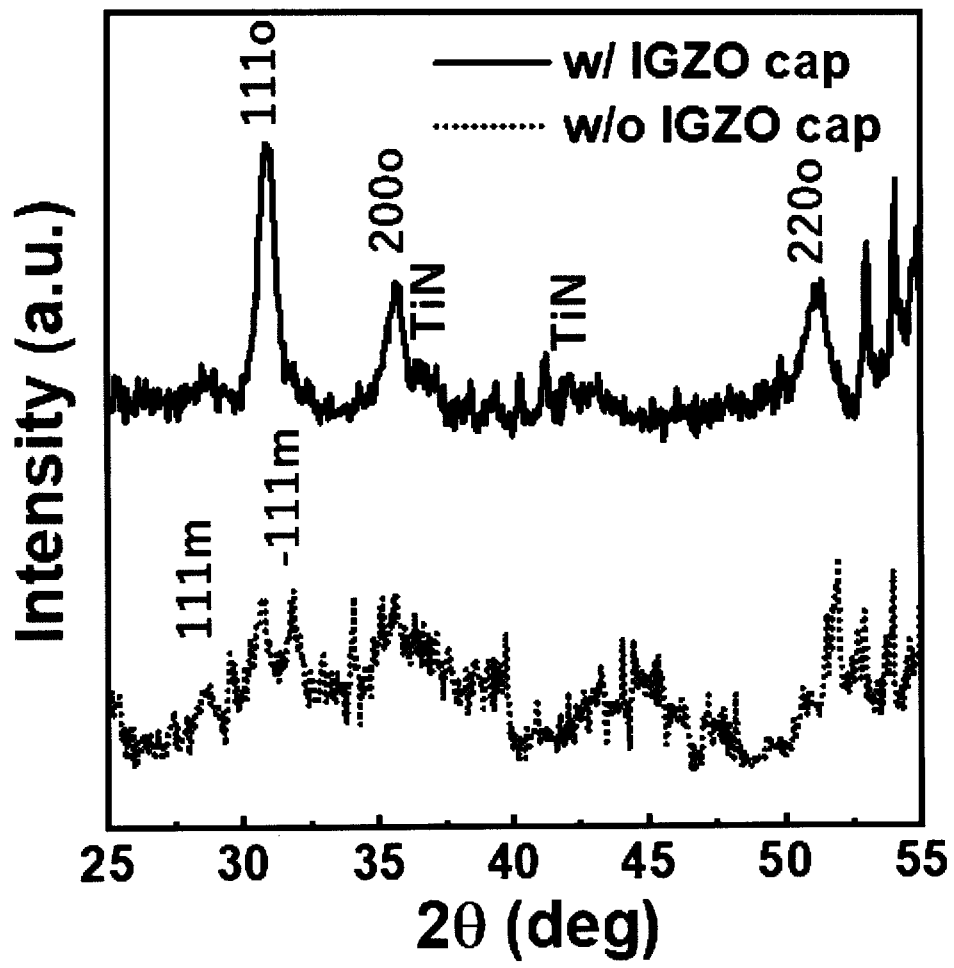
[図4]



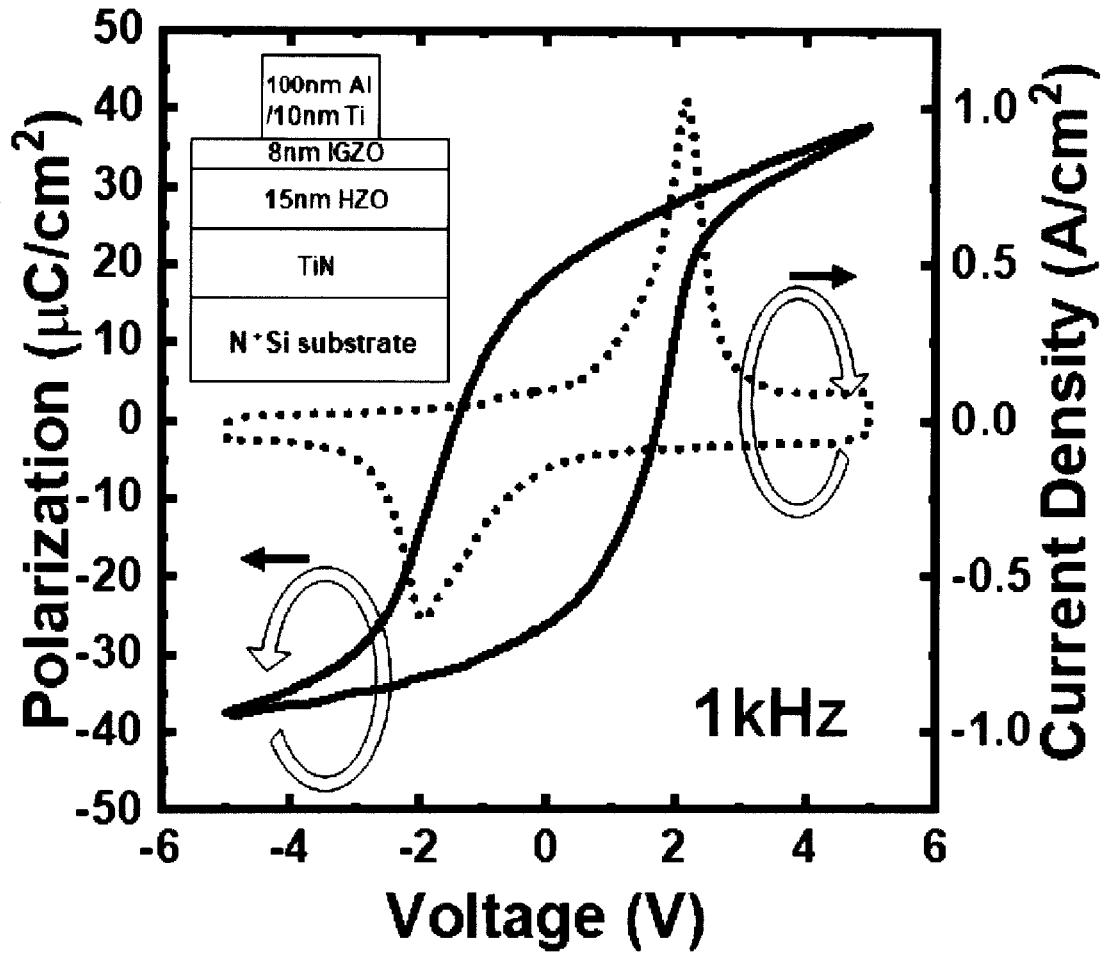
[図5]



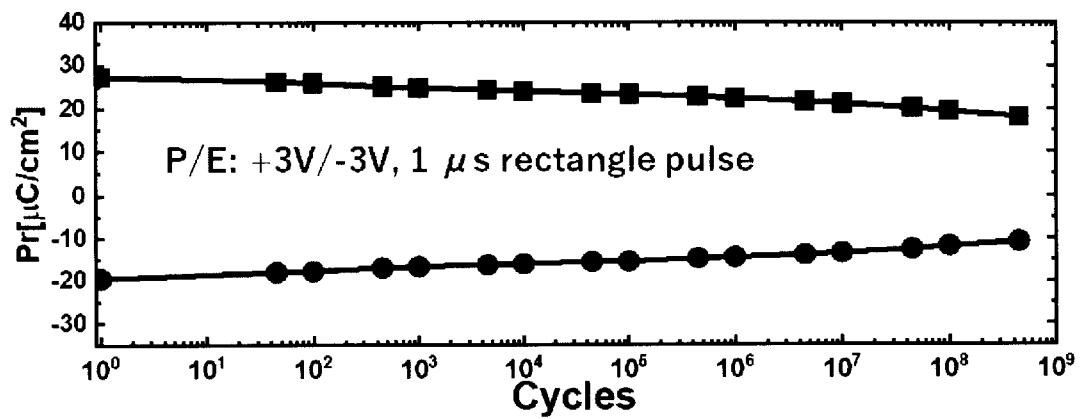
[圖6]



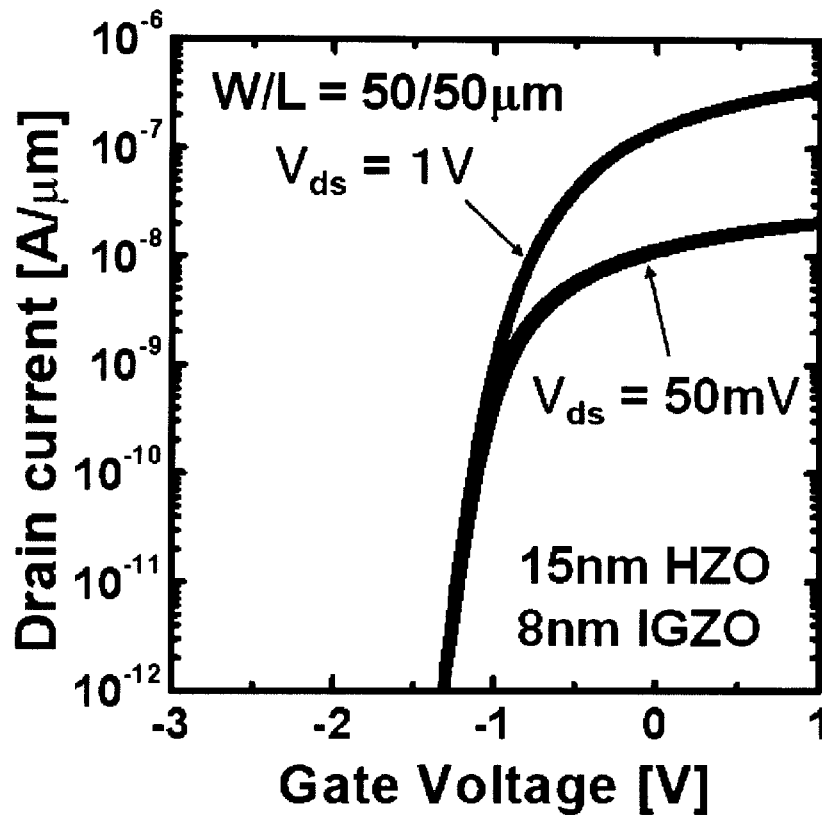
[圖7]



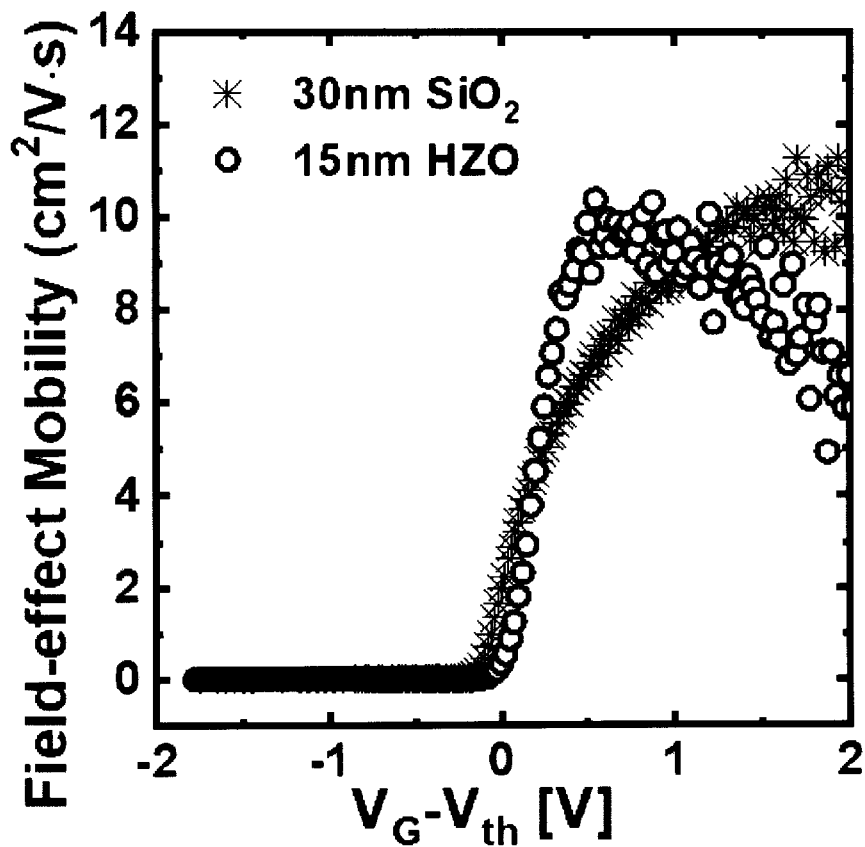
[圖8]



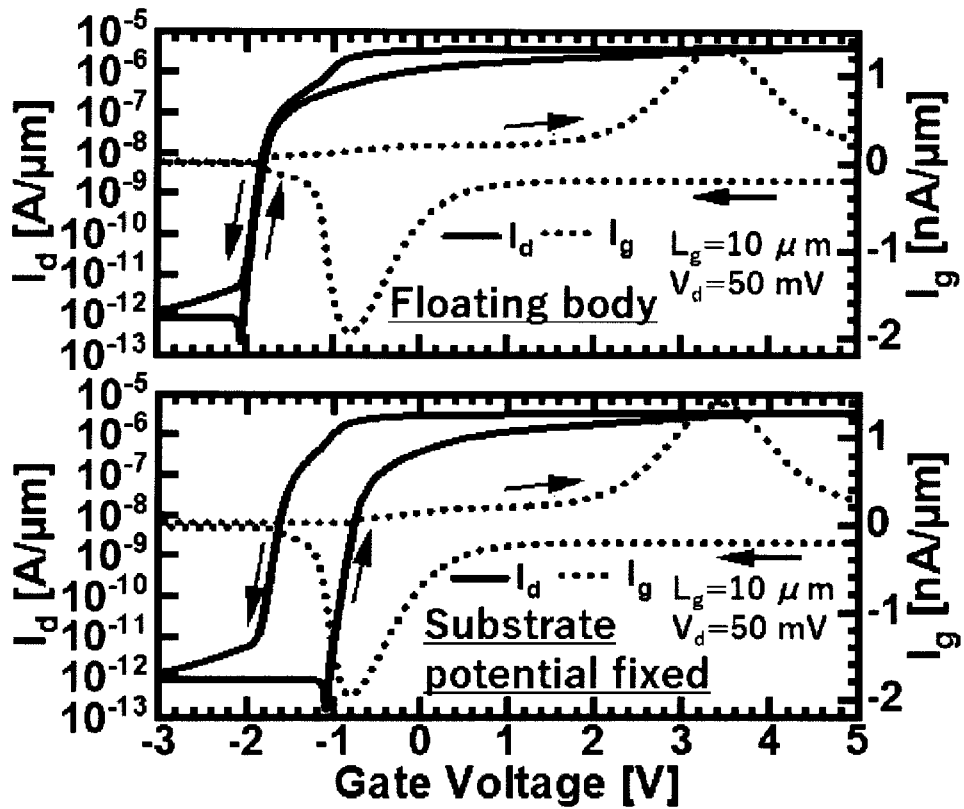
[図9]



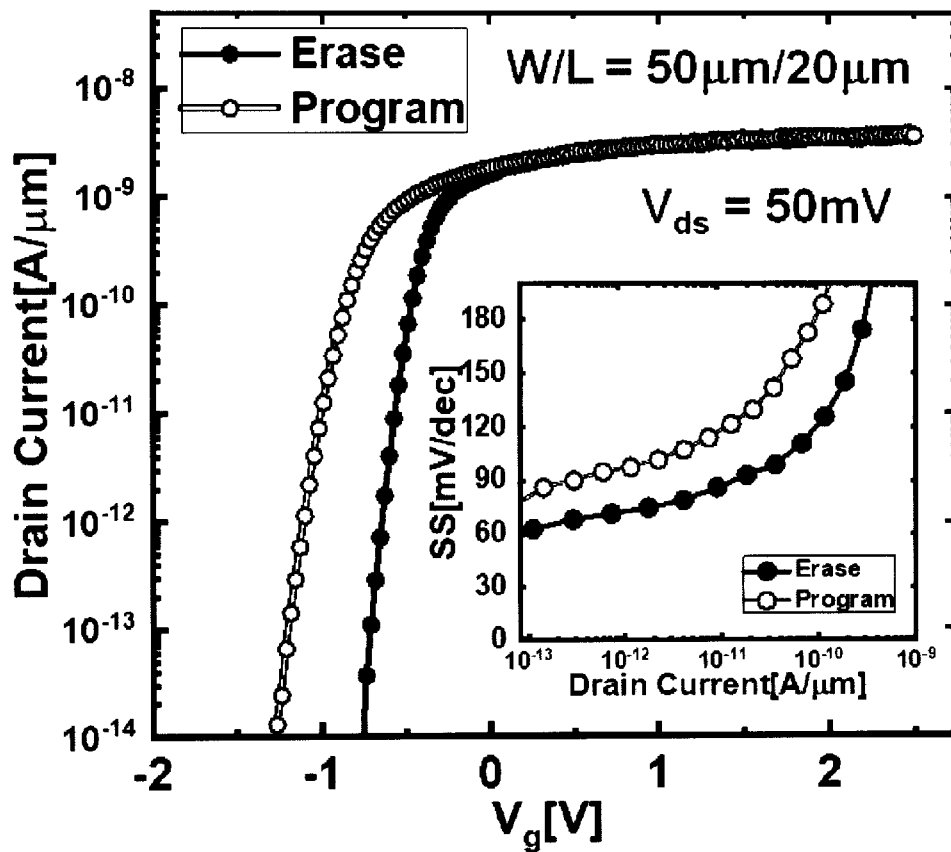
[図10]



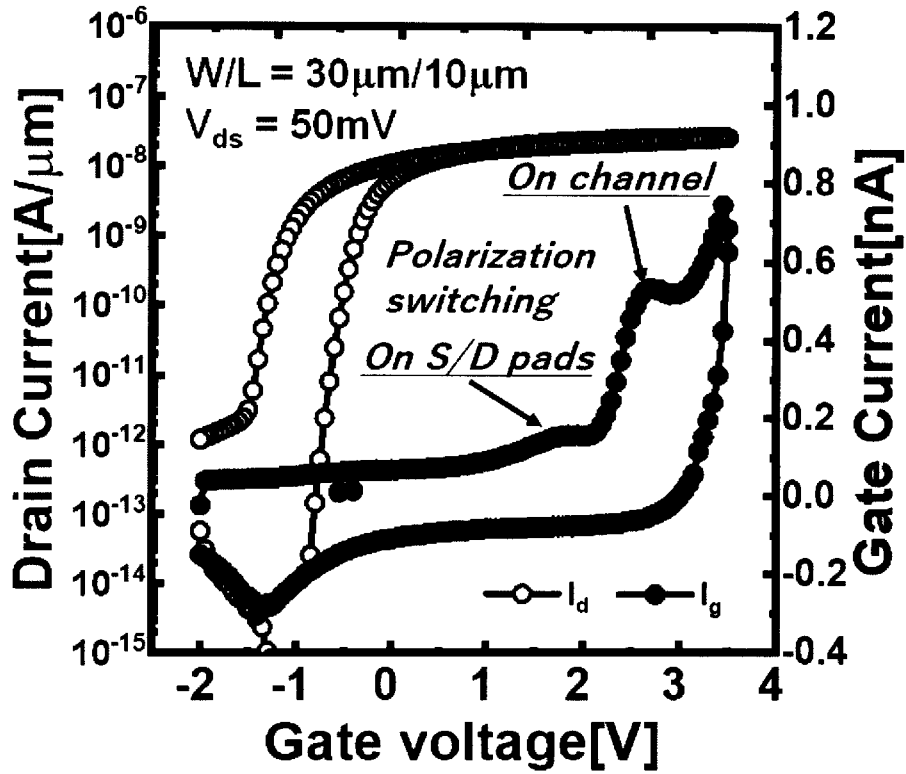
[図11]



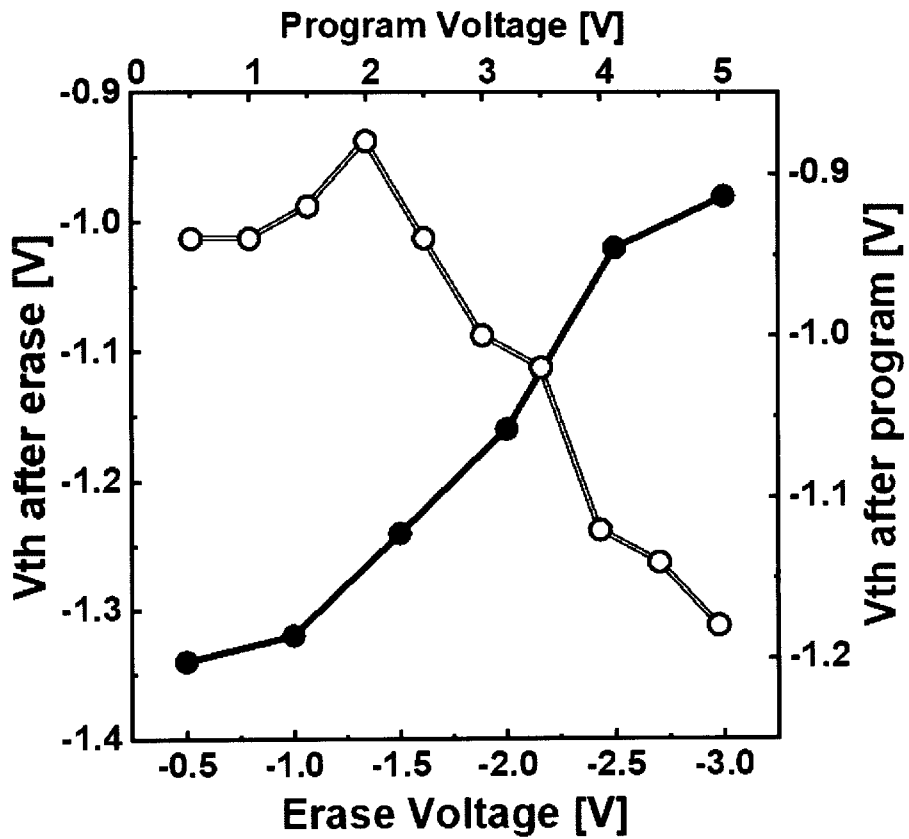
[図12]



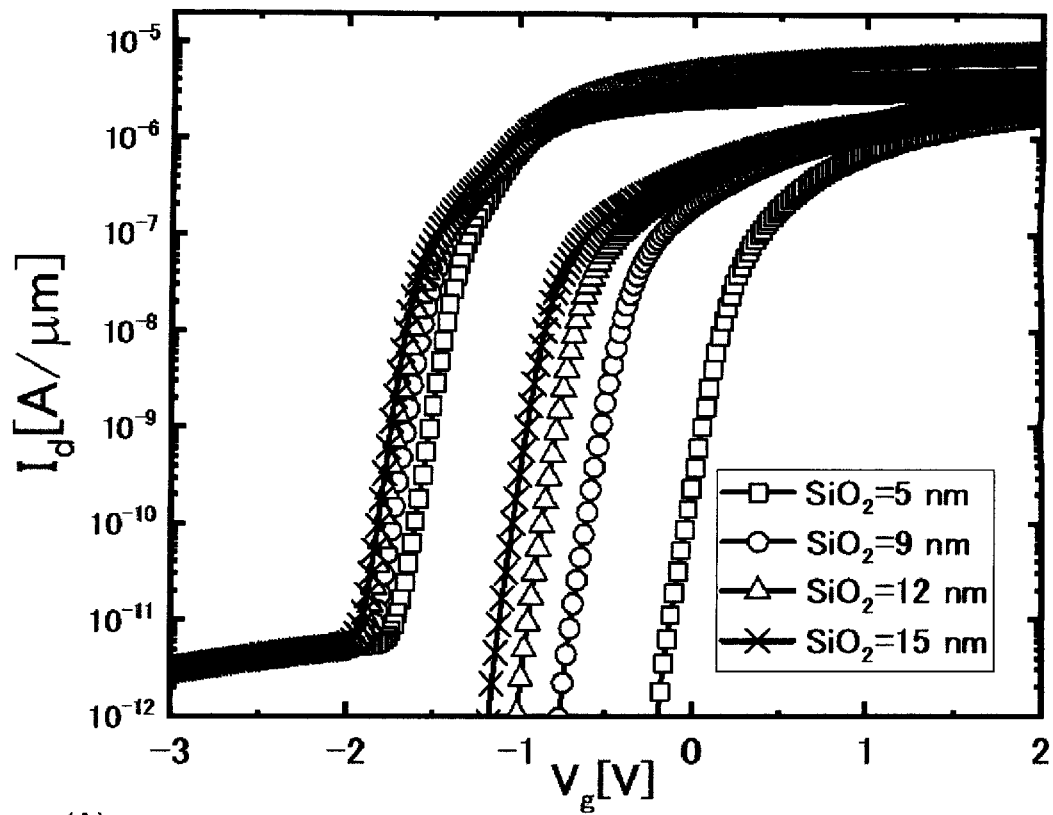
[圖13]



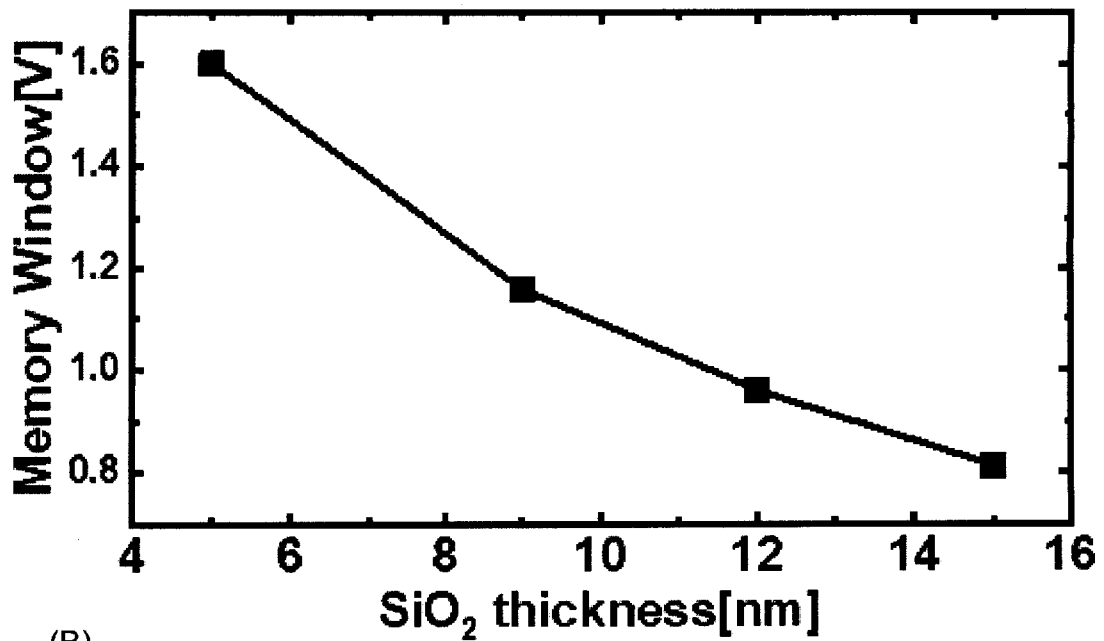
[圖14]



[図15]

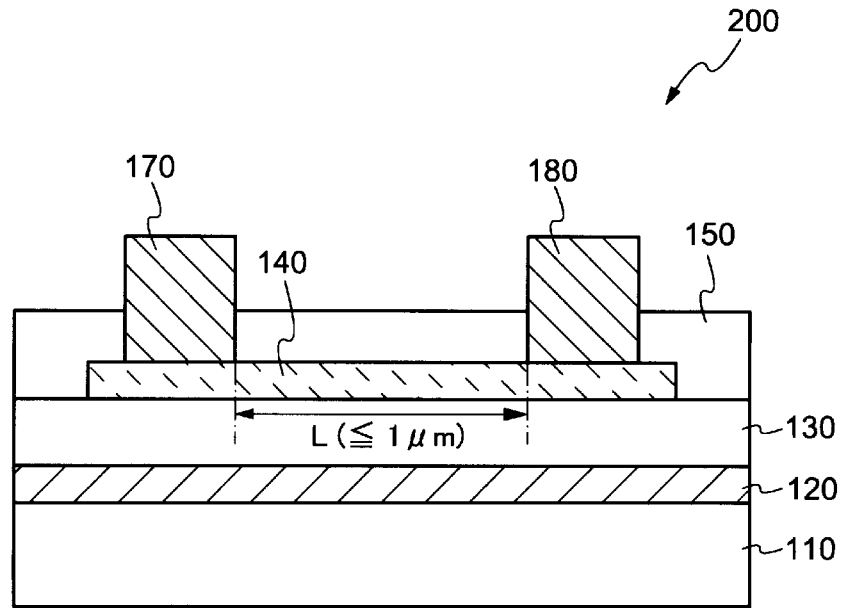


(A)

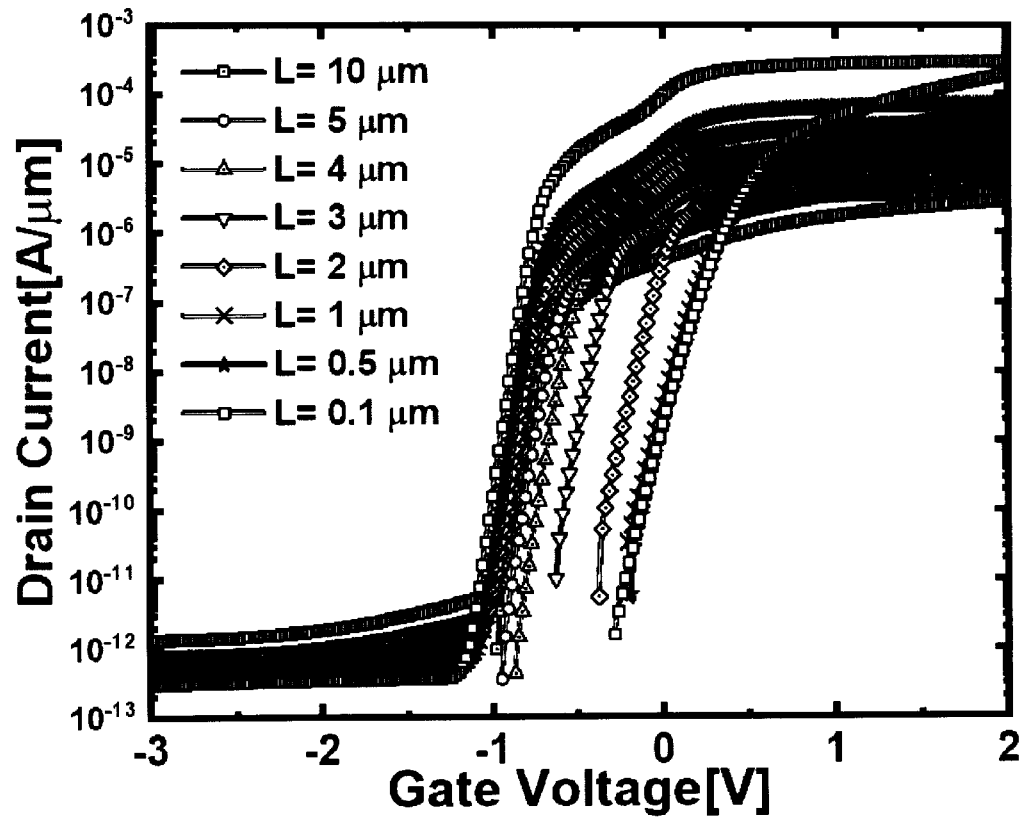


(B)

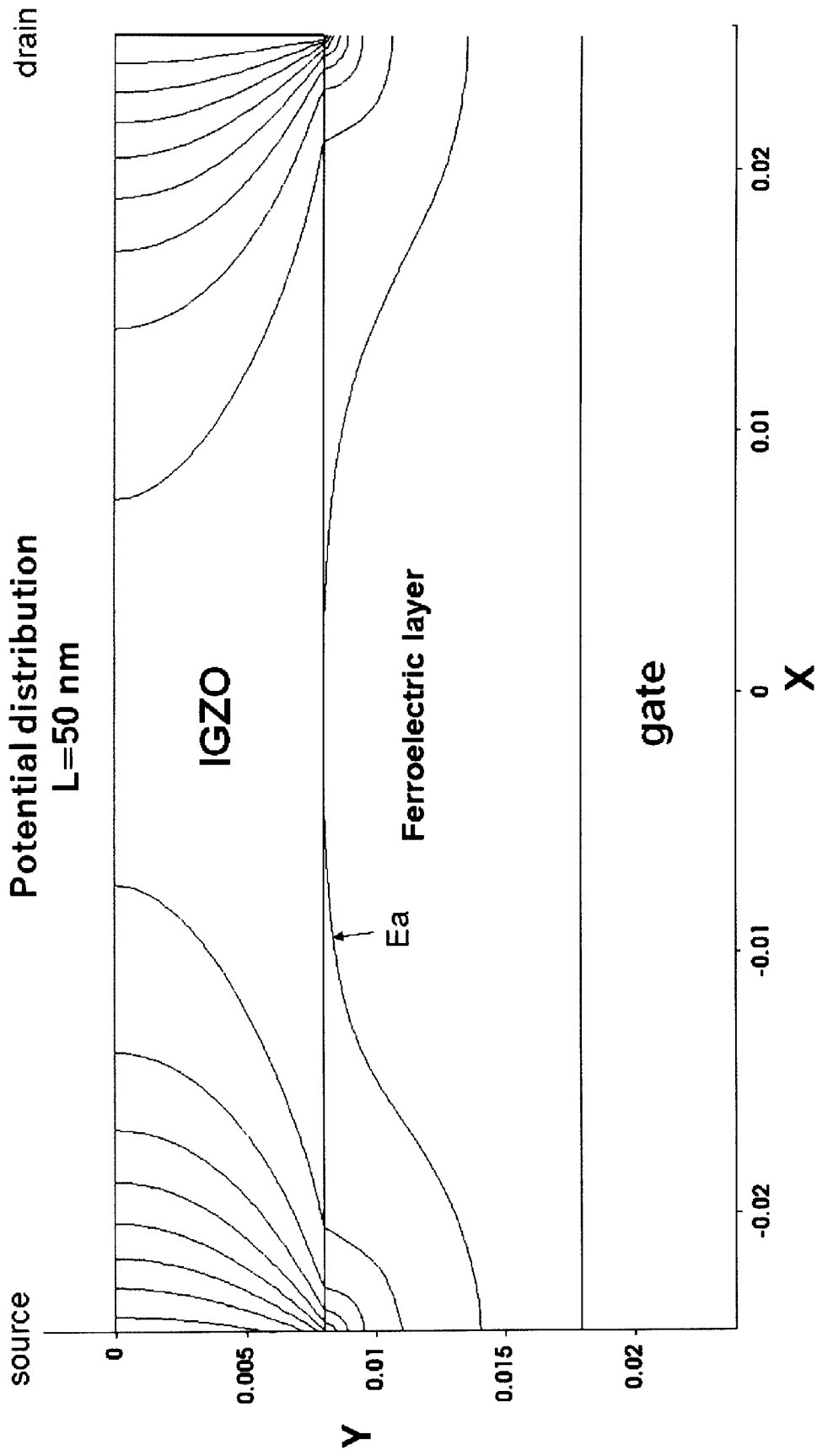
[図16]



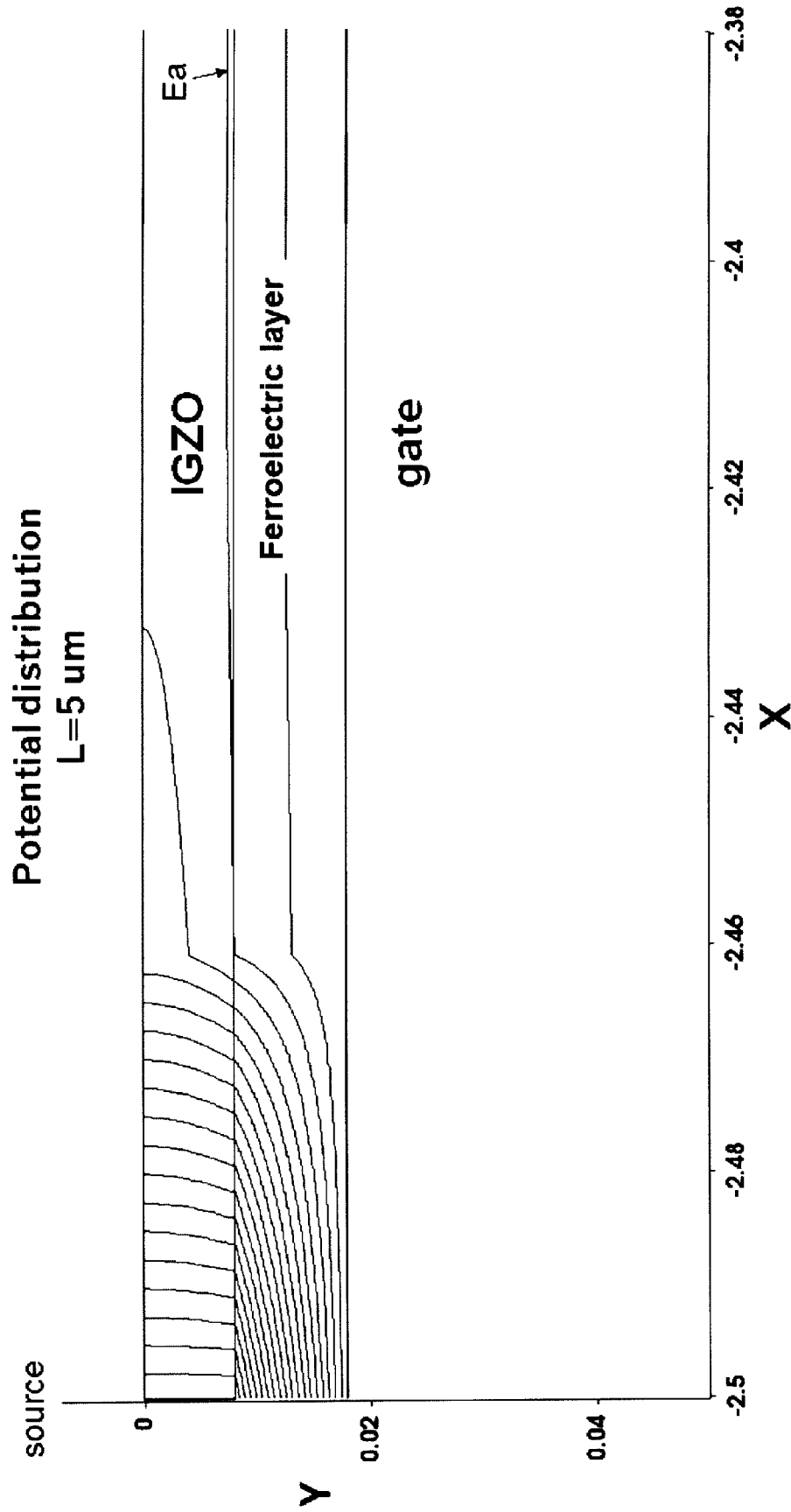
[図17]



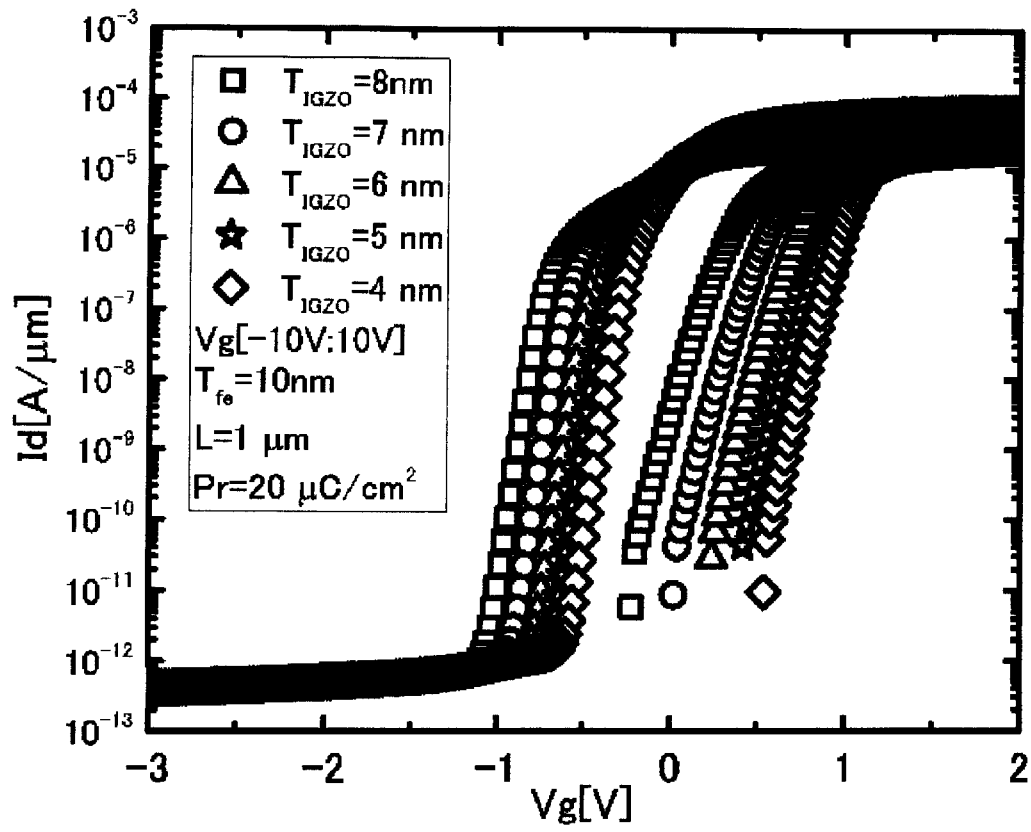
[圖18]



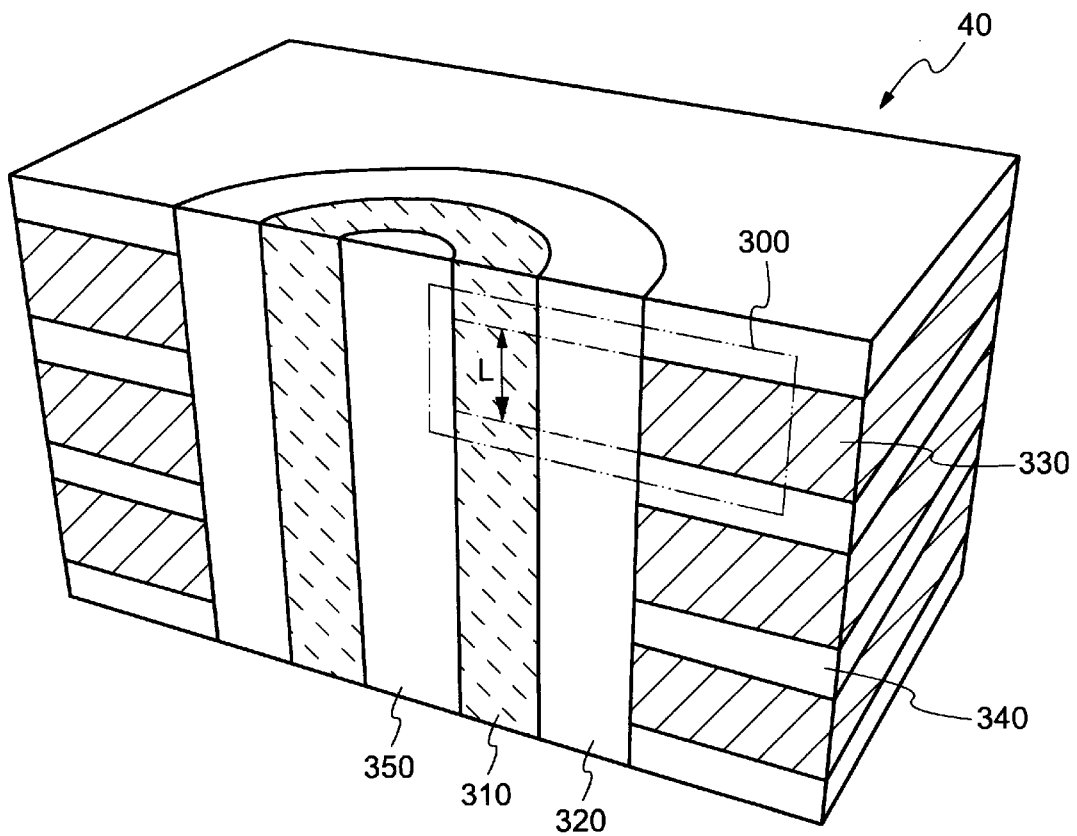
[圖19]



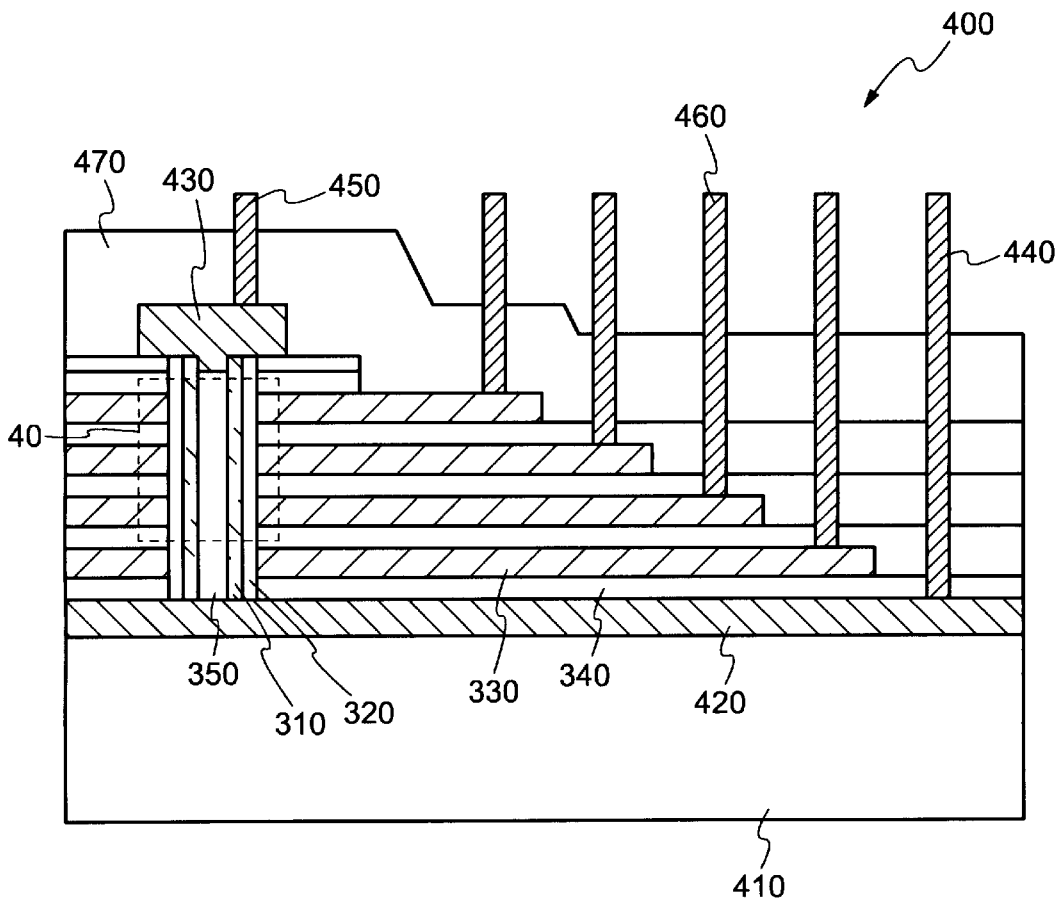
[図20]



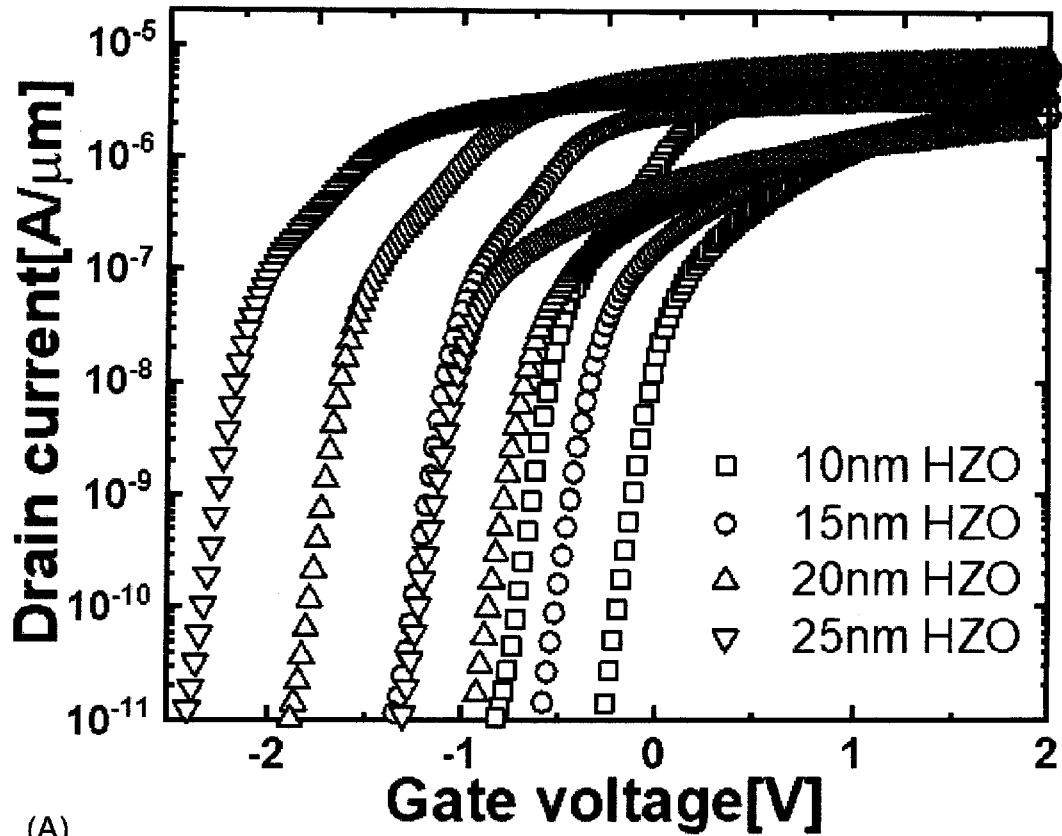
[図21]



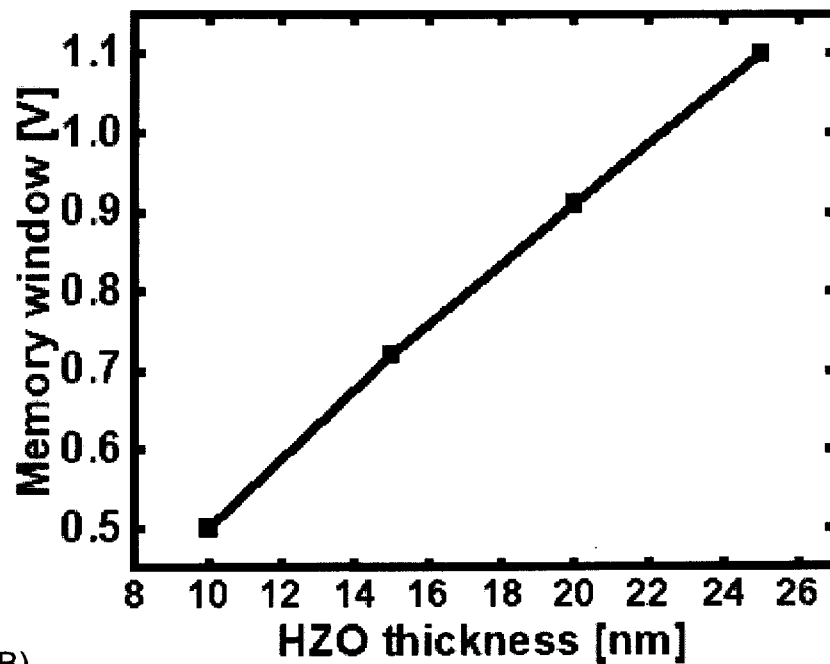
[図22]



[圖23]

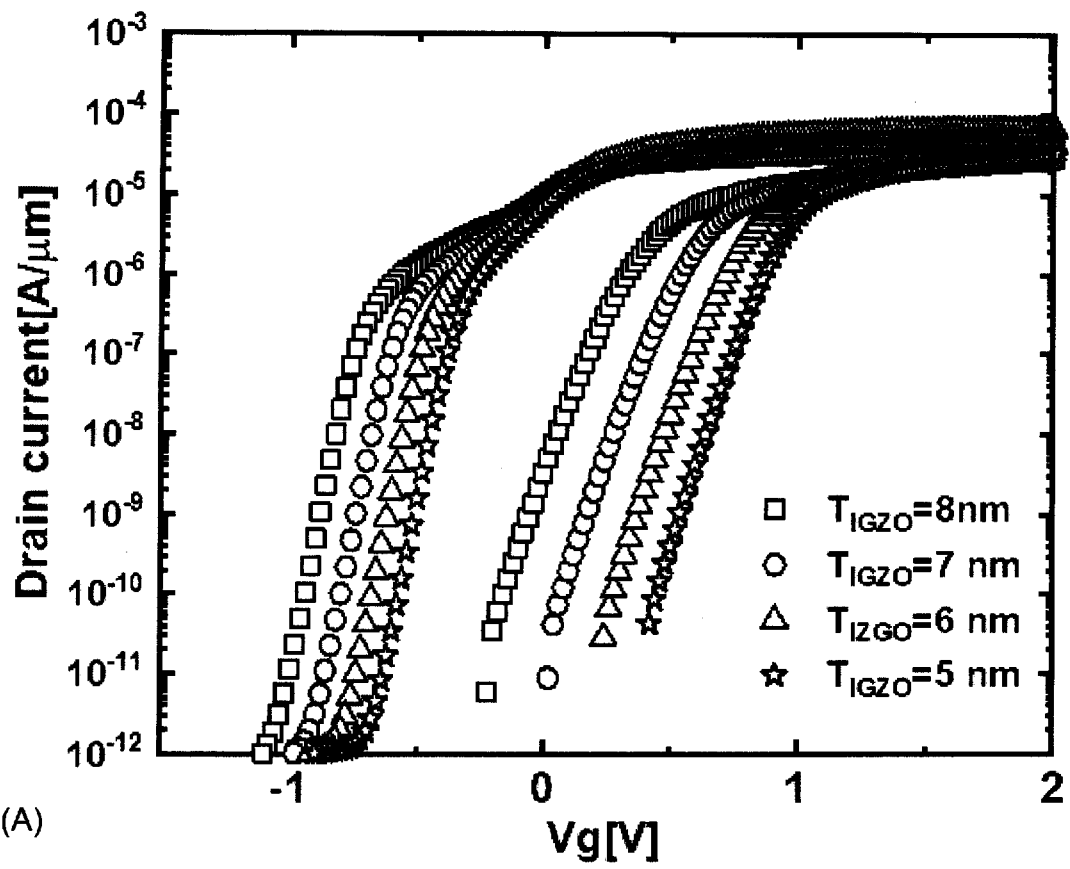


(A)

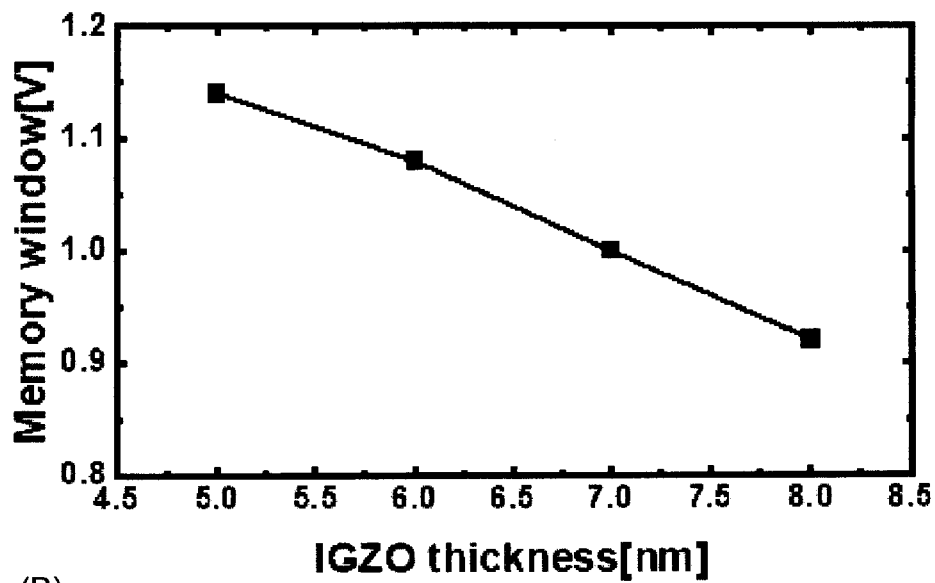


(B)

[図24]

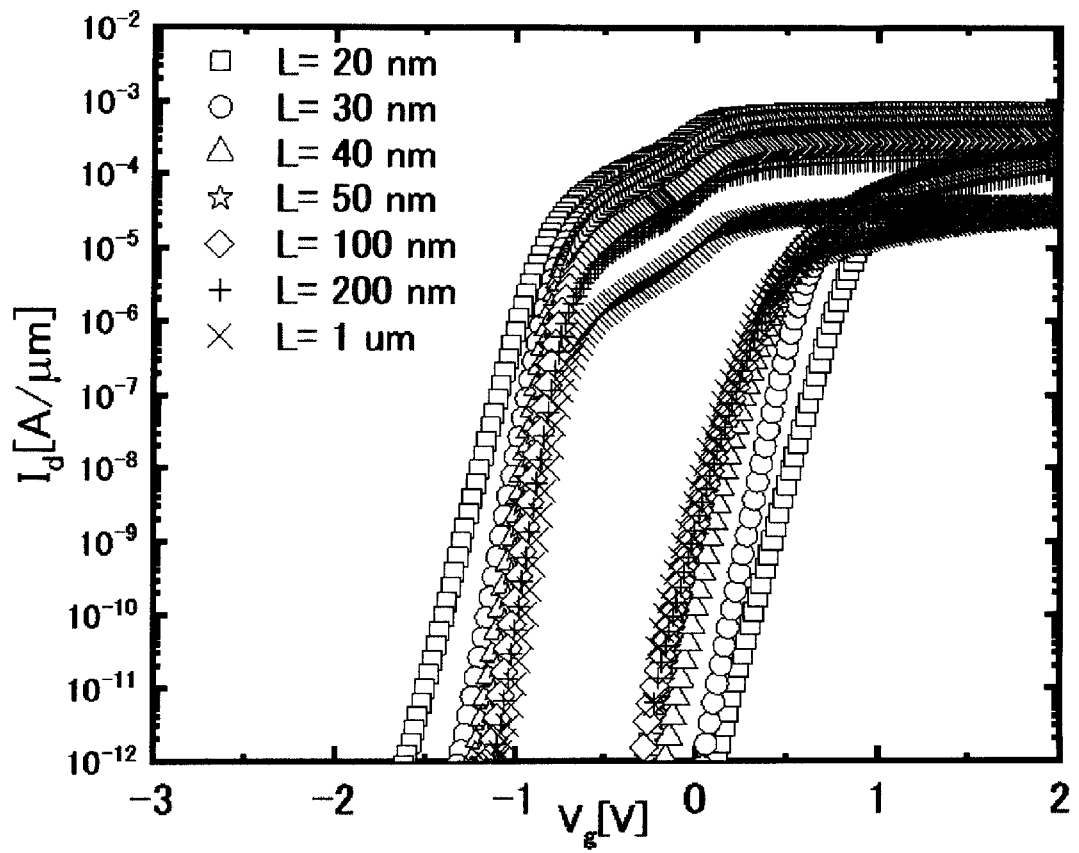


(A)

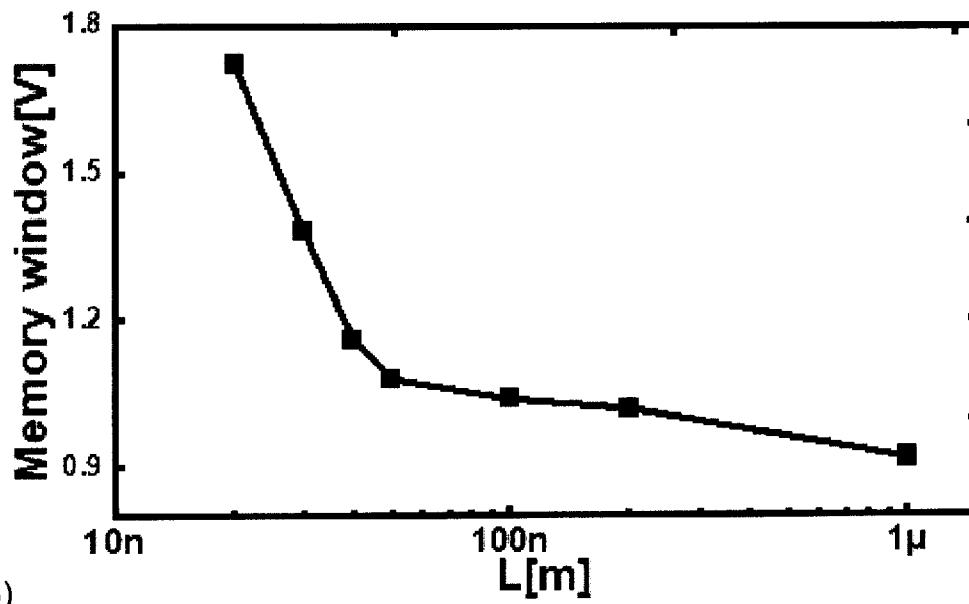


(B)

[図25]

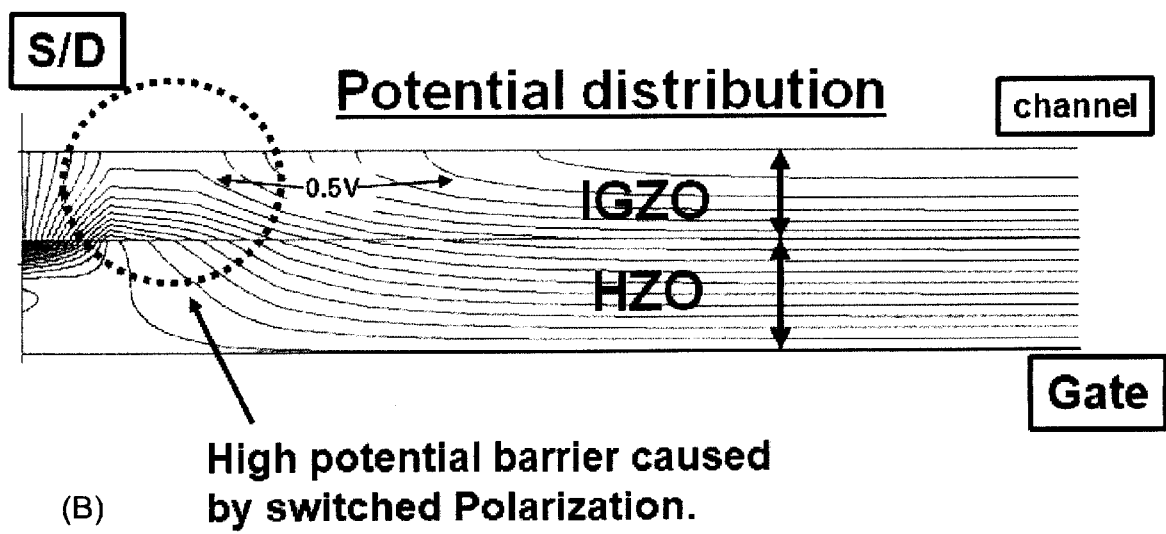
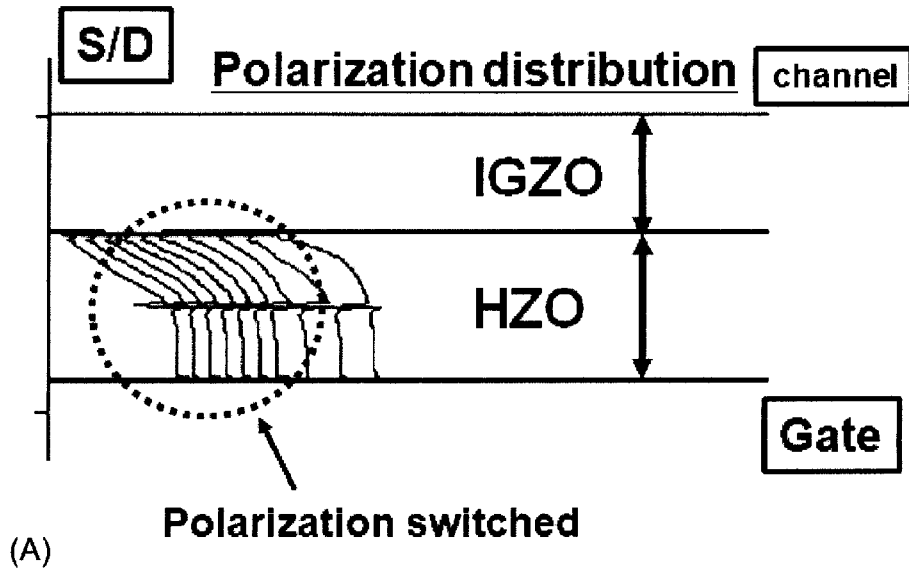


(A)



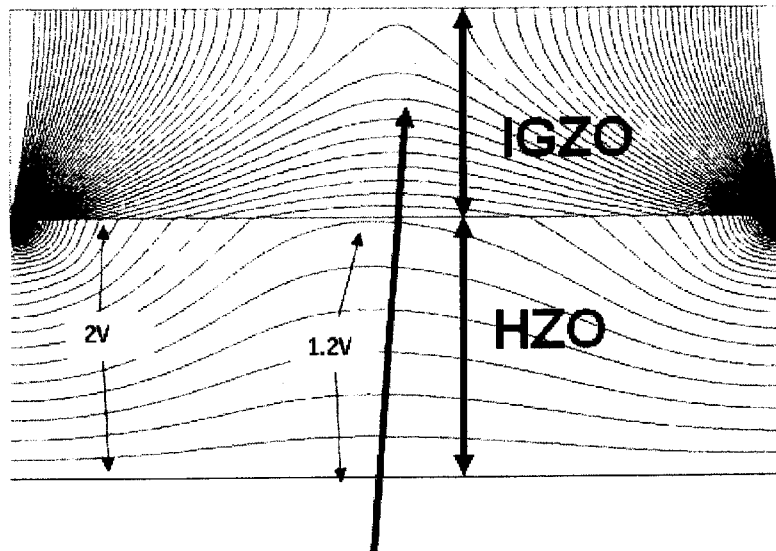
(B)

[圖26]



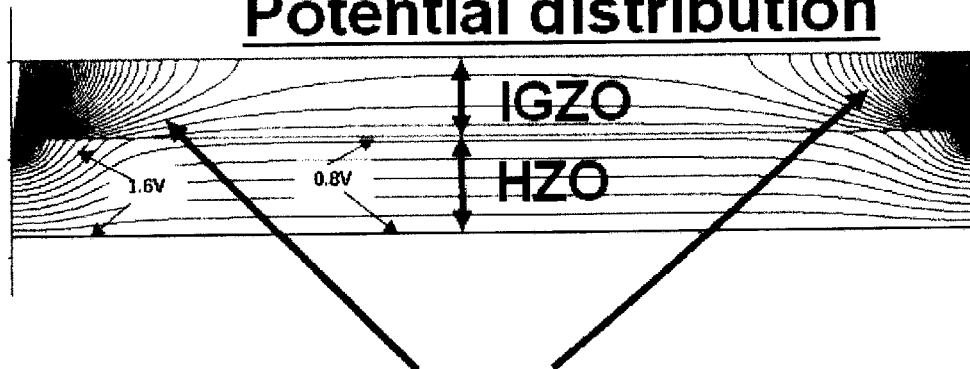
[圖27]

L = 30 nm
Potential distribution



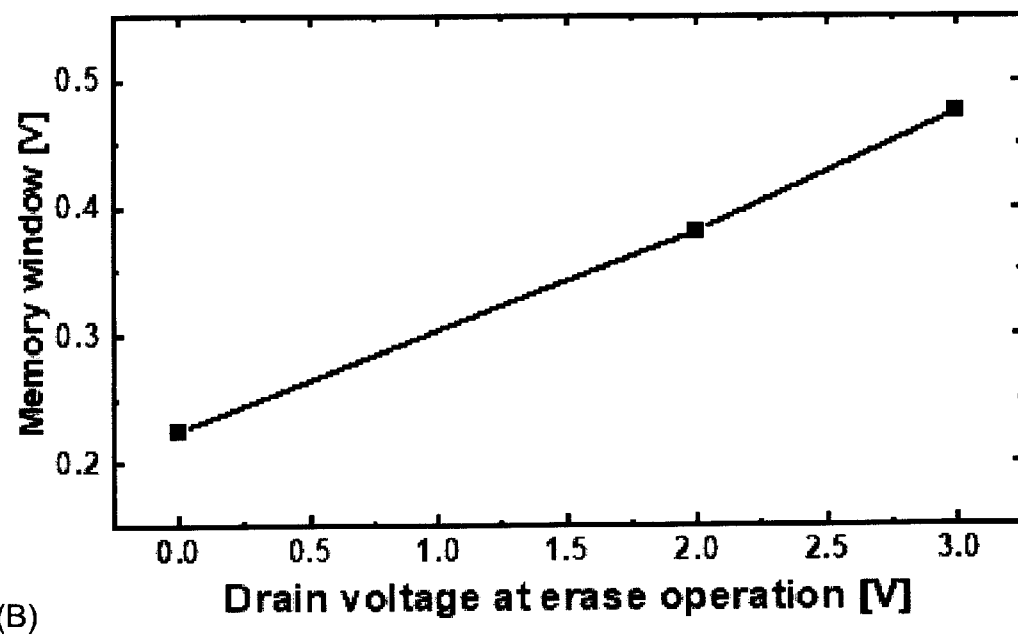
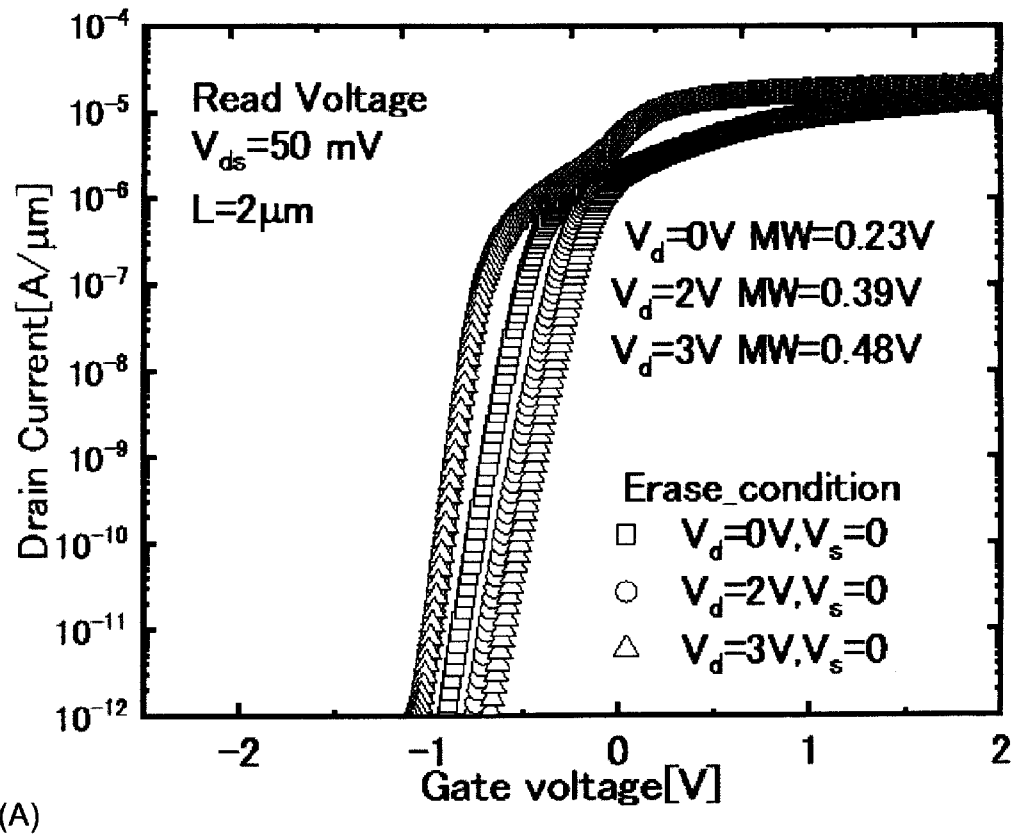
(A) **Potential barrier connected**

L = 100 nm
Potential distribution



(B) **Potential barrier closed**

[図28]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/021963

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L27/1159(2017.01) i, H01L27/11597(2017.01) i, H01L21/336(2006.01) i, H01L29/788(2006.01) i, H01L29/792(2006.01) i
 FI: H01L27/1159, H01L27/11597, H01L29/78 371
 According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L27/1159, H01L27/11597, H01L21/336, H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2020
 Registered utility model specifications of Japan 1996-2020
 Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2010/097862 A1 (PANASONIC CORP.) 02 September 2010, paragraphs [0001], [0011], [0023], [0024], [0035]-[0037], [0040], [0152], fig. 1 (a)	1, 2, 5-13
Y	JP 2018-67664 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 26 April 2018, paragraphs [0030], [0059]-[0065], [0100], [0110], [0114], fig. 1, 2	1-13
Y	JP 2000-340759 A (SONY CORP.) 08 December 2000, paragraphs [0008], [0016], [0017], [0020]-[0022], [0031]-[0034], fig. 2, 3	1-13
A	JP 2010-267705 A (PANASONIC CORP.) 25 November 2010, entire text, all drawings	1-13

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

- “A” document defining the general state of the art which is not considered to be of particular relevance
- “E” earlier application or patent but published on or after the international filing date
- “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- “O” document referring to an oral disclosure, use, exhibition or other means
- “P” document published prior to the international filing date but later than the priority date claimed

- “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- “&” document member of the same patent family

Date of the actual completion of the international search
22.07.2020

Date of mailing of the international search report
04.08.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/021963

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2018/125118 A1 (INTEL CORPORATION) 05 July 2018, entire text, all drawings	1-13
A	<p>科学技術振興機構, 【共同発表】IGZOと次世代機能性材料を融合した新デバイスの開発に成功～メモリーデバイスの低消費電力化, 高速化, 大容量化に期待～ (発表主体: 科学技術振興機構) [online], Institute of Industrial Science, the University of Tokyo, Internet: <URL:https://www.iis.u-tokyo.ac.jp/ja/news/3125/>, 10 June 2019 [retrieved: 27 July 2020], entire text, all drawings (JAPAN SCIENCE AND TECHNOLOGY AGENCY. [Joint Release] Emerging device by the fusion of functional metal oxide materials: IGZO and ferroelectric-HfO₂ - Next generation memory with low-power, high-speed, and high capacity. (Released by: Japan Science and Technology Agency).)</p>	1-13

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/021963

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
WO 2010/097862 A1	02.09.2010	US 2011/0299318 A1 paragraphs [0002], [0011], [0049], [0050], [0061]- [0063], [0066], [0180], fig. 1A CN 102265392 A	
JP 2018-67664 A	26.04.2018	US 2019/0244653 A1 paragraphs [0044], [0073]-[0079], [0113], [0123], [0127], fig. 1, 2 WO 2018/074093 A1 KR 10-2019-0067163 A	
JP 2000-340759 A	08.12.2000	US 6532165 B1 column 2, lines 27- 31, column 7, lines 4-27, column 7, line 37 to column 8, line 2, column 8, line 38 to column 9, line 14, fig. 3, 4	
JP 2010-267705 A	25.11.2010	WO 2010/131310 A1 CN 102405522 A	
WO 2018/125118 A1	05.07.2018	(Family: none)	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 27/1159(2017.01)i; H01L 27/11597(2017.01)i; H01L 21/336(2006.01)i; H01L 29/788(2006.01)i; H01L 29/792(2006.01)i FI: H01L27/1159; H01L27/11597; H01L29/78 371</p>																				
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC）） H01L27/1159; H01L27/11597; H01L21/336; H01L29/788; H01L29/792</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年										
日本国実用新案公報	1922 - 1996年																			
日本国公開実用新案公報	1971 - 2020年																			
日本国実用新案登録公報	1996 - 2020年																			
日本国登録実用新案公報	1994 - 2020年																			
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>WO 2010/097862 A1 (パナソニック株式会社) 02.09.2010 (2010-09-02) [0001], [0011], [0023], [0024], [0035] - [0037], [0040], [0152], 図1(a)</td> <td>1, 2, 5-13</td> </tr> <tr> <td>Y</td> <td>JP 2018-67664 A (ソニーセミコンダクタソリューションズ株式会社) 26.04.2018 (2018-04-26) [0030], [0059] - [0065], [0100], [0110], [0114], 図1, 2</td> <td>1-13</td> </tr> <tr> <td>Y</td> <td>JP 2000-340759 A (ソニー株式会社) 08.12.2000 (2000-12-08) [0008], [0016], [0017], [0020] - [0022], [0031] - [0034], 図2, 3</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>JP 2010-267705 A (パナソニック株式会社) 25.11.2010 (2010-11-25) 全文, 全図</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>WO 2018/125118 A1 (INTEL CORPORATION) 05.07.2018 (2018-07-05) 全文, 全図</td> <td>1-13</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y	WO 2010/097862 A1 (パナソニック株式会社) 02.09.2010 (2010-09-02) [0001], [0011], [0023], [0024], [0035] - [0037], [0040], [0152], 図1(a)	1, 2, 5-13	Y	JP 2018-67664 A (ソニーセミコンダクタソリューションズ株式会社) 26.04.2018 (2018-04-26) [0030], [0059] - [0065], [0100], [0110], [0114], 図1, 2	1-13	Y	JP 2000-340759 A (ソニー株式会社) 08.12.2000 (2000-12-08) [0008], [0016], [0017], [0020] - [0022], [0031] - [0034], 図2, 3	1-13	A	JP 2010-267705 A (パナソニック株式会社) 25.11.2010 (2010-11-25) 全文, 全図	1-13	A	WO 2018/125118 A1 (INTEL CORPORATION) 05.07.2018 (2018-07-05) 全文, 全図	1-13
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																		
Y	WO 2010/097862 A1 (パナソニック株式会社) 02.09.2010 (2010-09-02) [0001], [0011], [0023], [0024], [0035] - [0037], [0040], [0152], 図1(a)	1, 2, 5-13																		
Y	JP 2018-67664 A (ソニーセミコンダクタソリューションズ株式会社) 26.04.2018 (2018-04-26) [0030], [0059] - [0065], [0100], [0110], [0114], 図1, 2	1-13																		
Y	JP 2000-340759 A (ソニー株式会社) 08.12.2000 (2000-12-08) [0008], [0016], [0017], [0020] - [0022], [0031] - [0034], 図2, 3	1-13																		
A	JP 2010-267705 A (パナソニック株式会社) 25.11.2010 (2010-11-25) 全文, 全図	1-13																		
A	WO 2018/125118 A1 (INTEL CORPORATION) 05.07.2018 (2018-07-05) 全文, 全図	1-13																		
<p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>																				
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>"&" 同一パテントファミリー文献</td> </tr> <tr> <td>"O" 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献	"O" 口頭による開示、使用、展示等に言及する文献		"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献							
* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの																			
"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの																			
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの																			
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献																			
"O" 口頭による開示、使用、展示等に言及する文献																				
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献																				
国際調査を完了した日	国際調査報告の発送日																			
22.07.2020	04.08.2020																			
名称及びあて先	権限のある職員（特許庁審査官）																			
日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	宮本 博司 5F 6313																			
	電話番号 03-3581-1101 内線 3516																			

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	科学技術振興機構, 【共同発表】 I G Z O と次世代機能性材料を融合した新デバイスの開発に成功～メモリーデバイスの低消費電力化、高速化、大容量化に期待～ (発表主体: 科学技術振興機構), [オンライン], 東京大学 生産技術研究所, インターネット: <URL:https://www.iis.u-tokyo.ac.jp/ja/news/3125/>, 2019.06.10 [検索日 2020.07.27] 全文, 全図	1-13

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/021963

引用文献			公表日	パテントファミリー文献			公表日
WO	2010/097862	A1	02.09.2010	US	2011/0299318	A1	
				[0002], [0011], [0049], [0050], [0061] - [0063], [0066], [0180], 図1A			
				CN	102265392	A	
JP	2018-67664	A	26.04.2018	US	2019/0244653	A1	
				[0044], [0073] - [0079], [0113], [0123], [0127], 図1, 2			
				WO	2018/074093	A1	
				KR	10-2019-0067163	A	
JP	2000-340759	A	08.12.2000	US	6532165	B1	
				第2欄第27 - 31行, 第7欄第 4 - 27行, 第7欄第37行 - 第8欄第2行, 第8欄第38 - 第9欄第14行, 図3, 4			
JP	2010-267705	A	25.11.2010	WO	2010/131310	A1	
				CN	102405522	A	
WO	2018/125118	A1	05.07.2018	(ファミリーなし)			