

次世代 LSI 用低抵抗 Cu 配線形成プロセス要素技術の開発

育成研究：JSTイノベーションサテライト茨城 平成19年度採択課題
「8インチウエハ用めっきプロセス及びアニール技術革新による低抵抗 Cu 配線の形成と次世代 LSI への展開」

代表研究者：茨城大学 工学部 マテリアル工学科
教授 大貫 仁



■ 研究概要

次世代高速 LSI の実現には、微細化とともに増大する Cu 配線の抵抗率を低減する技術開発が不可欠である。本研究は、めっき材料の高純度化により、幅 50nm 超微細配線の抵抗率を従来プロセスで作製した Cu 配線のそれよりも著しく低減できるというチップでの基礎データをもとに、1) 高純度めっき材料を用いた技術ノード 32nm の配線溝を有する 8 インチウエハへの均一 Cu 配線めっき技術、2) 1) とアニール技術の最適化により、配線長さ方向において均一・粗大粒を有する Cu 配線の形成プロセス要素技術を開発した。8 インチウエハにおける幅 30nm Cu 配線の抵抗率を現状プロセス品に比べ約 30%低減できることを実証できた。

■ 研究内容、研究成果

[平成 20 年度] 1) 高純度めっき材料の開発では、現状よりも 1 桁以上高純度の「純度 8N レベルの 8 インチアノードおよび硫酸銅」を作製した。2) ウエハ表面の汚染評価及び清浄化技術では、8 インチウエハめっき後の汚染防止の検討を行い、アノード表面からの Cu 微細粒がめっき液中に溶出し、Cu めっき膜上に堆積してウエハ汚染を引き起こすことを明らかにした。3) 8 インチウエハ均一めっき技術では、ウエハ面内均一めっきの検討を行い、攪拌およびウエハ上での電流密度を均一化するための遮蔽板設置により、膜厚のばらつきを ±5 %以下にできた。4) 技術ノード 32nm Cu 配線の抵抗率評価 では、配線抵抗率測定用 8 インチ模擬デバイス (TEG) を作製した後、埋め込み性の検討及び抵抗率の予備評価を行い、32nm 配線溝中へ均一埋め込みが可能な Cu めっき条件を明らかにした。5) 埋め込み性及び膜質とめっきプロセス条件について、めっき材料の純度と Cu めっき膜中の不純物との相関性を検討し、めっき材料の高純度化により、めっき膜の高純度化が図れることを示した。

[平成 21 年度] 1) 前年度に開発した高純度アノード表面の安定化皮膜 (ブラックフィルム) 形成技術の開発では、P を添加したアノード表面の安定化膜形成条件を確立し、ルネサス試作評価ラインに投入可能なレベルまで異物を低減した。2) 高純度 Cu 配線の作製と抵抗率の 1 次評価を行い、溝中の Cu シード膜の劣化が埋め込み性を、また埋め込み不良に基づくポイドが抵抗率に大きな影響を与えることを明らかにした。3) 8 インチウエハめっき膜の最適均一加熱技術と 28nm レベル Cu 配線の抵抗率の評価、及び 4) 高純度めっき材料の製作プロセスの検討を行ない、Cu シード膜の劣化の無い 8 インチウエハ、技術ノード 28nm レベル Cu 配線を、高純度めっき材料を用いて作製し、最適アニールにより幅 30nm Cu 配線の抵抗率を、現状プロセス品に比べて約 30%低減できることを実証した。多段カラムイオン交換精製法を導入し、原料に比べ 1 桁以上の純度向上を得ることのできる高純度 Cu 精製プロセスも開発した。

■ 今後の展開、将来の展望

システム LSI は、携帯電話、デジタル家電、パソコン、自動車等の分野で中核の部品として導入されており、今後も成長が期待できる半導体デバイスである。本研究の成果を適用するデバイスは、2012~2013 年頃に実用化目標時期を向える技術ノード 28nm 以降のシステム LSI であり、現状プロセスで作製された Cu 配線では、低消費電力化や高速動作化への対応が困難と考えられる。主原因は、配線幅 100nm 以下で顕在化する抵抗率の急激な上昇であり、ブレークスルー技術が強く求められていた。本研究は、革新的な低抵抗率 Cu 配線を作製するための要素プロセス技術を開発することが目標である。幅 30nm 配線の抵抗率を、従来プロセス Cu 配線に比べ、約 30%低減できた。この成果を A-STEP に展開し、共同研究企業と協力し、12 インチウエハにおいて、28nm レベル Cu 配線の抵抗率の低減効果と高信頼性を明確にして実用化を促進する。

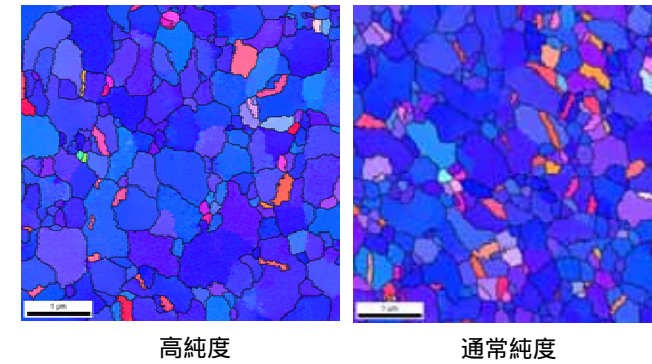


図 1 高純度および通常純度配線パッド部の EBSP 像

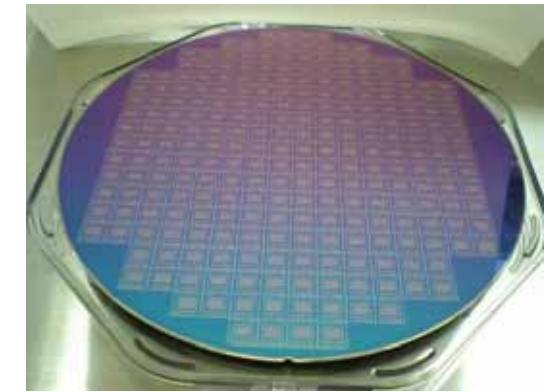


図 2 高純度めっき材料で 8 インチウエハ上に作製した配線パターン写真

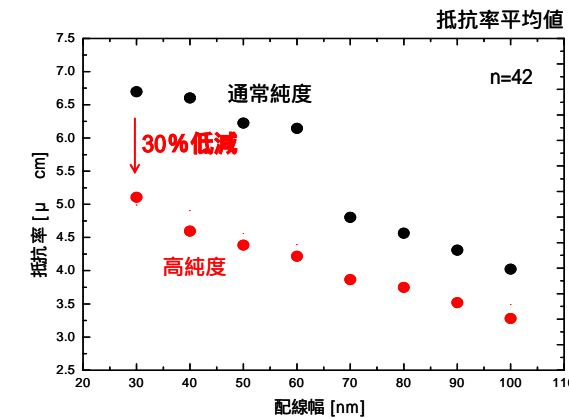


図 3 高純度および通常純度めっき材料で作製した配線の抵抗率の配線幅依存性



図 4 本研究で開発した 8 インチ高速アニール装置本体写真

■ 研究体制

- ◆ 代表研究者
茨城大学・工学部・マテリアル工学科 教授 大貫仁
- ◆ 研究者
田代優 (茨城大学工学部)、伊藤雅彦 (同)、K. P. Khoo (同)、一色実 (東北大学多元物質科学研究所)、三村耕司 (同)、打越雅仁 (同)、米田昌弘 (ルネサステクノロジ株)、天野倉仁 (日立化成工業株)、大槻裕人 (同)、門田裕行 (日立協和エンジニアリング株)、木村隆 (物質・材料研究機構)、石川信博 (同)
- ◆ 共同研究機関
東北大学多元物質科学研究所、(株)ルネサステクノロジ、日立化成工業株、日立協和エンジニアリング株、物質・材料研究機構

■ 研究期間

平成 20 年 4 月 ~ 平成 22 年 3 月