2025 年度年次報告書

先端国際共同研究推進事業
【2025 年度採択　Top のための ASPIRE　半導体分野】

【研究課題名】
先端 CMOS プロセス VLSI 回路設計省力化フレームワークの構築

研究代表者：
小菅 敦丈（東京大学大学院 工学系研究科　准教授）

主たる共同研究者：
門本 淳一郎（東京大学大学院 情報理工学研究科　講師）
藤木 大地（東京科学大学 総合研究院　准教授）
吉岡 健太郎（慶應義塾大学 理工学研究科　准教授）
小島 拓也（筑波大学 システム情報系　准教授）

相手側研究代表者：
Priyanka Raina（Associate Professor, Stanford University）
Kyuho Lee（Associate Professor, Yonsei University）

1. 研究進捗状況と成果

半導体微細化が進むにつれて多機能化や電力効率の改善など VLSI 回路の性能向上が実現される一方、設計コストが飛躍的に増大している。複雑化したデザインルールや EDA 機能を使いこなし、正しく動作する大規模集積回路を自力で設計するためには年単位の技術習得が不可欠である。さらに、人材が継続的に卒業し入れ替わる大学においては、設計教育に年単位に割くことが難しく、結果デザインハウスへの依存度が高くなる悪循環となりかねない。

本研究では FinFET 以降の VLSI 設計コストを削減するための設計高効率化フレームワーク Å-class LSI Generator Infrastructure (ÅGI)を開発することを目的とし、日米間での人材交流と人材教育事例の共有を目指し頭脳循環網の形成を狙う。先端プロセスでの開発工数の半減を目指し、オープンソース化による普及を目指す。また、相互に異なるレイヤの技術習得を目指すとともに、若手研究者の半導体回路設計力を底上げし、トップ研究者増加に向けた研究を実施する。

2025 年度は、(1)SoC 設計を軸に AI 特化 SoC の設計における自動化技術の開発、(2)AI/ML 技術の活用によるオープンソース EDA ツールの性能改善に取り組んだ。特に、オープンソースの論理合成ツールである yosys について AI/ML 技術開発に向けたデータセットの整備、商用配置配線ツールとの性能比較検証を実施した。韓国・延世大学とのワークショップ、米国・スタンフォード大学、CMU とのワークショップを実施し、合計 50 名程度の若手研究者の研究交流を実施した。延世大学とは定期的なワークショップの開催と研究者交流予定を具体化し、2026 年度の研究者派遣について合意した。

2. 代表的な成果事例

2025 年度 12 月開始の初年度に当たるため、特になし。