2025 年度年次報告書

先端国際共同研究推進事業
【2024 年度採択　Top のための ASPIRE　半導体分野】

【研究課題名】
パワー半導体を DX 化するデジタルゲートプラットフォームの創生

研究代表者：
高宮 真（東京大学 生産技術研究所　教授）

主たる共同研究者：
和田 圭二（東京都立大学 システムデザイン研究科　教授）
齋藤 渉（九州大学 応用力学研究所　教授）

相手側研究代表者：
Rolando Burgos (Professor, CPES Director, Center for Power Electronics Systems (CPES), Virginia Tech)

1. 研究進捗状況と成果

① 研究構想

最終目標である「パワー半導体を DX 化するデジタルゲートプラットフォームの創生」を目指したデジタルゲートプラットフォーム（DGP）を用いたデータセンター向け電源の試作に向けて、今年度は、電源やドライバ IC の一次設計や試作に向けた予備実験、モジュール設計に向けた評価ボード設計や基礎データ取得を行った。

② 国際ネットワーク構築・拡大

2025 年 4 月に CPES にて、本共同研究における日本側及び米国側の研究者が集まって、対面での日米ワークショップ第 1 回（キックオフミーティング）を開催した。全体計画および 2024 年度の準備活動実績を関係者でレビューすることで、2025 年度の研究活動内容を整合した。これを基に、本 ASPIRE の共同研究における若手研究者の渡航を開始した。

③ 国際頭脳循環に資する若手研究者の人材育成

2025 年度から日本側の 3 機関から CPES へ若手研究者を派遣した。2025 年度は、延べ 16 名の若手研究者が CPES を訪問および滞在した。

2. 代表的な成果事例

T. Nakatani, M. S. Hassan, S. -I. Nishizawa and W. Saito, ”Shifts and Recovery of Device Characteristics in SiC-MOSFETs After Repetitive Turn-off Switching-Induced Overvoltage Stress,” 2025 IEEE 12th Workshop on Wide Bandgap Power Devices and Applications (WiPDA), Fayetteville, AR, USA, 2025, pp. 1-6, doi: 10.1109/WiPDA63755.2025.11303421.

概要：ターンオフスイッチング時に反復的なサージ電圧が印加された平面型およびトレンチ型 SiC-MOSFET の劣化特性およびその後の回復挙動について調べた。その結果、SiC-MOSFET の劣化メカニズムおよび回復挙動がデバイス構造に強く依存することを実証した。