2025 年度年次報告書

先端国際共同研究推進事業
【2023 年度採択　次世代のための ASPIRE　半導体分野】

【研究課題名】
ASIC 設計ユニバーサル化に向けた、粗粒度ロジックアレープラットフォームの創生

研究代表者：
小菅 敦丈（東京大学大学院工学系研究科　准教授）

主たる共同研究者：
門本 淳一郎（東京大学大学院情報理工学系研究科　講師）
小島 拓也（筑波大学　准教授）

相手側研究代表者：
Priyanka Raina（Associate Professor,　Stanford University）

1. 研究進捗状況と成果

日米国際連携を通じ、低コスト・短 TAT な ASIC 設計製造を可能にする「EDA・アーキテクチャ・回路設計製造まで一気通貫した、粗粒度ロジックアレー（Coarse Grained Logic Array、CGLA）プラットフォーム」を構築し、参入障壁を下げ多種多様な人材が LSI を設計開発することで、我が国の半導体産業強化に貢献する。本研究では、短 TAT かつ低コスト回路設計製造に強みを持つ日本チームと、粗粒度アーキテクチャと Open EDA ツールに強みを持つ米国チームとが相互連携することで、EDA から回路製造まで LSI 設計製造にかかる全レイヤを網羅した“LSI 民主化”プラットフォームを構築することを目指している。また、本プラットフォームを国際連携で維持発展を行うとともに、LSI 設計教育に関する国際ワークショップを日米で共催し、人材および技術交流を通じた“LSI 民主化”国際頭脳循環網を形成する。本プラットフォームを活用することで半導体回路設計力の底上げを狙うとともに、半導体システム応用分野でのトップ研究者輩出を狙う。

2024 年から 2025 年にかけて研究者延べ 3 人が 1 年単位でスタンフォード大学に滞在し、粗粒度ロジックアレーに関する基本的な回路アーキテクチャの探索と設計ツールの開発を行なった。2026 年には東京大学にて CGLA 回路を搭載した集積回路ウエハを設計製造予定であり、2027 年に低コスト・短 TAT な ASIC 設計製造手法の確立を実証し展開する。同時に、2025 年に IBM ワトソン研究所に年単位で研究者を派遣し、Open EDA ツールによる低コスト設計技術を開発中である。ウエハテープアウト、ウエハ評価、Open EDA ツールを軸として設計開発に関わる研究者を中心に日米の国際頭脳循環の促進を実施した。

2. 代表的な成果事例

上述のように現在テストチップを設計試作中であり、今後共著論文を投稿予定。