

研究成果最適展開支援プログラム (A-STEP) FS ステージ (シーズ顕在化) 事後評価報告書

プロジェクトリーダー (企業責任者) : 沖エンジニアリング (株)

研究責任者 : (独) 産業技術総合研究所 五十嵐 泰史

研究開発課題名 : Thin-Film SOI MOSFET の高精度回路設計技術の開発

1. 研究開発の目的

半導体デバイス (MOSFET: Metal-Oxide-semiconductor Field Effect Transistor) は、従来の2次元構造からFinFETなどの3次元構造に推移していこうとしている。3次元構造のFinFETでは制御ゲート端子を2つ備える構造(ダブルゲート構造)も可能なため、新たな回路技術が可能になる。本課題では、産総研のシーズ技術であるFD-SOIやFinFETなどのThin-Film SOI MOSFETのデバイス技術をベースに、次世代デバイスである3次元構造のThin-Film SOI MOSFETのロジックLSI回路設計環境を構築する。

2. 研究開発の概要

①成果

産総研で開発されたダブルゲート構造FinFETの素子特性を活かし、ノイズ誤動作に耐性があり、プロセスランダムばらつきに強く、そして低消費電力でかつ高速なロジックLSIを実現するためことを目的として、TCADを用いてゲート長22nmのダブルゲート構造FinFETの素子構造を最適化した。TCADにより予測された素子特性より回路シミュレーション用のモデルパラメータを抽出し、それを用いてロジックLSIを構成する基本回路を創出した。その結果、本プロジェクトで創出したダブルゲート構造FinFETを用いた基本回路を、22nm世代のロジックLSIに適用することで、同世代の従来構造型のMOSFETを用いたものに比べ、面積を50%削減し、消費電力も半減させることが可能となった。

②今後の展開

本プロジェクトの成果により、FinFETを含むThin-Film SOI MOSFETのダブルゲート構造のトランジスタについて産総研が保有する知財権をロジックLSI基本回路技術の領域まで拡張することができた。今後は、システムLSIの実現を目標に、ロジックLSIライブラリを充実させてゆくとともに、今後のシステムLSIに必要なアナログ・RF応用についても検討してゆく。

3. 総合所見

目標通りの成果が得られ、イノベーション創出が期待される。

プロセスTEG試作やTCADモデルの構築などを通じて、回路シミュレータSPICEに適用可能な電流モデルパラメータとダイナミック特性を左右する容量モデルパラメータを実測に良く合う形で抽出でき、今後、主流になると考えられる、Thin-Film SOI素子のモデル手法が確立できた点と、新規の回路構成などの5件の特許申請に至っている点が評価できる。今後は半導体企業との連携を強化して、実用化の加速を期待する。