

研究成果最適展開支援事業 (A-STEP) FS ステージ (シーズ顕在化) 事後評価報告書

プロジェクトリーダー (企業責任者) : (株) 構造計画研究所

研究責任者 : 上智大学 服部 武

研究開発課題名 : SoC 設計における試作に替わるシミュレーション評価システムの構築

1. 研究開発の目的

本研究では、SoC の設計者が CASE ツールを用いて入力する設計情報に着目し、そこに含まれる設計対象の振る舞いを抽出することで性能評価のためのシミュレーションモデルを自動生成するシステムを開発する。これによって、設計者が設計作業以外に必要な作業量を最小限に抑えながらシミュレーションを実施することを可能とする。更に、半導体チップを組み込んだ製品を構成要素とするシステム全体について、標準的な設計データを提供し、それらを組み合わせることで最終製品全体のシミュレーションモデルを生成するシステムを開発する。これにより、SoC 設計の早期に問題を予測し、手戻りの無い効率的な半導体設計環境を実現することが本研究の目的である。

2. 研究開発の概要

①成果

SoC 等の高度な半導体製品の設計プロセスの早期において、設計対象となる半導体製品が様々な周辺機器との組み合わせの中で要求される性能を得ることが可能か否かを、シミュレーションによって定量的に評価することが本研究開発の目的である。そこで、設計に用いられる CASE ツールの情報に基づいて、シミュレーション評価の対象となるシステム全体を表現し、自動的にモデルの生成を行うシステムの開発と簡単なテストケースに対して動作検証を行った。しかし、実用化のためには、実規模の設計を対象とした様々なケースにおける検証が必要不可欠であるが、現状では十分な検証が出来ているとはいえない。

②今後の展開

本研究開発の内容に興味を持った企業等と共同で、より現実的なシステム設計を対象とした検証から行う必要があると考えている。検証作業を推進する一方で、ユーザビリティを高めるべく、アクションテンプレートの追加、拡充を行い、記述規約による状態遷移表の表記の制限を緩和することが必要になると考えている。また、ZIPC 以外の CASE ツールとの連携についても検討を進め、より広範囲の設計者が本研究成果を受益できる環境の整備が必要である。

3. 総合所見

CASE ツール (日本製の ZIPC) の入力ファイル (状態遷移表 + α) から性能 (待ち行列) シミュレーションモデルの半自動構成については、ほぼ実施されたが、実用化展開にはまだ課題がある。適用範囲や効果は限定的であり、広くユーザに受け入れられる説得データに欠ける。