

# 「情報基盤と利用環境」研究領域 領域活動・評価報告書

- 平成 16 年度終了研究課題 -

研究総括 富田 眞治

## 1. 研究領域の概要

この研究領域は、10 億個のトランジスタがチップ上に集積できる時代およびインターネットでコンピュータ利用環境が激変する時代における、新しいコンピュータシステムの基盤技術と利用技術に関連した研究を対象とするものである。

具体的には、超高機能化、超高性能化、超省電力化、モバイル化、情報家電化などを視野に入れたコンピュータシステム(アーキテクチャ、ネットワーキング、言語・コンパイラ、OS)、超大規模集積システム設計技術(デザインオートメーション/CAD)、およびインターネット・マルチメディアを中心とした新しい利用に関する基礎研究が含まれる。また、ハードウェアシステムとの関連性を保ちながら行う研究に加えて、全く新しい原理に基づいたコンピュータや新しい知的なコンピュータ応用研究等が含まれる。

## 2. 研究課題・研究者名

別紙一覧表参照

## 3. 選考方針

選考の基本的な考えは下記の通り。

- 1) 選考は「情報基盤と利用環境」領域に設けた選考委員 9 名と研究総括で行う。
- 2) 選考方法は、書類選考、面接選考及び総合選考とする。
  - ・ 書類選考において 1 提案につき 3 名の選考委員に査読評価を依頼する。
  - ・ 選考委員の所属機関と応募者の所属機関が異なるように配慮する。
  - ・ 面接選考では可能な限り多くの研究提案を直接聴取し、質疑応答する。
- 3) 選考に当たっては目先にとらわれない、先見性・独創性のある研究提案を重視する。  
また、活力に富み、自ら研究を実施する意欲の高い者を優先する。

## 4. 選考の経緯

一応募課題につき領域アドバイザー 9 名が書類審査し、書類選考会議において面接選考の対象者を選考した。続いて、面接選考および総合選考により、採用候補者を選定した。

選考	書類選考	面接選考	採用者
対象者数	42 名	12 名	7 名

## 5. 研究実施期間

平成 13 年 12 月～平成 17 年 3 月

## 6. 領域の活動状況

領域会議: 7 回

研究報告会: 1 回

研究総括(または技術参事)の研究実施場所訪問: 研究総括が研究開始後、全研究者を訪問し研究環境等の確認。そのほか研究実施場所の移動時あるいは適宜に研究者を訪問。

## 7. 評価の手続き

研究総括が個人研究者からの報告・自己評価を基に領域アドバイザーの協力を得て行った。また、研究終了時に科学技術振興機構が開催する一般公開である研究報告会の参加者の意見を参考とした。

(評価の流れ)

平成 16 年 11 月 ~	研究期間終了
平成 17 年 3 月	
平成 17 年 1 月	研究報告会開催(「さがけライブ 2004 情報・知能分野」として 4 領域合同開催)
平成 17 年 3 月	研究報告書及び研究課題別評価提出
平成 17 年 3 月	研究総括による評価

## 8. 評価項目

- (1) 外部発表(論文、口頭発表等)、特許、研究を通じた新しい知見の取得等の研究成果の状況
- (2) 得られた研究成果の科学技術への貢献

## 9. 研究結果

平成 13 年度の 42 件の研究提案の中から採択した研究者(1 期生)は 7 名であったが、以下に述べるように、多様な分野の創造性豊かな研究が含まれている。

3 年間の研究期間を終了し、7 名の研究者が当初の期待以上の研究成果を挙げ、わが国の科学技術の発展に大きな貢献ができたものとする。平成 17 年 1 月 28 日には、「さがけライブ 2004」として個人型研究 - 情報・知能分野 4 領域合同で研究報告会を東京国際フォーラムにて開催した。この報告会は広く一般を対象としたもので、分かり易い報告に努めるとともに、ポスターセッション・デモを充実し参加者とのコミュニケーションの機会を増やしたため、多くの好意的な感想を頂くことができた。

研究者ごとに言えば、合田研究者は、インターネットに接続された多数の計算機を用いて高速計算を行うグリッドコンピューティング技術を用いて、最適化問題を高速に解く手法について研究した。提案手法に基づくアプリケーションプログラムの開発とグリッド実験環境上での実証実験により、その有効性を示した。具体的には、逐次計算で 9 時間半を要するベンチマーク問題(BMI [Bilinear Matrix Inequality] 固有値問題)を 4 分半で求解することに成功した。本研究は、最適化問題分野における大規模問題求解への応用や他のグリッドアプリケーションへの応用が期待できる。

伊藤研究者は、三次元リアルタイム動画再生を可能にする超高速ホログラフィ専用計算機システムの研究を行った。ホログラフィは両眼視差を利用したステレオ立体視法などと違って、三次元像をそのまま記録・再生できるため、ホログラフィによる動画システムは究極の立体テレビになるものと考えられている。ところが、その情報量が膨大であり、実用化は困難な状況にあった。その解決をめざして、汎用の計算機システムに比べて1000倍以上効率的(高速)に扱うことが可能な専用計算機システムとLCD表示系を開発し、3cm大と小さい像ながらもリアルタイム(30フレーム/秒)の三次元動画再生に成功した。

片桐研究者は、スーパーコンピュータから PC クラスタまでの広範な計算機環境で実用となる並列数値計算ライブラリの研究、並びにハードウェアやコンパイラを含む計算機環境に依存せずに、レガシーコードが高性能となるようにインストールされて実行できるという概念(性能可搬性)を達

成する「ソフトウェア自動チューニング」という新しい技術を提唱しその効果検証を行った。そして数値計算ライブラリおよび自動チューニング・ソフトウェアを開発し公開した。これらはライブラリ開発者や利用者の労力を大幅に削減するものである。また、自動チューニング技術がスーパーコンピュータや PC クラスタ環境における数値計算処理の範囲だけではなく、組み込みシステムや GRID など汎用的に展開できる可能性を示した。

佐藤研究者は、プログラムの実行時にその動作を特徴付ける履歴を獲得し、これを利用して再構成されるマイクロプロセッサアーキテクチャの研究を行った。近い将来に到来するスマートライフに必要な不可欠であるインテリジェントな家電製品の知能を司る、高性能と省電力が両立するマイクロプロセッサ技術について研究し、メモリ要素におけるリーク電流削減、故障の検出とそこから回復機構、演算器配列の有効利用などにおいて成果を挙げた。

津村研究者は、「次世代電子商取引のための質感再現技術の構築」の研究で、色や質感の記録と再現に関する新しい学問領域として質感工学を立ち上げ、その要素技術と応用に関わるフレームワークを作成した。そして、その考察に基づき複数の事例研究を行い、質感工学の有効性を示した。インターネットを用いた商品取引で、商品の印象を大きく左右する色や質感は、その記録と再現にこれまで大変な労力を必要とし、また表示デバイスの特性や照明環境に大きく依存するため、製造・流通業のIT化の妨げとなっており、この分野での貢献が大きい。

成瀬研究者は 100Gbps を超える速度で動作する光スイッチデバイスや、回折限界と呼ばれる従来の光の集積限界を超えたナノフォトニクスなど近年の光技術の目覚ましい進歩を基盤として、これらに対応した新しいシステム技術、コンピューティングを考え、その実現形態や制御アーキテクチャを検討した。そして、超高速・超高集積・アービトレーションの3つの視点に着目し、デスクューシステム並びにタイミング制御に基づく論理演算、光ベクトル演算をナノスケールで実現する可能性の提案、多層構造を有する光スイッチデバイスの開発などの研究成果を得た。

橋本研究者は、超微細 LSI におけるブロック間の長距離高速信号伝送技術に関する研究を行った。テクノロジーの進化とともに配線遅延が回路性能の向上を阻害する問題に対し、オンチップ伝送線路上に短いサイクルで信号を送り込むウエーブパイプラインの技術を導入することで、従来の信号伝送方式と比較し、伝送容量、消費エネルギー、遅延時間のいずれの観点においても提案信号伝送方式が優れていることを明らかにした。将来のトランジスタ性能の向上とともに伝送容量が向上することをシミュレーションにより確認し、提案技術の有効性を示した。

## 10. 評価者

研究総括 富田 眞治 京都大学大学院情報学研究科 教授

### 領域アドバイザー氏名(五十音順)

今井 良彦 *2	松下電器産業(株)ソフトウェアエンジニアリングセンター 所長
笠原 博徳	早稲田大学理工学部 教授
河田 亨	シャープ株式会社 フェロー 河田研究所 所長
木戸出 正継	奈良先端科学技術大学院大学 情報科学研究科 教授
櫛木 好明 *1	松下電器産業(株) 代表取締役常務
坂井 修一	東京大学大学院情報理工学系研究科 教授
中島 浩	豊橋技術科学大学情報工学系 教授
中田 登志之	日本電気株式会社インターネットシステム研究所 研究統括マネージャー

林 弘 (株)富士通研究所常務取締役  
安浦 寛人 九州大学大学院 システム情報科学研究院 教授

- \*1 平成 13 年 8 月～平成 16 年 6 月まで参画
- \*2 平成 16 年 6 月～平成 17 年 3 月まで参画

(参考)

(1)外部発表件数

	国内	国際	計
論文	25	18	43
口頭	83	66	149
その他	6	0	6
合計	114	84	198

平成 17 年 3 月 15 日現在

(2)特許出願件数

国内	国際	計
24	1	25

(3)受賞等

・片桐 孝洋

情報処理学会 山下記念研究賞(H14 年度)

・橋本 昌宜

情報処理学会 山下記念研究賞(H14 年度)

最優秀論文賞(*Asia and South Pacific Design Automation Conference 2004*)

・佐藤 寿倫

情報処理学会 山下記念研究賞(H15 年度)

(4)招待講演

国際 5 件

国内 14 件

## 別紙

## 「情報基盤と利用環境」領域 研究課題名および研究者氏名

研究者氏名 (参加形態)	研究課題名 (研究実施場所)	現職 (応募時所属)	研究費 (百万円)
合田 憲人 (兼任)	マルチPCクラスタ上での数値最適化 問題求解アプリケーションの開発 (東京工業大学大学院総合理工学研 究科)	東京工業大学大学院総合理工学研 究科 助教授 (東京工業大学大学院総合理工学 研究科 講師)	40
伊藤 智義 (兼任)	超高速ホログラフィ専用計算機シス テム (千葉大学工学部)	千葉大学工学部 教授  (千葉大学工学部 助教授)	40
片桐 孝洋 (兼任)	並列実行環境に依存しない高性能 数値計算ライブラリ (電気通信大学大学院情報システム学 研究科)	電気通信大学大学院情報システム 学研究科 助手 (日本学術振興会 特別研究員 -PD)	43
佐藤 寿倫 (兼任)	履歴に基き再構成するマイクロプロセ ッサの研究 (九州工業大学情報工学部)	九州工業大学情報工学部 助教授  (同上)	30
津村 徳道 (兼任)	次世代電子商取引のための質感再現 技術の構築 (千葉大学工学部)	千葉大学工学部 助教授  (千葉大学工学部 助手)	42
成瀬 誠 (兼任)	チップ間ダイレクト光接続による高バン ド幅コンピューティング (独立行政法人情報通信研究機構)	独立行政法人情報通信研究機構 主任研究員 (東京大学大学院情報理工学系研 究科 助手)	48
橋本 昌宜 (兼任)	超微細LSIにおけるオンチップ高速信 号伝送技術の開発 (大阪大学大学院情報科学研究科)	大阪大学大学院情報科学研究科 助教授 (京都大学大学院情報学研究科 助手)	44

## 研究課題別評価

1 研究課題名: マルチ PC クラスタ上での数値最適化問題求解アプリケーションの開発

2 研究者氏名: 合田 憲人

3 研究のねらい:

グリッドは、インターネット等の広域ネットワーク上の情報資源(計算機や実験装置等)を安全に安定して容易に利用するための基盤技術である。グリッドの利用者(ユーザ)は、ネットワーク上の情報資源をセキュリティ上安全に、利用したい時に安定して利用することが可能であり、また自分がどのネットワークを経由してどの情報資源を利用しているか等の環境を意識する必要がない、即ち簡単に情報資源を利用したサービスを受けることができる。グリッドコンピューティングは、グリッド上の地理的に分散した複数の計算機を利用して高性能計算を行う技術であり、インターネット上の複数の小規模な計算機を集めることにより得られるスーパーコンピュータ並みの計算能力を利用する、またはより多くの計算資源を用いることにより高性能なスーパーコンピュータでも解けないような未知の大規模問題を解くための計算技術として注目されている。

本研究は、グリッドコンピューティングを用いて最適化問題計算を高速に実現する手法を開発することを目的としている。最適化問題は、与えられた制約条件の下で目的関数の値を最小(または最大)にする解を求める問題であり、オペレーションズリサーチ、制御工学、情報工学等の様々な工学分野上の問題を解決するために解かれている。しかしながら、最適化問題計算では、対象とする問題が大きくなるとともに求解に要する計算時間が非常に大きくなり、その計算に数時間から数ヶ月を要する問題も多く、解決が諦められている大規模問題も少なくない。本研究では、このような未解決な最適化問題の求解を実現するための高性能計算技術を開発することにより、大規模最適化問題の求解に貢献することを目指している。また、グリッドコンピューティング技術はまだ黎明期にあり、その応用についても現在では一部のアプリケーションに限られている。本研究では、最適化問題分野に貢献するだけでなく、グリッドコンピューティング技術の新たな応用分野を開拓するという点で計算機科学分野へ貢献することも目指している。

4 研究成果:

本研究では、グリッド上で最適化問題求解手法の一つである並列分枝限定法アプリケーションを効率よく実行するための計算手法を提案し、提案手法に基づくアプリケーションプログラムの開発とグリッド実験環境上での実証実験により、提案手法の有効性を示した。以下、各研究項目について、その成果を示す。

### 4.1. グリッド技術による複数 PC クラスタの統合

本研究項目では、インターネットに接続された PC クラスタから構成されるグリッド実験環境を構築した。具体的には、東京工業大学すずかけ台キャンパス、同大岡山キャンパス、東京電機大学、徳島大学に設置された 4 台の PC クラスタ(400CPU 超)から構成されるグリッド実験環境を各サイトの研究者からの協力を得ながら構築し、本研究で開発したアプリケーションプログラムを実装した。

### 4.2. 数値最適化問題求解アプリケーションプログラムの開発

本研究項目では、最適化問題の求解手法として広く用いられている分枝限定法を取り上げ、グリッド上で分枝限定法により最適化問題を効率よく求解するための並列化手法の提案およびアプリケーションプログラムの開発、グリッド上での実証実験を行った。

並列化手法については、初めに、PC クラスタ等のローカルマシン上で用いられるマスター・ワーカ

方式による並列化では、グリッド上での効率よい並列計算が実現できないことを実証実験により示すとともに、グリッド上の通信オーバーヘッドを軽減しながら効率よく並列計算を実現できる階層的マスタ・ワーカ方式による並列化手法を提案した。実証実験では、グリッド上でアプリケーションプログラムを実行する際に重要となるセキュリティおよび通信オーバーヘッドに関する問題を解決するために、2種類の GridRPC を組み合わせて提案手法を実装し、最終的に4サイト412CPUから構成されるグリッド実験環境上で、逐次計算では9時間半を要するベンチマーク問題(BMI 固有値問題)を4分半で求解することに成功し、提案手法およびその実装手法の有効性を示した。また、開発したアプリケーションプログラムをユーザがウェブブラウザ上で容易に実行可能なユーザインターフェースを開発した。

#### 4.3. アプリケーションスケジューリング技術の開発

本研究項目では、4.2 で開発したアプリケーションプログラムの性能をさらに向上させるためのアプリケーションスケジューリング手法として、PC クラスタ間負荷分散手法および PC クラスタ内タスク粒度調整手法を提案し、実証実験によりその有効性を示した。PC クラスタ間負荷分散手法の開発では、アプリケーション実行中におけるグリッド上の PC クラスタの負荷を監視し、負荷の不均衡が発生した場合に、個々の PC クラスタの性能に応じたタスクの再分散を実行する負荷分散アルゴリズムを提案し、4.2 で開発したアプリケーションプログラム中に実装した。また、負荷分散アルゴリズムの評価を公正に実現するために、グリッド上の資源の振る舞い、即ちネットワークの混雑や計算機負荷の変動、を擬似的に再現可能な擬似グリッド実験環境を構築し、提案手法の性能評価に用いた。PC クラスタ内のタスク粒度調整手法の開発では、初めに、PC クラスタ上で分枝限定法アプリケーションをマスタ・ワーカ方式により並列化する場合に、タスク粒度と通信オーバーヘッドに関するトレードオフが存在することを実証実験により示すとともに、暫定値の更新頻度をもとにタスク粒度を動的に調整するアルゴリズムを提案し、4.2 で開発したアプリケーション中に実装した。

#### 4.4 今後期待される成果

本研究において提案された手法は、分枝限定法により求解される他の最適化問題にも適用可能であり、本研究成果は、グリッドコンピューティング技術の最適化問題分野における大規模問題求解へ応用を促進するものとして期待される。また、本研究が提案した階層的マスタ・ワーカ方式による並列化手法は、グリッド上で細粒度アプリケーションの実行を行う場合に有効であり、今後、細粒度アプリケーションのグリッド上での実行方式として広く用いられることが期待される。

### 5 自己評価:

本研究における自己評価を研究項目毎に以下に示す。

#### 5.1 グリッド技術による複数 PC クラスタの統合

本研究項目の目標は、本研究で開発するアプリケーションのグリッド上での大規模実証実験を実現するための環境の構築である。本研究の開始当初には、グリッドを構築するためのソフトウェアの安定性の問題や設定の煩雑さのため、大規模グリッド実験環境を構築した例はほとんどなかったが、本研究では、4サイト400CPU超からなるグリッド実験環境の構築を実現しており、当初の目標が達成されたといえる。

また本研究では、当初目標の他に、大規模グリッド実験環境を構築するためのノウハウを蓄積したとともに、これらのノウハウを他のグリッド研究者と共有することにより、国内のグリッドインフラ構築に関する研究促進に貢献したと考えられる。さらに、本研究で構築されたグリッド実験環境の一部は、現在、アジア太平洋地域にまたがるグリッド実験環境構築を目指した国際協力プロジェクトである ApGrid の実験環境として利用可能である他、先進的計算基盤システムシンポジウム



(SACIS2005)に併設して開催されているグリッドチャレンジにも提供されており、国内外のグリッドインフラ構築に貢献している。

#### 5.2 数値最適化問題求解アプリケーションプログラムの開発

本研究項目の目標は、グリッド上で分枝限定法により効率よく最適化問題を求解するための並列化手法の提案とアプリケーションプログラムの開発である。本研究では、階層的マスタ・ワーカ方式による並列化手法を提案し、アプリケーションプログラムを開発するとともに、実証実験によりその有効性も示しており、当初の目標を達成したといえる。

#### 5.3 アプリケーションスケジューリング技術の開発

本研究項目の目標は、5.2 で開発したアプリケーションプログラムの性能をさらに向上させるためのアプリケーションスケジューリング手法を提案し、アプリケーションプログラムに組み込むことである。本研究では、PC クラスタ間の負荷分散手法および PC クラスタ内のタスク粒度調整手法を提案するとともに、実証実験によりアプリケーションプログラムの実行時間短縮に成功しており、当初の目標を達成したといえる。

また提案手法の性能評価では、グリッド上の計算機やネットワークの振る舞いを擬似的に再現することが可能な疑似グリッド実験環境の必要性が認識されたため、当初目標にはないが、本実験環境構築手法の開発に着手した。本手法については、さきがけ研究期間終了後もさらに研究を進める予定である。

#### 5.4 その他

本研究では、上記にあげた当初目標以外に、グリッド技術の普及を目指して、アプリケーション分野の研究者との交流活動にも力を入れた。本活動では、グリッド技術やハイパフォーマンスコンピューティング分野だけでなく、数理最適化、制御工学、進化計算等、最適化問題と関わりのあるアプリケーション分野の研究者とのディスカッションを頻繁に行うとともに、計測自動制御学会における招待講演(自律分散システム部会研究会 2004 年 12 月 10 日)、電気学会におけるシンポジウムの企画・開催(「グリッドコンピューティングを用いた最適化問題計算への取り組み」、2005 年 3 月 19 日)等を行い、「グリッド上での最適化問題計算」をキーワードとしたコミュニティの形成にも大きく貢献したと考えられる。

#### 6 研究総括の見解:

グリッドコンピューティング技術はまだ黎明期にあり、その応用についても現在では一部のアプリケーションに限られている。合田研究者は、4 サイト 400CPU 超からなるグリッド実験環境を構築することによりそのノウハウを蓄積し、国内外のグリッドインフラ構築に関する研究に大きな貢献をした。また、グリッド上で分枝限定法により最適化問題を効率よく解く手法として階層的マスタ・ワーカ方式による並列化手法を提案し、提案手法に基づくアプリケーションプログラムの開発とグリッド実験環境上での実証実験により、その有効性を示した。具体的には逐次計算では 9 時間半を要するベンチマーク問題(BMI 固有値問題)を 4 分半で求解することに成功した。

また、ハイパフォーマンスコンピューティング分野の研究者はもとより、数理最適化、制御工学、進化計算等最適化問題と関わりのあるアプリケーション分野の研究者との交流活動に力を入れ、グリッド技術の普及を目指してその牽引車として活躍中であり、今後の研究の進展が大いに期待される。

#### 7 主な論文等:

##### (1) 論文

[1] Kento Aida, Tomotaka Osumi, "A Case Study in Running a Parallel Branch and Bound

Application on the Grid," Proc. IEEE/IPSJ The 2005 Symposium on Applications & the Internet (SAINT2005), Feb. 2005

- [2] 合田 憲人, 大角 知孝, "グリッド上での並列分枝限定法アプリケーション", インターネットカンファレンス 2004 講演論文集, pp.73-81, 2004 年 10 月
- [3] Kento Aida, Wataru Natsume, Yoshiaki Futakata, "Distributed Computing with Hierarchical Master-worker Paradigm for Parallel Branch and Bound Algorithm," Proc. 3rd IEEE/ACM International Symposium on Cluster Computing and the Grid (CCGrid 2003), pp.156-163, May. 2003
- [4] Kento Aida, Yoshiaki Futakata, Shinji Hara, "High-performance Parallel and Distributed Computing for the BMI Eigenvalue Problem," Proc. 16th IEEE International Parallel and Distributed Processing Symposium (IPDPS 2002), Apr. 2002

### (2) 招待講演

- [1] 合田 憲人, "グリッドコンピューティングと最適化問題への応用", 平成 17 年電気学会全国大会後援論文集, 3-S18-1, 2005 年 3 月
- [2] 大角 知孝, 合田 憲人, "グリッドコンピューティングを用いた並列分枝限定法", 平成 17 年電気学会全国大会後援論文集, 3-S18-6, 2005 年 3 月
- [3] 合田 憲人, "PC クラスタ/グリッドコンピューティングによる分枝限定法の高速度化", 計測自動制御学会 第 34 回自律分散システム部会研究会, 2004 年 12 月
- [4] 合田 憲人, "グリッド上での最適化問題求解アプリケーション", 情報処理学会連続セミナー 2003 グリッドコンピューティング, 2003 年 12 月

### (3) 一般講演

- [1] 合田 憲人, 大角 知孝, 中村 心至, "グリッド上での並列分枝限定法アプリケーションの評価", 情報処理学会研究報告 2004-HPC-99, pp.139-144, 2004 年 7 月
- [2] 大角 知孝, 合田 憲人, "階層的マスタワーカ方式を用いたグリッドアプリケーションにおける負荷分散の性能評価", 情報処理学会研究報告 2004-HPC-99, pp.31-36, 2004 年 7 月
- [3] 合田 憲人, 中村 心至, "細粒度最適化問題アプリケーションのグリッド テストベッド上への実装", 情報処理学会ハイパフォーマンスコンピューティングと計算科学シンポジウム (HPCS2004), pp.75-76, 2004 年 1 月
- [4] 中村 心至, 山田 真太郎, 二方 克昌, 合田 憲人, "PC クラスタ上での並列分枝限定法の高速度化手法", 情報処理学会研究報告 2003-HPC-95, pp.125-130, 2003 年 8 月
- [5] 夏目 亘, 合田 憲人, 二方 克昌, "階層的マスタワーカ方式による BMI 固有値問題の Grid 計算", 情報処理学会研究報告 2002-HPC-91, pp.73-78, 2002 年 8 月
- [6] 合田 憲人, 夏目 亘, "Grid 計算環境上での数値最適化問題求解のためのアプリケーションスケジューリング", 情報処理学会・電子情報通信学会 並列処理シンポジウム JSPP2002, pp.163-164, 2002 年 5 月
- [7] Kento Aida, Mitsuhiro Fukuda, Masakazu Kojima, Shinji Hara, Katsuki Fujisawa, Yoshiaki Futakata, " High Performance Grid Computing for Optimization Problems," New Trends in Optimization and Computational Algorithms, pp.83-84, Dec. 2001

## 研究課題別評価

1 研究課題名: 超高速ホログラフィ専用計算機システム

2 研究者氏名: 伊藤智義

3 研究の狙い:

ホログラフィは三次元波面を忠実に記録・再生できる唯一知られた技術であり、ホログラフィによる三次元動画像システムは究極の立体テレビになり得るものと考えられている。ホログラムの干渉縞は計算によってコンピュータ上で作ることが可能であり、計算機合成ホログラム (Computer Generated Hologram: CGH) と呼ばれている。したがって理論的には、CGH をビデオ・レートで逐次更新できれば三次元動画像システムを構築することができる。このような動画技術は電子ホログラフィと呼ばれ、1990 年頃から研究されてきている。しかしホログラフィの持つ膨大な情報量を処理することが困難であるために、ホログラフィによる動画像システムは実用の目処がたっていない。その実現には今後 20 年を要するとも言われている。

ホログラムの計算は、物体を構成する点数とホログラムの解像度の積に比例する。物体点数を 10,000、ホログラムの解像度を  $1,000 \times 1,000$  とすると、1 枚のホログラムを作成するためには  $10,000 \times 1,000 \times 1,000 = 10,000,000,000$  (100 億) に比例する計算を行わなければならない。CGH の理論式をそのまま計算すると、Pentium4 3.2GHz CPU 搭載のパソコン (PC) で約 15 分を要する。30 枚 / 秒のビデオ・レート再生を実現するためには、計算速度を 1 万倍以上向上させなければならない。

これまで、筆者らも含め、いくつかの研究グループによって、理論式を近似展開したり、テーブル計算を用いたり、ホログラム上の点が規則的に並んでいることを利用するなど計算アルゴリズムの改良が進められてきた。その結果、前述の直接計算アルゴリズムに比べて、最近では数十倍速いアルゴリズムが開発されてきている。この高速アルゴリズムを用いると、計算時間を約 30 秒に短縮できる。しかし、ビデオ・レートの再生には、まだ 1,000 倍の高速化が必要である。

そこで本研究では、ハードウェアによる高速化を試みる。幸い、ホログラフィの計算は並列処理が有効である。並列型のホログラフィ専用計算機システムを開発して計算速度を飛躍的に向上させ、電子ホログラフィシステムによる三次元動画像再生システム (三次元テレビ) を試作しようというのが本研究のねらいである。

ただし、物体点数 10,000、ホログラムの解像度  $1,000 \times 1,000$  というシステムは、実際のところ、電子ホログラフィにとってはまだ不十分である。このシステムから得られる三次元再生像の大きさは  $3\text{cm} \times 3\text{cm} \times 3\text{cm}$  ほどで、視野角 (像が見える角度) も  $3^\circ$  程度と狭い。したがって、たとえこのシステムをリアルタイムで駆動できたとしても、残念ながらすぐに実用化されるには至らない。しかし、三次元テレビは次代表示技術の最終目標の一つであるので、本研究によって、電子ホログラフィの最大の課題となっている計算速度の向上が専用計算機システムで可能になり、実用化への道筋を示すことができれば、産業界の研究開発に対しても大きな促進力になるのではないかと考えている。

#### 4 研究成果:

本研究で開発した試作システムの構成を図1に示す。このシステムは大きく二つ分けられる。計算機システムとそれ以外の光学系である。本研究では、専用計算機システムだけではなく、電子ホログラフィにとっては計算速度の向上とともに重要な表示に関する研究も行った。まず、その成果から述べたい。

##### 4 - 1. 電子ホログラフィ再生光学系

ホログラフィでは三次元像の再生に光の回折を利用するために、十分大きな再生像を十分広い視野角で見えるようにするには、可視光を十分に回折させるだけの画素密度が必要となる。理想的には、可視光の波長と同程度の画素間隔(1 $\mu\text{m}$ 程度)である。感光材料で作られた光学フィルムでは画素間隔に相当する画質の解像度は0.1~1 $\mu\text{m}$ なので、視野角は40°以上あり、十分な立体視が可能であるため、静止画においては素晴らしいホログラム作品がいくつも作られている。しかし、動画の場合はホログラムを逐次更新しなければならない。データを制御でき、かつ、これほど高精細な表示デバイスは今のところ存在していない。これまでに音響光学変調器(AOM)や透過型液晶ディスプレイ(LCD)を用いたシステムが考案されてきたが、AOMは一次元デバイスであるので三次元視差を持たせるためには装置が大がかりになり、透過型LCDでは画素間隔が粗くて視野角がほとんど取れないなどで、どちらも決定打とはなっていない。

この二つに代わるものとして、本研究では最近流通し始めた反射型LCDに注目した。反射型LCDは透過型LCDと違い、LCD素子の制御回路を表示面の裏面に作ることができるので、高精細化しやすく、さらに光の利用効率(反射率)を高くできる特徴を持っている。本研究では画素ピッチ(間隔)10 $\mu\text{m}$ の反射型LCDを使用した。期待通り、画素間隔36 $\mu\text{m}$ の透過型LCDに比べて3倍程度大きな像が得られ、肉眼で十分目視できる結果を得た。さらに、反射率が高いということで非常に明るい像が得られたので、参照光源をレーザーから発光ダイオード(LED)に代えてみたところ、きれいな像を再生した。レーザーを使わないでよいということはシステムを飛躍的に小さく、しかも安価にできるという利点を持つ。この成果をもとにして作った光学系が図1である(論文[2])。本システムは非常に簡素であり、LCDパネルとLEDの他は、ピンホール・フィルタ、ビーム・スプリッタ、2個のレンズと計算機システム(ふつうの実験にはPCを使用)で構成されている。PCで生成したホログラムをLCDに表示し、そこにピンホール・フィルタとコリメータ・レンズで平行にしたLEDの参照光を、ビーム・スプリッタを利用して入射する。実像が結像する位置に視野レンズを置いておくと、そこに空中に浮かんだ三次元再生像を見ることができる。

また、LEDによってシステムを小さくできる利点を活かして、三原色(赤・緑・青:RGB)のLEDを組み合わせた非常に簡素なカラーホログラフィ手法も開発した(論文[3][6])。

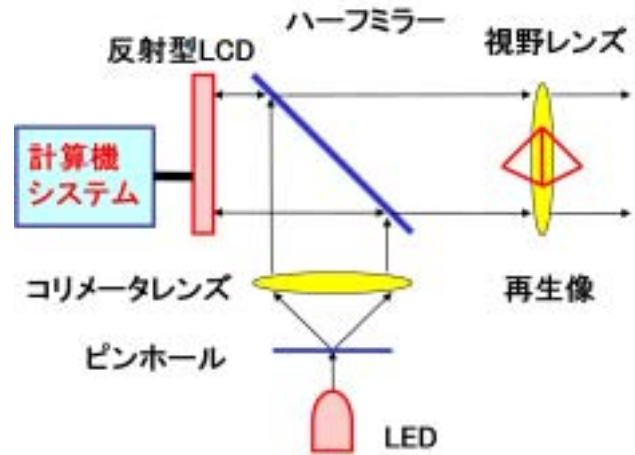


図1. 電子ホログラフィ再生システム

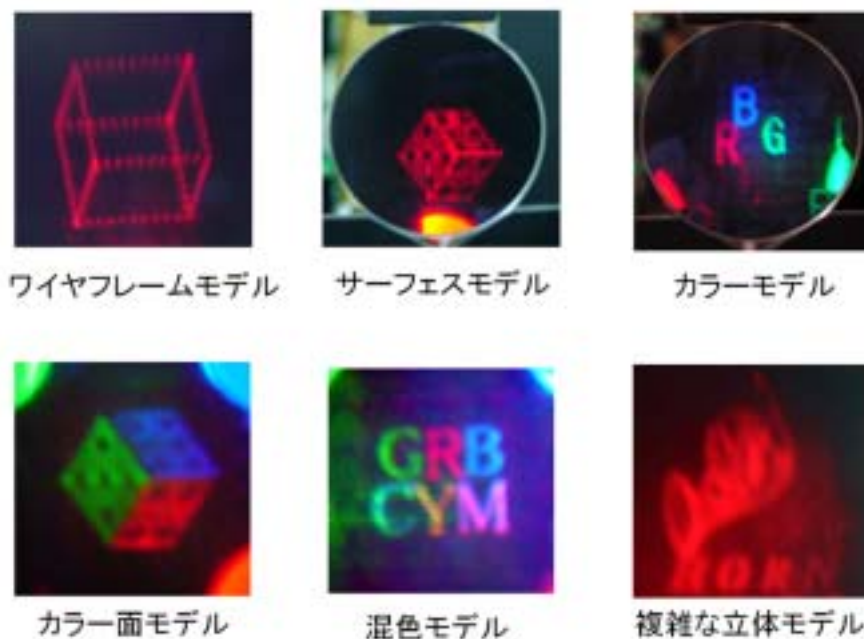


図 2. 電子ホログラフィ再生例

これまで行ってきた再生像の進展を図 2 に示す。単純で画素数の少ない(数百点程度)のワイヤフレーム(線画)モデル(左上図)から始まり、画素数が数千点のサーフェス(面)モデル、さらにはカラー化に成功し、最近ではよりリアルな三次元像が扱えるようになっている(右下図)。

#### 4 - 2 . ホログラフィ専用計算機システム

再生像は改善されてきたが、実際の再生領域は小さく、視野角も広くない。これは、表示デバイスの画素ピッチが粗いためである。現時点でもっとも高精細な LCD の画素ピッチは  $10\mu\text{m}$  を切ったところである。ただし、例えば、焦点距離の異なった 2 枚のレンズを組み合わせることで光学的に画素ピッチを縮小する手法も知られている。したがって理論的には、LCD パネルを複数用いて大きな表示面を作って光学的に縮小することで、現在の技術水準でも十分な大きさの三次元像が得られることになる。しかし、表示デバイスが十分な解像度を持つようになると、今度はこれを駆動する計算処理系の負荷が増大する。つまり、電子ホログラフィによる三次元テレビの実現は、最終的には情報処理速度の問題に帰結する。そこで本研究では、ホログラフィ専用計算機システムを開発して、大幅な計算速度の向上を試みた。

具体的にはホログラムの計算式をハードウェア化して、それを多数並列動作させる計算機システムの構築である。メインデバイスには大規模 FPGA(Field Programmable Gate Array)を用いた。読み書き可能な FPGA は 1990 年代後半から急速に発展してきたデバイスで、回路規模の増大とともに、近年、その有利性が高まっている。ただし、FPGA を用いて数値計算用のシステムを構築する際には、実装効率が問題となる。特に、数値計算で多用される乗算は回路面積が大きく、1 チップに多数は実装できない。そこで本研究では、まず、ホログラム面上の点が規則的に並んでいることに注目し、乗算を減らして大部分を加算の漸化式だけで並列計算が行えるアルゴリズムを開発した(論文[1])。このアルゴリズムはソフトウェア的にも直接計算アルゴリズムに比べて数十倍の高速化を実現し、ハードウェア的には回路規模を 10 分の 1 程度に縮小することを可能にした。

図3はHORN-5(HOlographic ReconstructioN)と名付けて開発したホログラフィ専用計算ボードである。ザイリンクス社の大規模FPGAであるXC2VP70(700万ゲート相当)をPCI(Peripheral Component Interconnect)基板に4個搭載した。PCのPCIスロットに差し込んで使う。アルゴリズムをハードウェア向けに改良した成果で、この基板にはホログラム計算回路を1,408個実装することができた。動作周波数は166MHzである。

計算速度の比較を表1にまとめた。物体点数が10,000点で、ホログラムの解像度が1,408×1,050のときの、ホログラム1枚当たりの計算時間を示した。本システムで使用したLCDパネルの解像度が1,408×1,050であることから、この条件を選んだ。また、専用計算ボードはPCI仕様なので、1台のPCに複数枚装着することも可能である。4枚まで装着して評価を行い、数値を載せた。ソフトウェアでの最高速度は、高速アルゴリズムをIntel C++ 8.0コンパイラで最適化オプションをつけてコンパイルしたときで、ホログラム生成1枚当たり24.7秒だった。この数値を基準に高速化率を記した。



図3. ホログラフィ専用計算ボード

システム		計算時間 (秒/枚)	高速化率 (倍)
【ソフトウェア】 Pentium4 3.2GHz 2GB メモリ OS: Windows XP	直接計算 アルゴリズム	Visual C++ 6.0	1630
	高速計算 アルゴリズム	Visual C++ 6.0	60.0
		Assembler	35.7
		Intel C++ 8.0	24.7
【専用計算機】 FPGA ボード XC2VP70×4 166MHz	1 基板 実装回路数 1,408(並列計算)	0.0679	364
	2 基板 実装回路数 2,816(並列計算)	0.0365	677
	3 基板 実装回路数 4,224(並列計算)	0.0271	911
	4 基板 実装回路数 5,632(並列計算)	0.0232	1065

表1. ホログラム計算速度の比較  
(計算条件: 物体点数 10,000 ホログラム解像度 1408×1050)

表1はホログラフィ計算がハードウェアに適していることを示している。専用基板1枚で約360倍の高速化を達成した。また、ホログラム計算が並列化に適していることもこの表からわかる。並列度を上げていくとともに計算は高速化され、4枚装着時には1,000倍を超える高速化を実現し、ホログラム1枚当たりの生成時間は0.0232秒を記録した。これは秒間43枚の速さであり、ビデオレート(30枚/秒)を越え、本研究の目標であったリアルタイムの動画再生を可能にする大きな成果となった(論文[7][8][9])。



### 4 - 3 . 並列システム

表1の結果を詳しく見ると、並列度が上がると計算速度の向上は鈍ってきている。これはホスト計算機(PC)と計算ボード間の双方向通信が主な原因となっている。例えば将来、1 $\mu$ mピッチで10cm $\times$ 10cmの表示パネルができたとすると総画素数は100億になる。これだけのデータをまともに双方向通信しては、いくら計算を速くしても意味がなくなる。

しかし、画像表示だけを目的とする三次元テレビでは、本来、データは一方通信ですむので、通信負荷を大幅に軽減することが可能である。構成例を図4に示す。動作手順は、まずホスト計算機から三次元図形の座標を共有メモリに転送する。各専用チップは同時に共有メモリからそのデータを参照し、自分に割り当てられた部分のホログラムを生成し、自分に割り当てられた表示デバイスにそのホログラムデータを送る。膨大な情報量は分散・並列に処理されるが、通信されるデータは矢印の向きにしか進まないため、通信も分散・並列で行われてボトルネックは生じない。ホスト計算機と共有メモリ、および共有メモリと専用チップ間の通信量は三次元図形

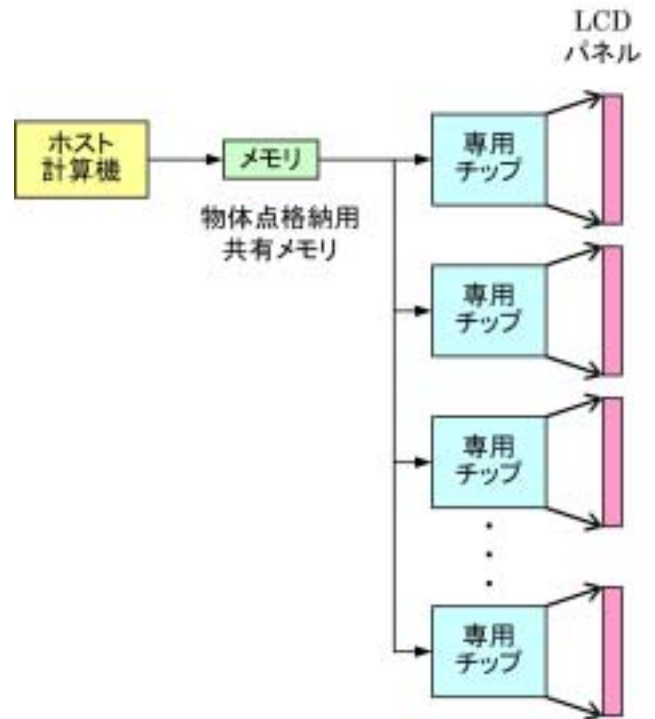


図4. 並列型電子ホログラフィシステム

データだけ(例えば10,000点の図形の場合、10KByte程度のデータ量)であり、表示デバイスの総画素数に無関係なので、無視できる程度でしかない。データ通信の負荷を軽くできるという点でも電子ホログラフィは専用計算機システムに非常に向いているといえる。

このような専用計算チップと表示デバイスをユニット化した並列システムの基礎的な研究のため、図5のようなLCD(右端)と計算用のFPGA(中央)を実装した基板も開発した(論文[5])。現在はこのユニット・ボードを複数枚組み合わせて使って、並列システム開発のための研究を進めているところである。

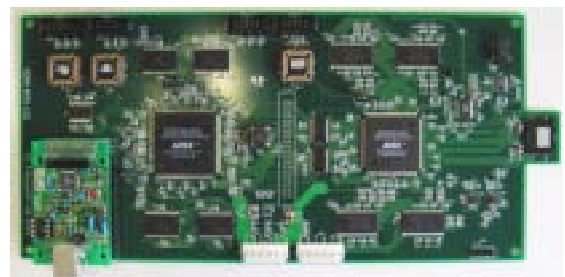


図5. ユニット・ボード

### 5 自己評価:

電子ホログラフィによる三次元動画システムを試作をめざして研究を開始し、3cm大と小さい像ながらもリアルタイム再生に成功したことは、当初の目標を達成できたと考えている。

電子ホログラフィの課題は、主に(1)高精細表示システムと(2)高速計算システムの二点である。

これに対して本研究では、以下の4つ成果を提示した。

- 1) 反射型LCDとLEDによる電子ホログラフィ再生システムの考案
- 2) 新しいカラー電子ホログラフィ手法の提示
- 3) 並列システム開拓のための専用計算チップとLCD表示系によるユニット基板の開発
- 4) ビデオ・レートのリアルタイム再生を可能にする専用計算機システムの開発

これらの成果は、光学分野ではトップジャーナルである“Optics Letters 誌”、“Optics Express 誌”にそれぞれ掲載された。

電子ホログラフィによる三次元テレビの実用化にはまだ課題も多いが、このような研究機会を与えて頂いたことを感謝するとともに、これらの研究成果をもとにさらにステップ・アップしていきたいと考えている。

#### 6 研究総括の見解:

ホログラフィによる三次元動画像システムは究極の立体テレビになり得るものと考えられているが、ホログラフィの持つ膨大な情報量を処理することが困難であるために、実用の目処がたっていなかった。伊藤研究者は、ビデオ・レートのリアルタイム再生を可能にする専用計算機システムとLCD表示系の開発により、3cm大と小さい像ながらも三次元動画像のリアルタイム再生に成功した。今後の研究の進展が大いに期待される。

また、反射型LCDと発光ダイオード(LED)による新しいカラー電子ホログラフィ再生手法を考案した。参照光源にレーザーを使わないでよいということはシステムを飛躍的に小さく、しかも安価にできるという利点がある。将来の研究の進展が楽しみである。

#### 7 主な論文等:

論文(査読付き)

1. Tomoyoshi Shimobaba, Sinsuke Hishinuma and Tomoyoshi Ito, “Special-Purpose Computer for Holography HORN-4 with recurrence algorithm”, Computer Physics Communications, Vol.148, pp.160-170 (2002)
2. Tomoyoshi Ito, Tomoyoshi Shimobaba, Hirokazu Godo and Masahiko Horiuchi, “Holographic reconstruction with a 10- $\mu$ m pixel-pitch reflective liquid-crystal display by use of a light-emitting diode reference light”, Optics Letters, Vol.27, No.16, pp.1406-1408 (2002)
3. 伊藤智義, “RGB LEDを参照光源とした反射型LCDによるカラーホログラフィ”, 情報技術レターズ, Vol.1, pp.181-182 (2002)
4. Tomoyoshi Shimobaba and Tomoyoshi Ito, “A Color Holographic Reconstruction System by Time Division Multiplexing with Reference Lights of Laser”, Optical Review, Vol.10, No.5, pp.339-341 (2003)
5. Tomoyoshi Ito and Tomoyoshi Shimobaba, “One-unit system for electroholography by use of a special-purpose computational chip with a high-resolution liquid-crystal display toward a three-dimensional television”, Optics Express, Vol.12, No.9, pp.1788-1793 (2004)
6. Tomoyoshi Ito and Koji Okano, “Color electroholography by three colored reference lights simultaneously incident upon one hologram panel”, Optics Express, Vol.12, No.18, pp.4320-4325 (2004)



7. 伊藤智義, 下馬場朋禄, 杉江崇繁, 増田信之, “リアルタイム再生を可能にする並列型電子ホログラフィ専用計算機システム HORN-5”, 情報技術レターズ, Vol.3, pp.219-220 (2004)
8. 伊藤智義, “大規模 FPGA ボードによる数値計算の高速化”, 物理探査学会, Vol.57, No.6, pp.615-620 (2004)
9. Tomoyoshi Ito, Nobuyuki Masuda, Kotaro Yoshimura, Atsushi Shiraki, Tomoyoshi Shimobaba and Takashige Sugie, “A special-purpose computer HORN-5 for a real-time electroholography”, Optics Express, Vol.13, No.6, pp.1923-1932 (2005)

#### 解説記事

1. 伊藤智義, “ホログラフィ動画像再生 - 反射型液晶ディスプレイの有効性について -”, 画像ラボ, Vol.13, No.5, pp.8-13 (2002)
2. 伊藤智義, “反射型液晶ディスプレイと専用計算機システムによる動画ホログラフィー”, 光学, Vol.31, No.5, pp.429-434 (2002)
3. 伊藤智義, “超高速ホログラフィ専用計算機の開発”, ケミカルエンジニアリング, Vol.47, No.7, pp.24-28 (2002)
4. 伊藤智義, “簡易型動画ホログラフィ再生装置の開発”, 画像ラボ, Vol.14, No.12, pp.41-44 (2003)
5. 伊藤智義, “電子ホログラフィによる動画像システム”, テクノニュースちば, Vol.36, pp.20-21 (2004)
6. 伊藤智義, 増田信之, 下馬場朋禄, 杉江崇繁, “デジタル信号処理のハードウェア実装～性能向上の“切り札”をあなたの手駒に～”, デザインウェブマガジン 2004年11月号(CQ出版社), pp.43-103 (2004)

#### 国際会議(査読付きプロシーディング)

1. Tomoyoshi Shimobaba, Kazuhiro Godo, Sinsuke Hishinuma, Masahiko Horiuchi and Tomoyoshi Ito, “A prototype of 3D-TV with a special-purpose computer for holography, HORN-4”, The 6th World Multiconference on System, Cybernetics and Informatics (SCI2002), July 14-18, 2002, Orlando, Florida, USA, Proc. Vol.XIII, pp.31-35 (2002)
2. Tomoyoshi Shimobaba, Kazuhiro Godo, Sinsuke Hishinuma, Masahiko Horiuchi, and Tomoyoshi Ito, “A Real-Time Three Dimensional Animation System by Electro Holography with a Special-Purpose Chip for Holography and a High Minute Reflective LCD”, Asia Display / The 10th International Display Workshop (IDW'03), December 3-5, Fukuoka, Japan, Proc. 3Dp-8, pp. 1457-1460 (2003)
3. Tomoyoshi Shimobaba, Atsushi Shiraki, Nobuyuki Masuda and Tomoyoshi Ito, “Electroholography Unit for Three-Dimensional Display Using Special-Purpose Chip and High Minute LCD Panel”, The 3rd International Conference on Experimental Mechanics (ICEM2004), November 29 - December 1, Singapore, CD-ROM Proc. A03-2 (2004)

#### 特許

1. 発明者: 伊藤智義, 発明の名称: 動画ホログラフィ再生装置, 出願人: 科学技術振興事業団, 出願日: 2002年1月16日
2. 発明者: 伊藤智義, 発明の名称: 動画ホログラフィ再生装置, 出願人: 科学技術振興事業団, 出願日: 2002年5月16日
3. 発明者: 伊藤智義, 発明の名称: カラー動画ホログラフィ再生装置, 出願人: 科学技術振興事業団, 出願日: 2002年6月12日

4. (外国特許出願) 発明者: 伊藤智義, 発明の名称: 動画ホログラフィ再生装置及びカラー  
動画ホログラフィ装置, 出願人: 科学技術振興事業団, 出願日: 2003年1月15日

## 研究課題別評価

1 研究課題名: 並列実行環境に依存しない高性能数値計算ライブラリ

2 研究者氏名: 片桐孝洋

3 研究の狙い:

コンピュータサイエンスが成熟期を迎え、あらゆる分野で高性能なソフトウェアが多数開発されています。このような状況では、すでに開発されたプログラムであるレガシーコードの再利用が重要な課題となります。

そこで我々は、ハードウェアやコンパイラを含む計算機環境に依存せずに、レガシーコードが高性能となるようにインストールされて実行できるという概念の性能可搬性を達成すべき重要な課題としました。性能可搬性を達成するため、いままで研究がされてこなかった、新しいソフトウェア・パラダイムのソフトウェア自動チューニングという新技術の確立を狙うことが本研究の狙いです。

4 研究成果:

本研究における成果は、大きく分けて2種に分類されます。それは、方式研究成果とソフトウェア開発成果です。これらの成果の説明を以下に示します。

### 4.1 方式研究成果

#### ● 自動チューニングフレームワークFIBER

本研究では、FIBER (Framework of Install-time, Before Execute-time, and Run-time optimization layers) 方式と呼ぶ、新しい自動チューニング方式を提案しました。このFIBER方式の評価検証、およびFIBER方式を基にした自動チューニング用のソフトウェア(オート・チューン・ウェア)を開発するプロジェクトをFIBERプロジェクトと呼びます。

FIBERプロジェクトでは、ソフトウェア自動チューニングを行うソフトウェアをミドルウェア、すなわち、OS(オペレーティング・システム)とアプリケーション・ソフトウェアの間に位置するソフトウェアとしています。自動チューニングのためのミドルウェアを利用することで、ある1種類のプログラムで記述されたソフトウェアが性能劣化することなく、多くの計算機環境にインストールされて実行できること(=性能可搬性)を、プロジェクトのゴールとしています。図1に概略を示します。

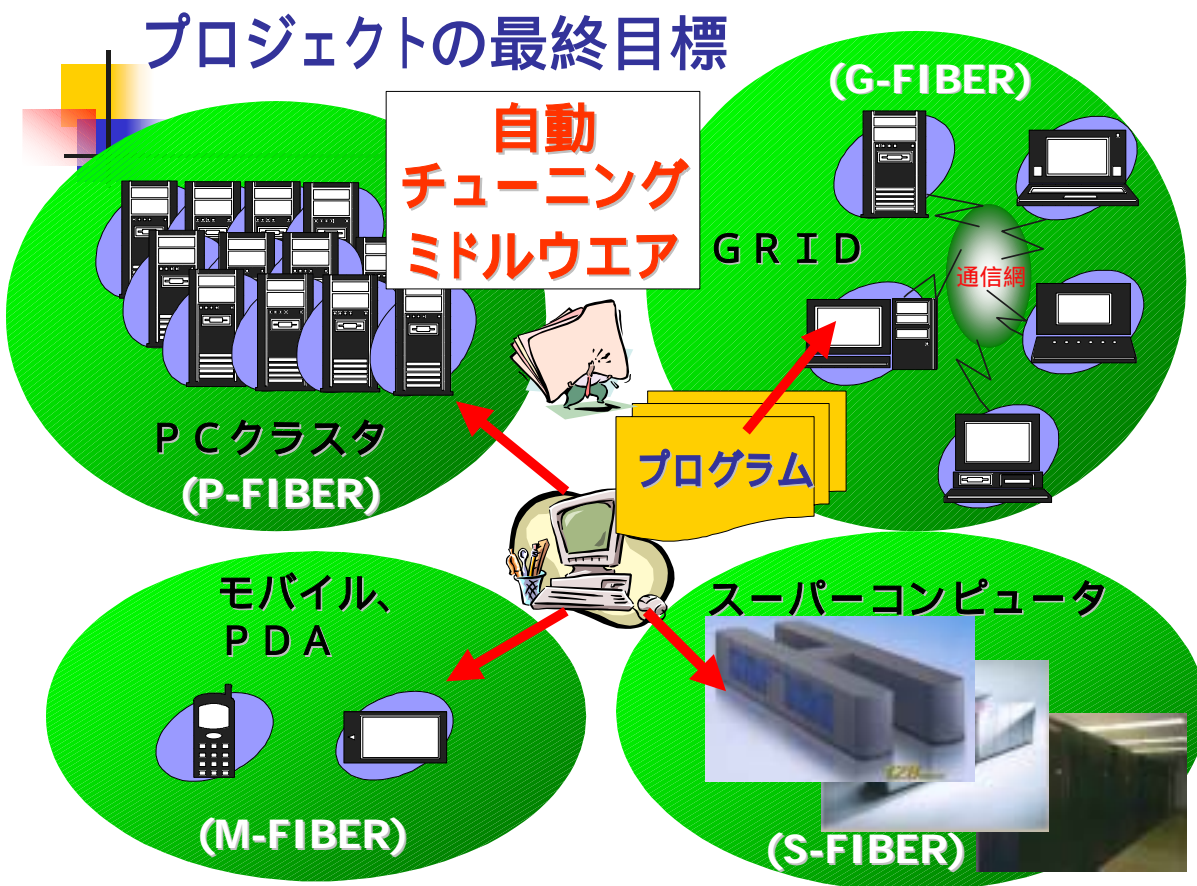


図1 FIBERプロジェクトの目標

図1が示すように、対象となる計算機環境は複数ありますが、個別の計算機環境に特化したFIBERミドルウェアの仕様与えることを考えています。その仕様の名称は、以下に示すとおりです。

- PCクラスタ用 FIBER 仕様(P - FIBER)
- スーパーコンピュータ用 FIBER 仕様(S - FIBER)
- GRID環境用 FIBER 仕様(G - FIBER)
- モバイル・PDA用 FIBER 仕様(M FIBER)

なお後で説明する、ABCLibScript は、S-FIBER の全部と P-FIBER の一部の仕様を満たすソフトウェア(ツール)であるといえます。

このような多種多様な計算機環境において、ソフトウェア自動チューニング方式の効果検証を行い、専用ツールを開発するのがFIBERプロジェクトの最終目標です。しかし対象範囲が膨大なため、科学技術振興機構で行うプロジェクトの期間3年内では達成できません。そこで対象を数値計算処理に限定し、計算機環境をPCクラスタやスーパーコンピュータに限定することで研究活動を行いました。

#### FIBER方式の概略

つぎにFIBERプロジェクトで行う、FIBER方式の概略を説明したいと思います。図2に、FIBER方式の概略を示します。

# 研究構想

## ミドルウェアとしての自動チューニング機構の確立

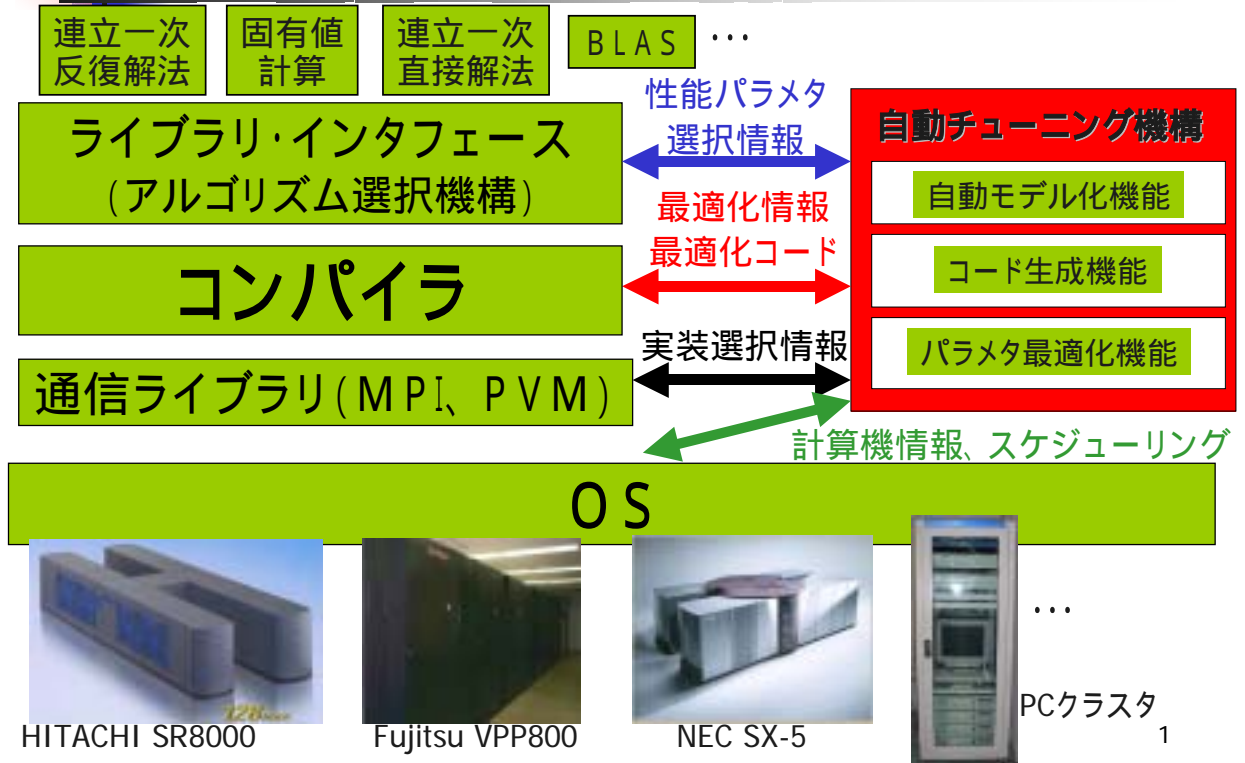


図2 FIBER方式の概略

図2に示したように、自動チューニング機構がFIBER方式にはあります。この自動チューニング機構は、自動モデル化機能、コード生成機能、およびパラメタ最適化機能を有し、これらの機能を利用することでソフトウェア自動チューニングを行います。

自動チューニングすべき対象は、以下の通りです。

- 数値計算ライブラリでのユーザインタフェース上における性能パラメタ
- コンパイラにおける最適化コード
- 通信ライブラリにおける性能パラメタや実装方式
- OSにおけるスケジューリング

これらの対象を、パラメタ化し自動チューニングすることで、PCクラスタからスーパーコンピュータに至る広範な並列計算機環境で性能可搬性を保証します。

### 4.2 ソフトウェア開発成果

ソフトウェア開発成果は、以下の3種のソフトウェア開発に集約されます。

- 自動チューニング機能付き並列固有値計算ライブラリ ABCLib\_DRSSSED の開発  
ABCLib (Automatically Blocking-and-Communication adjustment Library) という自動チューニング機能付き数値計算ライブラリの固有値計算用パッケージです。FIBER方式に基づく自動チューニング機構を付加した、並列数値計算ライブラリです。

- ABCLibScript 用プリプロセッサ ABCLibCodeGen  
数値計算の専門家であるライブラリ開発者がFIBER方式の自動チューニング機構を容易に付加するための計算機言語 ABCLibScript を解釈し、汎用的な計算機言語(ここでは Fortran90 言語)を自動生成するプリプロセッサです。
- 自動チューニング経緯閲覧用ビジュアライザ VizABCLib  
自動チューニング経緯を閲覧できるビジュアライザです。ABCLibCodeGen と連携しており、ライブラリ開発者が容易に自動チューニング経緯をチェックすることができます。

## 5 自己評価

さきがけ研究開始当初の目標は、以下の3点でした。

- (1)数値計算ライブラリにおける自動チューニング機能の実装評価
- (2)実用となる数値計算ライブラリ開発
- (3)開発した数値計算ライブラリの普及

以上を考慮すると、以下の予想外に進展した事項、予想の範囲内で進展した事項、および達成できなかった事項が指摘できます。

### 5.1 予想外に進展した事項

まず特筆すべきは、数値計算処理に限定して適用できる成果、および数値計算に限定しなくても適用できる汎用的な成果、を得られることができた点です。具体的事項を、以下に列挙します。

- 自動チューニングフレームワーク FIBER の提案および効果検証
- 自動チューニング機能の付加を支援する言語 ABCLibScript の開発
- 自動チューニング経緯閲覧用ビジュアライザ VizABCLib の開発

これらのソフトウェア開発には、情報基盤の研究者による発想が必要とされます。当初の私の発想では、単独で研究を進めることが不可能か、もしくは困難であった事項といえます。したがって、これらの成果は予想外に進展した事項です。

### 5.2 予想の範囲内で進展した事項

以下の数値計算ライブラリに関する研究は、当初の予想範囲内で行われました。

- 自動チューニング数値計算ライブラリ ABCLib の開発
  - 高度な自動チューニング機能およびソースコード新規開発
  - 新しい数値計算アルゴリズムの開発
  - 非均質計算機環境向け機能
  - 高性能行列積演算用自動チューニング機構 AutoTuned-RB の開発
  - 疎行列向け実行時自動チューニング機構 RAO - SS の開発
- 自動チューニング数値計算ライブラリ ABCLib の公開
  - ソースコード等をフリーソフトウェアとして公開
  - マニュアルなどの整備

### 5.3 達成できなかった事項

以下の事項は当初の予想に反して、十分に達成できませんでした。

- 自動チューニング数値計算ライブラリ ABCLib の普及

具体的には、開発ライブラリを主要なユーザとなると予想される計算物理学者、計算化学者に

利用してもらうこと、およびそれに留まらず、本ライブラリの利用による高速化で初めて、あらたな学術的な発見をしてもらうという事項です。残念なことにこれらの事項は、いまのところ報告されていません<sup>1</sup>。今後の課題として、開発ソフトウェアの利用促進とソフトウェアの保守があげられます。

また当初想定はされていなかった事項においても、以下が指摘できます。

- 自動チューニング用言語 ABCLibScript の十分な効果検証

現在は、数値計算処理における少数のテストプログラムでの効果検証に留まっています。より多数のテストプログラムを用いて、さらに数値計算処理に限定しないプログラムを用いての効果検証が望まれます。

#### 5.4 総合評価と感想

以下の3事項の達成は、私にとって驚くべき成果でした。

- (1) 「ソフトウェア自動チューニング」という新しいソフトウェア・パラダイムを提唱し、その重要性を啓蒙、さらに非公開ながら研究会が発足できたこと
- (2) 自動チューニング方式 FIBER を提案し、その仕様を策定できたこと
- (3) 数値計算に限定しない基盤ソフトウェアとして、世界で初めて「自動チューニング用言語 ABCLibScript」の言語仕様を策定し、その処理系を開発できたこと

これらの事項においては現在、効果検証や普及活動が不十分であることが重々承知していますが、ソフトウェア工学分野で大きな影響を及ぼす本質的な技術シーズであると自負しています。当初予想した以上の成果を出すことが出来たと思います。

またこれらの成果は、当初の私の知見のみではとうてい達成できなかった事項です。さきがけプロジェクトに参加してこれらの成果を出せた理由は、研究総括や領域アドバイザーの先生方、さきがけの研究者の方々、赴任後の大学の先生方が計算機基盤分野の一流の研究者であったことによります。彼らとの議論、およびご指導がなければ本稿で記述すらできなかったでしょう。

さきがけは、異なる専門性をもつという意味で「異文化」の一流研究者と交流することができる制度でした。お互いを尊重しつつも本音で議論することにより、新しい価値観の創造、新しい技術のシーズが創製できました。私の研究人生において、重要な一ページになったと信じています。

#### 6 研究総括の見解

片桐研究者は、ハードウェアやコンパイラを含む計算機環境に依存せずに、レガシーコードが高性能となるようにインストールされて実行できるという概念(性能可搬性)を達成する「ソフトウェア自動チューニング」という新しいソフトウェア・パラダイムを提唱し、その重要性を啓蒙するとともに、方式・仕様を策定し、ソフトウェアを開発し公開した。また、PC クラスタおよびスーパーコンピュータ環境用の自動チューニング機能付き並列固有値計算ライブラリを開発・公開した。さらに、「ソフトウェア自動チューニング - 数値計算ソフトウェアへの適用とその可能性」という本を自費出版し、技術の啓蒙と普及のために活動した。これらは数値ライブラリ開発者や利用者の労力を大幅に削減するものである。これらの活動ならびに、当初はPC クラスタやスーパーコンピュータ環境用の数値計算処理の範囲で検討していた自動チューニング技術を、組み込みシステムや GRID など汎用的に展開できるように拡大した点は高く評価できる。今後の更なる研究進展を大いに期待したい。

---

<sup>1</sup> ただし現在、大学、研究所、民間企業研究所のユーザ登録は複数なされています。

## 7 主な論文等

### 受賞

平成 14 年度(2002 年度)情報処理学会 山下記念研究賞 受賞

### 著書

1. 片桐孝洋著:「ソフトウェア自動チューニング - 数値計算ソフトウェアへの適用とその可能性」、慧文社、2004 年 12 月 3 日初版第一刷発行、ISBN4-905849-18-7、本文 163 ページ

### 厳選論文(国際、国内)

1. Takahiro Katagiri, Springer LNCS 2565, Selected Papers and Invited Talks of High Performance Computing for Computational Science VECPAR 2002, pp.302--314 (2003): "Performance Evaluation of Parallel Gram-Schmidt Re-Orthogonalization Methods"
2. Takahiro Katagiri, Kenji Kise, Hiroki Honda, and Toshitsugu Yuba, Springer LNCS 2858, pp.146--159, The Fifth International Symposium on High Performance Computing (ISHPC-V), Tokyo Fashion Town Building, Tokyo International Trade Center (Odaiba, Tokyo, JAPAN), October 20-22, 2003: "FIBER: A General Framework for Auto-Tuning Software"
3. 片桐孝洋, 吉瀬謙二, 本多弘樹, 弓場敏嗣, 情報処理学会論文誌: コンピューティングシステム, Vol.45, No. SIG 6 (ACS 6), pp.75--85 (2004): 「データ再分散を行う並列 Gram-Schmidt 再直交化」
4. Takahiro Katagiri, Kenji Kise, Hiroki Honda, and Toshitugu Yuba, Proceedings of ACM Computing Frontiers 04, pp.12--25, Island of Ischia, Italy, 14--16 April 2004: "Effect of Auto-tuning with User's Knowledge for Numerical Software"
5. 片桐孝洋, 吉瀬謙二, 本多弘樹, 弓場敏嗣, 2004 年先進的計算基盤システムシンポジウム (Symposium on Advanced Computing Systems and Infrastructures (SACSIS), 2004 年 5 月 26 日(水)~28 日(金)、札幌コンベンションセンター, SACSIS 2004 論文集, pp.43--52: 「自動チューニング処理記述用ディレクティブ ABCLibScript の設計と実装」
6. 木下靖夫, 片桐孝洋, 弓場敏嗣, 2005 年 ハイパフォーマンスコンピューティングと計算科学シンポジウム (HPCS 2005), 2005 年 1 月 18 日, 10 日, 東京大学山上会館, HPCS 2005 論文集: 「AutoTuned-RB:再帰 BLAS ライブラリの自動チューニング方式」

### 厳選口頭発表(国際、国内)

1. 片桐孝洋, SWoPP'2002(並列 / 分散 / 協調処理に関する『湯布院』サマー・ワークショップ 2002 年 8 月 21 日(水)--23 日(金)), 情報処理学会研究報告 2002-HPC-91, pp.43--48: 「並列固有ベクトル計算における強制対角ブロック化の効果」
2. 片桐孝洋, 吉瀬謙二, 本多弘樹, 弓場敏嗣, 第 94 回 ハイパフォーマンスコンピューティング (HPC) 研究会, 平成 15 年 6 月 13 日(金) 13:00-16:45, 情報処理学会研究報告 2003-HPC-94, pp. 1--6: 「FIBER:汎用的な自動チューニング機能の付加を支援するソフトウェア構成方式」
3. 片桐孝洋, 吉瀬謙二, 本多弘樹, 弓場敏嗣, SWoPP'2004(並列 / 分散 / 協調処理に関する『青森』サマー・ワークショップ 2004 年 7 月 30 日(水)--8 月 1 日(金)), 情報処理学会研究報告 2004-EVA-10, pp.19--24, (2004): 「ユーザ知識を活用するソフトウェア自動チューニングについて」
4. 片桐孝洋, 日本応用数理学会 2004 年度年会, オーガナイズドセッション: 数値線形代数, 2004 年 9 月 16 日(木)~18 日(土), 中央大学後楽園キャンパス, 応用数理学会 2004 年度年会予稿集, pp.214 215, 「固有値ソルバの並列化とその性能」
5. Takahiro Katagiri, Kenji Kise, Hiroki Honda, Toshitsugu Yuba, Eleventh SIAM Conference on



- Parallel Processing for Scientific Computing (PP04), Hyatt at Fisherman's Wharf, San Francisco, CA, USA, Thursday, February 26, 2004, Organized Session of "MS37 Portable Parallel Numerical Libraries for Various Types of Architectures" : "Towards Performance Portability Framework for Numerical Libraries"
6. Takahiro Katagiri, Kenji Kise, Hiroki Honda, Toshitsugu Yuba, Eleventh SIAM Conference on Parallel Processing for Scientific Computing (PP04), Hyatt at Fisherman's Wharf, San Francisco, CA, USA, Thursday, February 26, 2004, Poster Session: "FIBER: Generalized Framework for Numerical Software"
  7. 片桐孝洋、第464回電気通信大学数値解析研究会、2004年6月25日(金)、「ソフトウェア自動チューニング - 固有値ソルバへの適用とその可能性 - 」
  8. 石井良規、片桐孝洋、本多弘樹、第101回HPC研究会、情報処理学会研究報告、2005 - HPC - 101、pp.97--102:「RAO-SS: Autopilotを用いた疎行列ソルバにおける実行時自動チューニング機構」、2005年3月8日

#### 特許出願

1. 発明者:片桐孝洋  
発明の名称:プログラム、記録媒体およびコンピュータ  
出願人:科学技術振興機構  
出願日:特願2003-022792(平成15年1月30日)  
特開2004-234393(平成16年8月19日)
2. 発明者:片桐孝洋  
発明の名称:計算装置、計算方法、プログラムおよび記録媒体  
出願人:科学技術振興機構  
出願日:特願2003-092592(平成15年3月28日)
3. 発明者:片桐孝洋  
発明の名称:計算装置、計算方法、プログラムおよび記録媒体  
出願人:科学技術振興機構  
出願日:特願2003-149701(平成15年5月27日)  
特願2003-92592の国内優先権出願
4. 発明者:片桐孝洋  
発明の名称:計算処理方法、そのプログラム、データ再分散機構、計算処理装置  
出願人:科学技術振興機構  
出願日:特願2003-372051(平成15年10月31日)

#### 公開ソフトウェア

1. 片桐孝洋:自動チューニング機能付き並列数値計算ライブラリ ABCLib\_DRSSSED (Fortran90 と MPI-1 で約 30,000 行)(2004)
2. 片桐孝洋:自動チューニング機構付加支援ディレクティブ ABCLibScript 用プリプロセッサ ABCLibCodeGen (Fortran90 用)(C++で約 10,000 行)(2004)
- 3.片桐孝洋:自動チューニング処理閲覧用ビジュアライザ VizABCLib (2004)
- 4.片桐孝洋:ABCLib\_DRSSSED ver.1.00 マニュアル、48 ページ (2004 年 10 月)
- 5.片桐孝洋:ABCLibScript ver.1.00 利用の手引き、41 ページ (2004 年 10 月)
- 6.片桐孝洋:ABCLib Project オンラインマニュアル、  
<http://www.abc-lib.org/online/abclib.htm> (2004 年 10 月公開)
- 7.片桐孝洋:ABCLib\_DRSSSED Manual version1.00、53 ページ (2004 年 12 月)(英語)
- 8.片桐孝洋:ABCLibScript User's Guide version1.00、47 ページ (2004 年 12 月)(英語)

## 研究課題別評価

1 研究課題名: 履歴に基づき再構成するマイクロプロセッサの研究

2 研究者氏名: 佐藤寿倫

3 研究の狙い:

現在に至る半導体技術の進歩によって、1 チップ上に 10 億個ものトランジスタを集積可能な時代が目前に迫っている。これはコンピュータにおける演算処理資源の増大を意味しており、1 チップスーパーコンピュータの実現が期待される。しかしながら一方で、集積度の向上はこれまで顧みる必要の無かった様々な新しい問題を提示している。それらは、省電力と信頼性である。

消費電力を削減しようとする動機としては、これまでは主に携帯機器の動作時間を延長したいという要望が主だった。しかし、集積度が向上するにつれて、ハイエンドのマイクロプロセッサにおいても消費電力はもはや無視できないものとなってきた。消費電力を削減する最も有効な方法は電源電圧を下げることである。消費電力は電源電圧の二乗に比例するので、極めて有効な方法と言える。この電源電圧を下げることにも問題がある。その一つは、閾値電圧を下げることによるリーク電流の増大である。電源電圧を下げるとトランジスタの性能が低下する。これを補うためには閾値電圧も下げなければならない。その結果、リーク電流が増えてしまう。リーク電流は回路が動作していないときにも流れてしまう電流で、半導体の性質上取り除くことはできない。つまり、使用時の電力を削減出来る代わりに使用しない時の電力が増えることになる。したがって、アダプティブに閾値電圧を変化させるなどのアーキテクチャを検討する必要があると言える。

微細化の進展はハードウェア故障、特に過渡故障の問題を顕在化させている。過渡故障とは、様々な雑音源が間違った結果を引き起こしてしまうランダムな現象である。例えば、宇宙線などによりダイナミック回路の電荷が変化してしまい、間違った結果を引き起こすことがあり得る。これをソフトエラーと呼ぶ。現状ではこのような故障は稀であるが、半導体技術の進展に伴う微細化によって雑音に対するマージンや信頼度が低下しつつあるのみならず、故障による影響度の増大が予測されている。世代毎に 8% の割合で故障率が増大していると言われている。特に携帯機器は劣悪な環境下で使用されるため、これらの応用領域で利用されるマイクロプロセッサの故障に対する耐性、すなわちフォールトトレランス技術の検討が必要と言える。

故障は外因に大きく影響されます。例えばペンシルベニア州立大学のアーウィンらは、電源電圧を 5V から 3V に下げると故障率が 7 から 8 倍大きくなると報告している。つまり、省電力と信頼性とはトレードオフの関係にあると言える。両方を同時に改善することはできない。故障率を下げるためには電源電圧を上げるべきですが、そうすると消費電力が増大してしまう。また、使用される環境も影響する。例えば、航空機内での故障率は地表での故障率の 100 倍にもなると言われている。つまり、省電力と信頼性とのトレードオフを考慮した、環境に適応するプロセッサアーキテクチャが求められており、それこそが本研究の目的である。

この目的を達成するために、「動的な実行履歴を利用してハードウェア・ソフトウェアを再構成するマイクロプロセッサアーキテクチャ」に関する研究を行った。マイクロプロセッサは、アプリケーションプログラムの実行時にそのプログラムの環境に適応し、省電力と信頼性とのトレードオフを考慮して動作を特徴付ける履歴を獲得し保存する。この動的な実行履歴を利用して、プロセッサはそのプログラムに最適になるように自身を再構成する。再構成はプログラムの実行と並行して行われる。最適とは、高性能を意味するだけでなく、消費電力の削減やフォールトトレランス性なども含んでいる。例えば、不要な演算器への電源供給を止める再構成は電力削減につながると考えられる。

#### 4 研究成果:

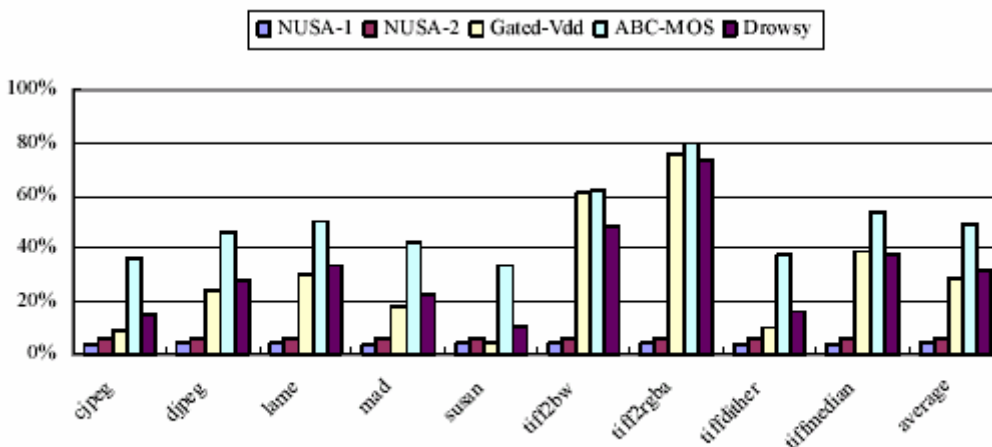
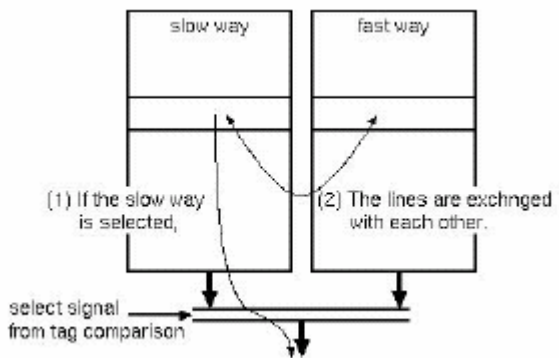
本研究では、主に

- メモリ要素におけるリーク電流削減
- 故障の検出とそこからの回復機構
- 演算器配列の有効利用
- 履歴情報の獲得方法

について検討した。研究を進めるうえでは、まず方式を考案し、続いてそれをソフトウェア・シミュレータとして実現することで評価を行う、という方法を選択した。現在のマイクロプロセッサは非常に大規模なシステムなので、研究段階で実際に作成することは困難である。そこで、このようなコンピュータ上で評価を行うことができる方法を選んだ。続いて、上の 3 方式についての成果を説明する。

##### 4.1 メモリ要素におけるリーク電流削減:

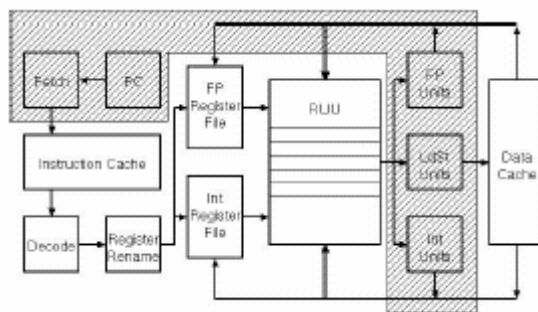
前節で説明したリーク電流増加の問題を解決するために、非均一アクセス時間キャッシュを考案した。図のように非均一アクセス時間キャッシュでは、キャッシュをウエイ単位で、高閾値で低速な CMOS を使用する領域と低閾値で高速な CMOS を使用する領域で構成することにより、リーク電流の削減を実現している。また、低速ウエイのデータが参照された場合には高速ウエイのデータと入れ替えを行う。データの参照には局所性があるので、この入れ替えによってアクセス頻度の高いデータは高速ウエイに配置され、アクセス頻度の低いデータは低速ウエイに配置されると期待される。アクセス頻度の高いデータは重要であると考えられるので、重要度に基づいてデータの再配置を行っていることになる。重要なデータだけを高速ではあるが電力消費の大きいウエイに配置することで、性能低下を抑えつつ省電力を実現した。グラフに表されている結果からわかるように、本方式 (NUSA-1 および NUSA-2) は従来の方式 (Gated-Vdd, ABC-MOS, Drowsy) のいずれよりも優れており、省電力効果が高いことがわかる。



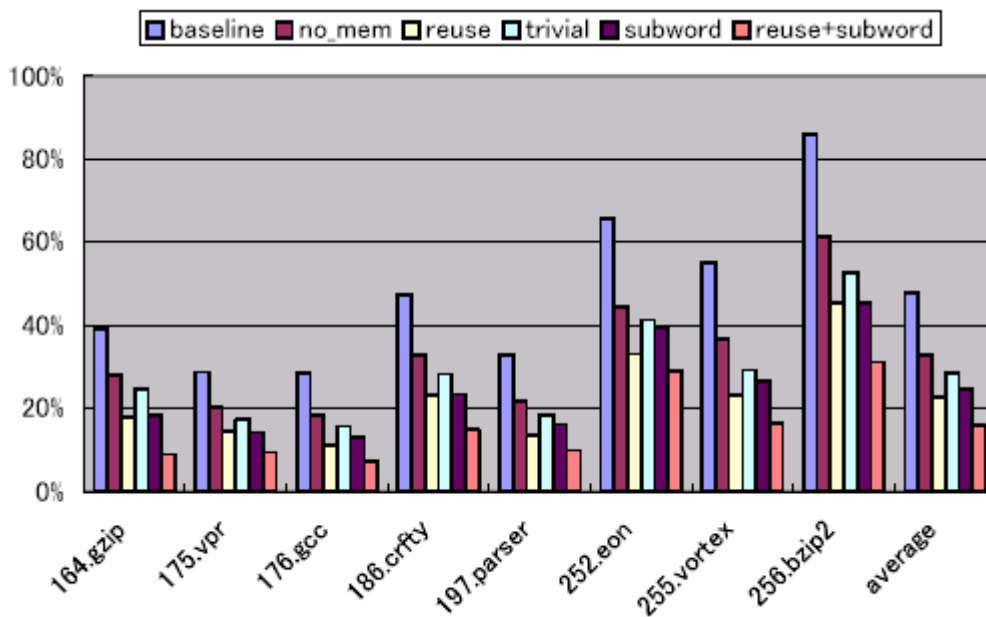
図：消費エネルギーの自乗と実行時間の積

#### 4.2 故障の検出とそこから回復機構:

提案する機構は算術演算器や論理演算器で発生した過渡故障を検出できる。つまり故障の検出範囲は右図に斜線で示される部分である。これらの演算器に注力する理由は、現在のマイクロプロセッサの多くではこれらが故障検出の対象となっていないことである。命令キャッシュ、レジスタファイル、そして命令ウィンドウ(図中RUU)は他の方法(例えば、パリティやECC)を用いて保護されていないが、それは現在のマイクロプロセッサでもすでに一般的に行われている。過渡故障を検出するために命令を複製し二つの結果を比較することを提案した。一度実行を終えた命令を再度実行するために、命令再発行と呼んでいる機構を利用する。これらの命令は命令ウィンドウ内部で再発行され、再び演算器で実行される。最初の演算結果は命令ウィンドウ中に保持しておく。二度目の演算が完了すると最初の演算結果と比較する。二つの結果が一致しない場合に、過渡故障が検出されたことになる。以上を特別工夫無く実施すると、プロセッサの性能が著しく低下してしまう。実験の結果から、プログラムの実行時間が平均で50%も長くなることが判明した。この問題を解決するために、計算冗長性の利用やサブワード並列性の利用などを検討した。その結果、グラフに示されるとおり、実行時間の増大を平均で15%にまで抑えることに成功した。言い換えると、一世代前のコンピュータの性能で満足できるなら、故障からコンピュータを守る安全性を手に入れることができる、というわけである。



（この部分は上記のテキストと重複するため、ここでは省略します）

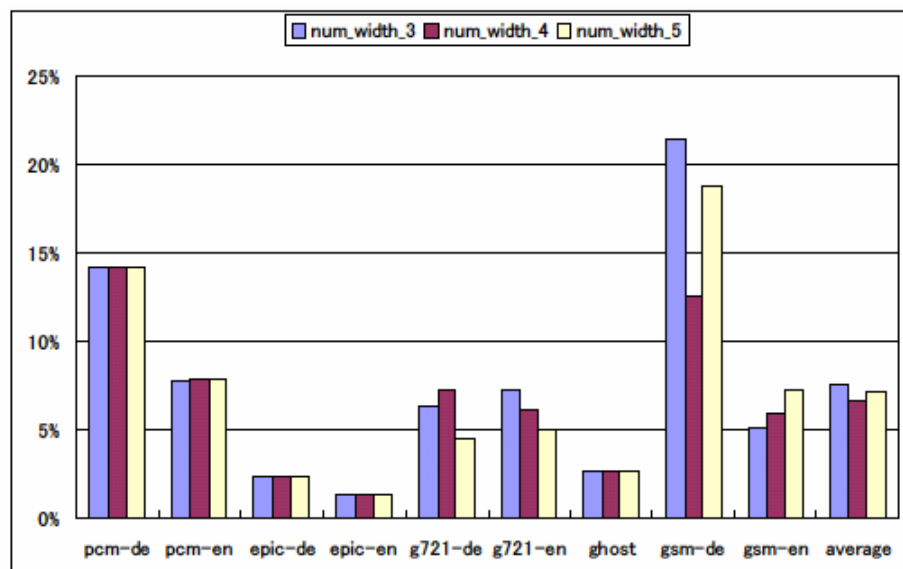


図：プログラムの実行時間増加率

#### 4.3 演算器配列の有効利用:

一般に省電力を進めるとマイクロプロセッサの性能は低下してしまう。したがってマイクロプロセッサの性能を向上させる方式の検討が必要であるが、従来のような単に演算器を追加させる方式では性能向上に限界がある。それは、近年問題視されている配線遅延の影響を大きく被るからである。演算結果を長いバスを用いて転送すると配線遅延の問題を大きく被ってしまい、マイクロプロセッサの動作速度が低下してしまう。つまり性能が低下してしまう。この問題を解決するために、バスやレジスタファイルを介さず、演算結果を演算器間で直接通信する方式を考案した。つまり多数の演算器が配列状に配置されることになる。この方式で性能向上させるためには、多数

の演算器を有効利用できる必要がある。そこで中間結果を求める命令の連鎖に着目し、結果が一度だけしか利用されない命令に着目して、配列状の演算器に割り付けることを検討した。実行時に以上のような命令を検出する必要があるため、なんらかのハードウェア支援が必要である。このための機構として、連想検索を必要としない単純な方式を考案した。単純であるので高速動作が期待できる。さらに演算に用いられるオペランドのビット幅に着目し、ビット幅の小さなオペランドを用いる演算であれば 1 サイクル内に複数演算実行できる機構を提案した。以上により約 10% の性能改善が達成された。



図：性能向上率

#### 4.4 履歴情報の獲得方法：

マイクロプロセッサをプログラムに適応させるためには、プログラムの性質を知る必要がある。そのためには、一般に履歴情報を収集する。これは非常に手間のかかる作業であった。情報収集するためのプログラムを一度実行し、その情報をもとにプログラムを書き換えるという作業になるからである。情報収集するためのプログラムは、本来のプログラムよりも 3 倍以上遅いということが実験でわかった。この問題を解決するために、プログラム自体には手を入れないで、そのプログラムと同時に情報収集するための別のプログラムを実行する方式を考案した。この方式を導入すると、実行時間の増大を 40% まで削減できることができる。

#### 5 自己評価：

これまで検討してきた方式は十分な成果が得られていると思われるが、最初に述べた研究目標が達成できているとは言えない。なぜなら、個々の方式が独立に検討されているだけだからである。したがって最終目標を達成するためには、これまで検討してきた方式を組み合わせることが必要である。組み合わせると、これまでは発見できなかった問題が顕在する課題も知れない。つまり今後は、これまでの成果を踏まえて、最終目標を達成できるような統合システムを構築し評価することが必要である。以上を経て、最終的な目標が達成されるという展望となる。

#### 6 研究総括の見解：

1 チップ上に 10 億個ものトランジスタが集積可能な時代の新しい問題、省電力と信頼性とのトレードオフを考慮した、環境に適應するプロセッサアーキテクチャの研究である。佐藤研究者の動的な実行履歴を利用してハードウェア・ソフトウェアを再構成するという着眼点は新鮮で、ユニー

クである。メモリ要素におけるリーク電流削減問題では非均一アクセス時間キャッシュ方式、信頼性向上問題では故障の検出とその回復機構、性能向上問題では演算器配列の直接通信方式、履歴情報獲得の高速化手法においてそれぞれ成果を挙げた。今後、個々に検討されてきた方式を組み合わせた統合システムを構築し評価されることを期待している。

#### 7 主な論文等:

受賞 情報処理学会 山下記念研究賞(H15 年度)

#### 論文

- (1) Toshinori Sato, "Exploiting Trivial Computation in Dependable Processors," 20th International Conference on Computers and Their Applications (CATA), March 2005 (in press).
- (2) 森下大輔, 佐藤寿倫, "演算器アレイ型プロセッサへのアプリケーション実装における課題," 情報処理学会第67回全国大会, March 2005.
- (3) Takamasa Tokunaga, Toshinori Sato, "Profiling with Helper Threads," International Conference on Parallel and Distributed Computing and Networks (PDCN), February 2005.
- (4) 佐藤寿倫, "性能低下ゼロを目指した耐過渡故障マイクロプロセッサ," 信学技報 CPSY2004-60, pp.73-76, December 2004.
- (5) Toshinori Sato, "Exploiting Sub-word Parallelism for Dependable Processors," WSEAS Transactions on Information Science and Applications, issue 6, vol.1, pp.1051-1056, December 2004.
- (6) Toshinori Sato, "Exploiting Sub-word Parallelism for Dependable Processors," 5<sup>th</sup> International Conference on Automation & Information (ICAI), CD-ROM, November 2004.
- (7) Seiichiro Fujii, Toshinori Sato, "Non-Uniform Set Associative Caches for Power-Aware Embedded Processors," International Conference on Embedded and Ubiquitous Computing (EUC), pp.217-226, August 2004.
- (8) Akihito Sakanaka, Seiichirou Fujii, Toshinori Sato, "A Leakage-Energy-Reduction Technique for Highly-Associative Caches in Embedded Systems," ACM SIGARCH Computer Architecture News, vol.32, issue 3, pp.50-54, June 2004.
- (9) 藤井誠一郎, 千代延昭宏, 佐藤寿倫, "データの重要度を利用した省電力キャッシュ," 先進的計算基盤システムシンポジウム(SAC SIS), pp.123-124, May 2004.
- (10) Masaharu Goto, Toshinori Sato, "Leakage Energy Reduction in Register Renaming," 1<sup>st</sup> International Workshop on Embedded Computing Systems (EC) held in conjunction with 24th International Conference on Distributed Computing Systems (ICDCS), pp.890-895, March 2004.
- (11) Hidenori Sato, Toshinori Sato, "A Static and Dynamic Energy Reduction Technique for I-Cache and BTB in Embedded Processors," Asia and South Pacific Design Automation Conference (ASP-DAC), pp.831-834, January 2004.
- (12) Toshinori Sato, Daisuke Morishita, "A Field-Customizable and Runtime-Adaptable Microarchitecture," 2nd International Conference on Field-Programmable Technology (FPT), pp.328-331, December 2003.
- (13) 森下大輔, 佐藤寿倫, "履歴を利用して多数の演算器を有効利用するプロセッサの研究," 第7回システムLSI ワークショップ, pp.315-318, November 2003.
- (14) Akihito Sakanaka, Toshinori Sato, "A Leakage-Energy-Reduction Technique for High-Associativity Caches in Embedded Systems," Workshop on Memory Access Decoupled Architectures and Related Issues (MEDEA) held in conjunction with 12<sup>th</sup>



International Conference on Parallel Architectures and Compilation Techniques (PACT), pp.51-56, September 2003.

- (15) 藤井誠一郎, 坂中昭仁, 佐藤寿倫, “参照の局所性を利用したキャッシュメモリのリーク電流削減手法,” 第11回電子情報通信学会九州支部学生会講演会, pp.104, September 2003.
- (16) 佐藤秀則, 藤井誠一郎, 佐藤寿倫, “ループキャッシュによる命令キャッシュ及び分岐予測器の電力削減,” 第11回電子情報通信学会九州支部学生会講演会, pp.105, September 2003.
- (17) 佐藤寿倫, 森下大輔, 濱田哲也, 藤井誠一郎, “履歴に基き適応可能なマイクロアーキテクチャの実現へ向けて,” 第1回リコンフィギャラブルシステム研究会, pp.7-13, September 2003.
- (18) Akihito Sakanaka, Toshinori Sato, “Reducing Static Energy of Cache Memories via Prediction-Table-less Way Prediction,” 13th International Workshop on Power And Timing Modeling, Optimization and Simulation (PATMOS), pp.530-539, September 2003.
- (19) Takenori Koushiro, Toshinori Sato, “An Energy-Efficient Speculative Chip-Multiprocessor Utilizing Trace-level Value Prediction,” 1st Value-Prediction Workshop (VPW1) held in conjunction with 30th International Symposium on Computer Architecture (ISCA), pp.79-85, June 2003.

#### 口頭発表

- (20) Toshinori Sato, “Do Embedded Processors Benefit from Adaptability ?,” 6th International Workshop on Innovative Architecture for Future Generation High-Performance Processors and Systems (IWIA), January 2003.

#### 特許

発明者: 佐藤寿倫

発明の名称: キャッシュメモリ

出願人: 科学技術振興事業団

出願日: 平成14年10月8日

発明者: 佐藤寿倫

発明の名称: キャッシュメモリ

出願人: 科学技術振興事業団

出願日: 平成14年12月27日

発明者: 佐藤寿倫

発明の名称: キャッシュメモリ、及びキャッシュメモリの電力削減方法

出願人: 九州工業大学長

出願日: 平成15年4月23日

発明者: 佐藤寿倫

発明の名称: 電力制御装置

出願人: 九州工業大学長

出願日: 平成15年4月30日

## 研究課題別評価

1 研究課題名：次世代電子商品取引のための質感再技術の構築

2 研究者氏名：津村徳道

3 研究の狙い：

商品の色や質感は、商品の印象を大きく左右する重要な要素の一つである。開発段階においては、色や質感は、形状と同様に、数値的な値ではなく実際に物体を観察することでのみ評価されることが多い。形状に関しては、モックアップを作成したり、コンピュータグラフィックスによる表示により試作前のある程度評価は可能である。しかし、色や質感に関しては、その表示デバイス依存性、照明環境依存性や、色や質感の正確な表現技術の未成熟さ等から試作前の評価は困難であり、開発サイクルにおけるボトルネックとなっているケースが多い。したがって、商品の色や質感を予測し、人間の目に観察される画像として正確に再現することが現在求められている。さらに、異なる場所(地域)に所在を持つセクションが、ネットワークを介して協調し、商品開発を短いサイクルで実現するためには、ネットワークを介した色や質感の正確な伝送が必要となる。色や質感は観察者の照明などの環境に大きく依存するため、異なる環境下間の色や質感の正確な再現が求められている。

本研究課題では、色や質感の記録と再現に関する新しい学問領域として質感工学を立ち上げ、その要素技術とその応用に関わるフレームワークに関してまず考察する。さらにその考察に基づき具体的な事例研究を行う。なお、ここでは、商品開発を例に質感工学に関わるフレームワークを説明するが、これは、電子商取引や電子美術館、遠隔医療、化粧品評価など多様な応用に適用することが期待される。

4 研究成果：

(1)これまでの質感工学の考察とフレームワークの構築

製品開発においては、材料に手を加えることにより試作品が作られ、それをある照明下で人間が観察し、製品の質感を評価する。評価結果がプロセスや材料にフィードバックされ、試作品の改善が行われる。しかし、この過程には多大な労力と時間を要し、開発サイクルのボトルネックとなっている。本研究課題では、これまでの質感工学を考察し、コンピュータグラフィックス、コンピュータビジョン、コンピュータネットワークとの関係をまとめて、一つのフレームワークとして下記のようにまとめた。

### 1.1 コンピュータグラフィックスと質感工学

コンピュータグラフィックス(CG)技術を用いることで、実際に材料から試作することなく、計算機内で加工し、表示デバイスに画像として商品の色や質感が表示することができる。この時、3D形状を作成し、表面の反射特性を付加する処理をCGではモデリング(Modeling)と呼ぶ。計算機内で構築された3D物体に、光線追跡などにより計算機内で照明をあて、仮想カメラで撮影する処理をレンダリング(Rendering)と呼ぶ。

これまで光線追跡などによるリアルなレンダリングには大変な時間を要した。そのため見る角度を変化させたり照明条件を変化させて観察することは困難であった。(リアルさに乏しいCGでは可能であった。)しかし、近年グラフィックボードに搭載されるグラフィック・プロセッシング・ユニット(GPU)の進化が目覚しく、ビデオレート程度の速さで、異方性や羽毛感などの様々な反射特性、さまざまな周囲照明環境下の画像を再現することが可能となった。これによりGPUに与える制御プログラミングが複雑になったが、2003年よりCg(C for Graphics)などGPU用の高級言語が開発され、一般にも大変利用しやすくなってきている。今後、CGを利用した質感工学はますます発展



すると思われる。また、これまでCGにおいては、R、G、Bの3色と透明性を決めるの4つの色属性のみで計算されてきた。しかし、周囲照明による色の变化や、物体間の相互反射など抽象的な4つの色属性のみでは十分に再現できない。そこで、色の物理情報である分光情報を利用するSpectral Renderingの機運がCGの分野でも近年活発になりつつある。

### 1.2 コンピュータビジョンと質感工学

CGを用いたリアルな再現技術が近年急速に充実してきた。しかし、モデリングには多大な時間を要し、また実物の製作は可能であるがプロセスを計算機で書き出すことが不可能な場合も多々ある。たとえば、化粧品開発において顔画像のモデルは非常に重要であるが、実際の顔のようにリアルなものは容易に作成できない。また、個人にカスタマイズした忠実なモデリングなど不可能に等しい。そこで、撮影された画像または画像群から3次元形状や反射特性を推定するImage Based Modelingが、1990年代後半から活発に研究され実用化されてきた。画像から再構成されたモデルに異なる視点、異なる周囲照明下での画像をレンダリングすることで簡易にリアルな画像を合成することができる(Image Based Rendering)。これらは画像からシーンを解析するコンピュータビジョン(CV)の技術を応用したものである。

インバースレンダリングは撮影された画像群から照明や視線の影響のない物体固有の反射特性や3D形状を復元する過程である。インバースモデリングは、さらにその反射特性や3D形状を生成する要素に分解する過程である。物体固有の反射特性や3D形状を復元することにより、様々な環境下での画像、反射特性を変化させたときの画像を予測することが可能である。さらにインバースモデリングにより材料特性まで分解することにより、その材料を変化させた場合の画像の予測が可能となる。

### 1.3 コンピュータネットワークと質感工学

近年の開発プロセスにおいて、距離による時間短縮のためネットワークを介して遠隔で評価することが求められている。さらに、電子商取引や遠隔医療ではこれが必修の要求となる。この時、観察する環境により表示デバイスの特性や、周囲環境が異なる。したがって、これらを考慮した色と質感の再現技術が必要となる。表示デバイスの特性では、その特性に応じて感じる光沢感や透明感が異なるため、デバイスに依存しない光沢感や透明感の再現が必要である。有効な輝度のダイナミックレンジ圧縮も求められている。また、周囲環境光の変化による色の見えの変化に対しては正確な色再現が必要となる。

#### (2) 質感工学の事例研究 : 次元印刷色校正システム (質感工学とコンピュータグラフィックス)

一般に、現在のB to B電子商取引システムによる印刷色校正では、測色的に正確に色再現された色見本画像を使用している。色見本画像は特定の光源・視線方向における色情報であり、実際の印刷色見本の光沢感を十分に伝えることができない。この問題を解決するために、印刷色見本の偏角分光反射特性を取得し、実際の色見本を眺める時のように様々な光源・視線方向における色見本の再現画像をコンピュータ・グラフィックス技術により作成することが求められている。コンピュータ・グラフィックス技術を用いることにより、さらに、周囲環境光を考慮した3次元印刷された商品の質感を再現することが期待されている。

印刷色見本のように表面反射光が強い物体の再現画像はダイナミックレンジが非常に高く、ディスプレイ装置のダイナミックレンジ以上となることが多い。このような再現画像をディスプレイ装置に表示するためにはダイナミックレンジの圧縮が必要であり、測色的色再現を適用することはできない。この問題に対して従来のレンジ圧縮は、図1に示す従来法のように、色や陰影が変化し、印刷色校正のための再現画像としては不十分であった。

そこで本研究では、表面反射成分と内部反射成分を分離し、表面反射成分のみをレンジ圧縮し、さらに空間的なざらつきとして感じる小粗面の影響を考慮した印刷色見本の相対的光沢感再現を

実現した。図1にその結果を示す。従来法に比べて与える光沢感の程度の順番が入れ代わらず、かつ色再現性に高い画像が生成されている。

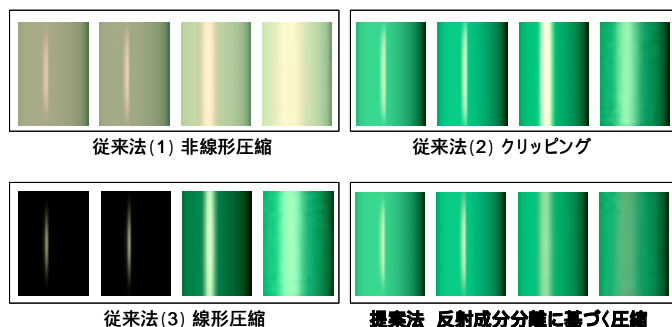


図1 従来法と提案法によるレンジ圧縮結果

(3) 質感工学の事例研究 : 画像に基づく顔画像の解析・合成法 (質感工学とコンピュータビジョン)

肌色の再現は、写真や印刷の分野において従来からもっとも重要であるとされてきた。近年、カメラ付携帯電話、TV電話、メイクアップアドバイスシステム、遠隔医療システムなどの新しい画像システムの登場により、ますます肌の色の再現は、画像コミュニケーション、メイクアップアドバイス、遠隔医用診断等の多種の応用のために重要となっている。たとえばカメラ付き携帯電話で撮影された顔画像を恋人に送信するときには、できるだけ好ましい肌色で再現されることを人々は望む。このような肌の色に関する付加的な処理は、e-コスメティック(電子化粧)と呼ぶことができる。

カメラ付き携帯電話やデジタルカメラに付属のソフトで行われる美白処理等のほとんどは、画像を明るくしたりする階調変換がほとんどである。この場合、変換された画像は、現実に存在しない肌色になることが多い。欧米人とは異なりアジア人は、化粧に対して自然な肌色の変化をもとめる傾向がある。すなわち、化粧とは、現実に存在しえる好ましい肌色を、化粧品を塗布することにより作り出すことといえる。人間の肌色は、表皮に存在するメラニン色素、真皮に存在するヘモグロビン色素によりほとんど決定される。これらの成分にしたがって肌色を変化することにより自然な好ましい肌色を再現することが可能であると考えられる。

そこで、本研究では、メラニン色素とヘモグロビン色素を考慮した物理特性と皮膚生理に基づく画像処理による e-コスメティック手法を開発した。オリジナル画像は、偏光板を組み合わせることで、肌の表面のみで反射される表面反射成分と色素により吸収された後反射される内部反射成分とに分離される。偏光版を用いない場合は精度が落ちるが、コンピュータビジョンの技術を用いて表面反射成分と内部反射成分を分離する。得られた内部反射成分は、陰影除去法を組み込んだ独立成分分析法により、ヘモグロビン成分、メラニン成分、陰影成分に分離される。抽出されたヘモグロビン成分、メラニン成分において、皮膚生理学的画像処理が行われ、変化した成分は再び合成され画像を得ることができる。

(4) 質感工学の事例研究 : 表示デバイスや視環境に依存しない物体の光沢感再現法 (質感工学とネットワーク)

表示デバイスに依存しない画像再現としては、sRGB のように標準色空間を使用したり、ICC Profile のようにデバイスのプロファイルを記述する手法が一般的であった。しかしこれらの手法では、照明などの視環境が限定されており、各デバイスの特性を予め計測する必要があるため実用的な手法ではない。また、表示デバイスに依存しない色再現については考慮されているが、色

に次いで重要とされる光沢感再現に関しては考慮されていない。

そこで本研究では、光沢感に着目し、表示デバイスや視環境に依存しない光沢感再現方法を提案した。Ferwerdaらは物体の持つ物理的特性のうち、色・偏角反射特性と人間が知覚する光沢感の関係をモデル化した。本研究では、Ferwerdaらの手法を拡張し、デバイスの最大輝度・物体の偏角反射特性と人間が知覚する光沢感の関係をモデル化することにより、異なる最大輝度を持つデバイス間における最大輝度に依存しない光沢感再現方法を実現した。図2に光沢感モデルを作成する際に用いた画像の例を示す。デバイスの最大輝度 $I$ 、光沢成分の強度、広がりを制御するパラメータ $A_s, n$ を変化させている。

図2に示すような評価画像を、20名の被験者に光沢感 $G$ に関して評価してもらった結果を統計処理することによって図3に示すような等光沢感曲面(図では曲線)を得ることが出来る。図3は、説明のため $I, A_s, n$ の3次元空間の中から $n = 0.027A_s + 0.005$ の面を切り出して表示している。図4に、得られた等光沢感曲面を利用して異なる輝度をもつデバイス間の光沢感を補正した結果をしめす。図4(a)は輝度の高いディスプレイに表示された原画像、図4(b)は、原画像をそのまま輝度の低いディスプレイに表示した場合である。原画像に比べて対象の光沢感が低く感じられる。図4(c)は、原画像と同じ光沢感を与えるように図3に示す等光沢感曲線上を維持したまま、デバイス輝度 $I$ の変化に従って、光沢感パラメータ $A_s, n$ を変化させた場合の補正画像である。原画像に近い光沢感を再現できている。

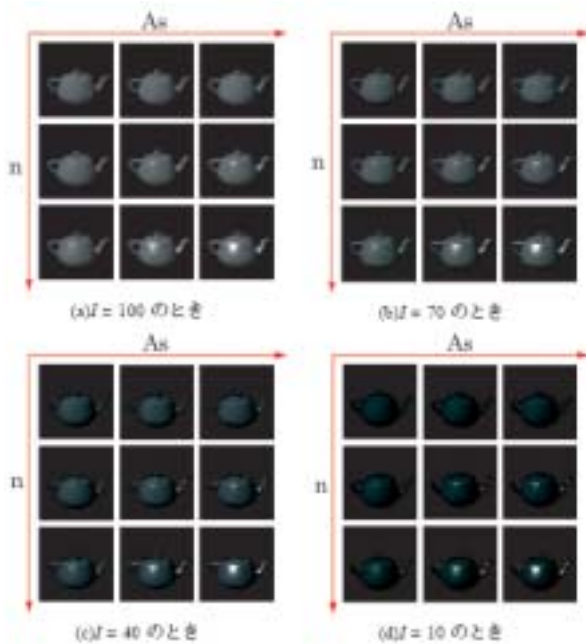


図2 光沢感のモデル化に用いた評価画像の例

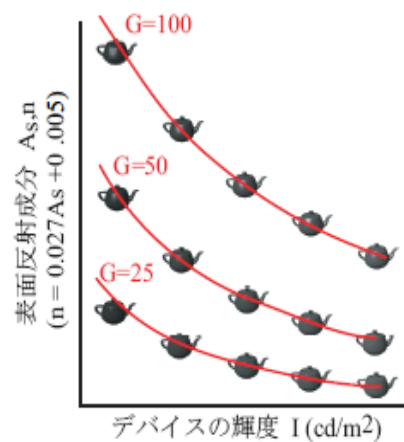


図3 等光沢感曲線

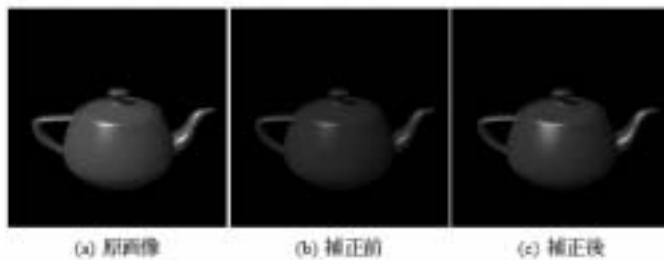


図4 等光沢感曲線を利用した異なる輝度をもつデバイス間の光沢感再現

(5) その他の質感工学の事例研究成果

本評価では割愛したが、本研究では質感の記録に関して、図5に示すように回転式ロボットアームを用いて光源を任意の位置に配置するシステムを構築し、撮影対象に応じて適応的に光沢などの質感情報を撮影するシステムを開発した。本システムで撮影した質感画像情報をDirectXを用いてディスプレイに表示し、その再現評価を行っている。一方、すでに撮影された単一画像に対しても表面反射成分と内部反射成分をインタラクティブに分離することにより、光沢感を制御する手法を提案し、図6に示すような光沢感制御GUIを作成している。また他に、入力された画像に対して、光沢感の以外に、半透明感を光の散乱特性を考慮することにより制御する手法を提案している。

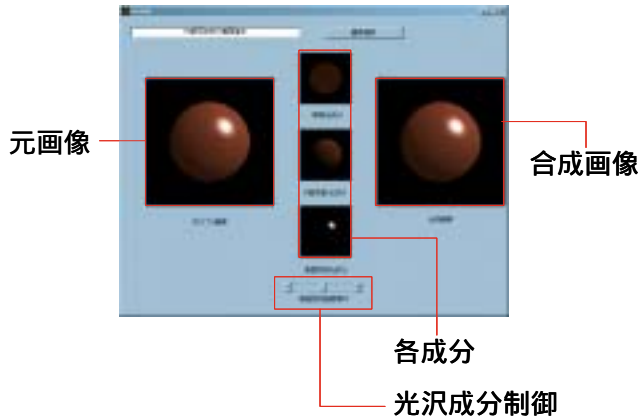
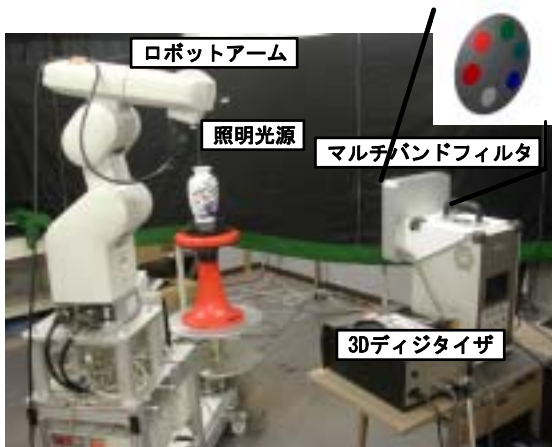


図5 適応的偏角分光イメージングシステム

図6 単一画像に対する光沢感制御GUI

5 自己評価:

さきがけプログラムに採用いただいたことにより、これまで入手困難であった質感計測のための計測装置を購入、または開発することができた。これにより得られた計測データを利用し、研究成果で述べたように質感工学の構築のために作成したフレームワークに関係する幾つかの事例研究を行うことが出来た。

色、光沢感、透明感などの物体の質感を、顧客のディスプレイ上に正確に配信する技術の構築を行うために当初の研究計画では下記の3点を主として挙げていた。(1)各デバイスは、その色再現域、最大輝度、ダイナミックレンジが異なるため、物理的に物体の輝度を再現することは不可能である。そこで、順応などの視覚特性を考慮した適応的な再現を行う。(2)順応などの視覚特性は、コンピュータグラフィックスを用いた再現画像を用いて、実際に主観評価実験と行い、心理

物理量である尺度空間内でモデル化を行う。(3)さらに、顧客の要求にインタラクティブにサーバ内で再現画像をレンダリングする必要があるため、複数のコンピュータを用いた並列・分散処理による質感再現のための配信サーバ・アーキテクチャの研究・構築を行う。上記の(1)(2)に関しては、映像メディア学会誌に採録された論文に示すように、十分な成果が得られた。(3)に関しては、情報処理学会で発表するなどある程度の成果を挙げたが、個人研究者のみでは、実用的な配信サーバ・アーキテクチャを構築することができず、アイデアの提示と非常に簡単なデモ実験をおこなう程度となった。

しかし、実用的な配信サーバ・アーキテクチャを構築する代わりに、作成したフレームワークに基づき複数の実用的な事例研究を行い、それぞれが十分に実用的な成果を挙げていることは高く評価できる。また、実用的な事例研究に必要な質感の記録に対しても研究を注力し、アーカイブ応用としては偏角分光画像計測装置を開発し、光沢感の正確な記録とその再現方法の有効性を実証した。

色や質感は、人間の評価のもとに存在する属性であり、様々な環境によって人間の感じる色や質感は変化しうる。本研究課題では、一方では、合成画像を作成し最終的な評価を人間にゆだねるアプローチをとり、また、一方では多くの主観評価結果の統計解析の結果、人間に感じる光沢感のモデル化に迫った。人間の評価は大変奥が深い。人間に評価をゆだねる部分と、人間の評価をモデル化する部分のバランスを絶妙なセンスで保つことがこの分野の安定な今後の発展に重要と考えている。

#### 6 研究総括の見解:

色や質感に関しては、その表示デバイス依存性、照明環境依存性、色や質感の正確な表現技術の未成熟さ等からその正確な再現が困難であった。津村研究者は、色や質感の記録と再現に関する新しい学問領域として質感工学を立ち上げ、その要素技術と応用に関わるフレームワークを作成した。そして、その考察に基づき「3次元印刷色校正システム」、「画像に基づく顔画像の解析・合成法」など複数の事例研究を行い、質感工学の有効性を示した。招待講演も多く、この研究は実用価値の非常に高い研究であると思われ、電子商取引や電子美術館、遠隔医療、化粧品評価など多様な応用に利用されることが期待できる。

#### 7 主な論文等:

##### 論文(原著論文)

1. Koichi Takase, Norimichi Tsumura, Toshiya Nakaguchi and Yoichi Miyake, Fast Estimation Algorithm for Calculation of Reflectance Map based on Wiener Estimation Technique, OPTICAL REVIEW Vol.12, No.1 pp.20-24(2005).
2. 津村徳道, 池田哲男, 三宅洋一, 表示デバイスや視環境に依存しない物体の光沢感再現法, 映像情報メディア学会誌, Vol.58. No.9, pp.1324-1329(2004).
3. Norimichi Tsumura, Nobutoshi Ojima, Kayoko Sato, Mitsuhiro Shiraishi, Hideto Shimizu, Hirohide Nabeshima, Syuuichi Akazaki, Kimihiko Hori, Yoichi Miyake, Image-based skin color and texture analysis/synthesis by extracting hemoglobin and melanin information in the skin, acm Transactions on Graphics, Vol. 22, No. 3.pp. 770-779(2003). (Proceedings of ACM SIGGRAPH 2003)

##### 査読付き国際会議論文

1. Takashi Sugaya, Koichi Takase, Toshiya Nakaguchi, Norimichi Tsumura, Yoichi Miyake, Chiba University Hideto Motomura, Super Resolution Based on Texton Substitution, ACM

- SSIGGRAPH 2004 Poster (2004.8.10,11, LA)
2. Norimichi Tsumura, Nobutoshi Ojima, Toshiya Nakaguchi, Yoichi Miyake, "Empirical model of skin diffuse reflectance for skin color analysis," 2004 ICO International Conference Optics & Photonics in Technology Frontier, pp.117-118, Chiba, Japan, July, 2004.
  3. Koichi Takase, Norimichi Tsumura, Toshiya Nakaguchi, Yoichi Miyake, "Rapid BRDF estimation method from measured radiances based on Wiener estimation technique," 2004 ICO International Conference Optics pp.315-316, Chiba, Japan, July, 2004
  4. Norimichi Tsumura, Minh Nguyet Dang, and Yoichi Miyake, Estimating the Directions to Light Sources Using Images of Eye for Reconstructing 3D Human Face, IS&T/SID's 11th Color Imaging Conference, Color Science, Systems and Appl. , 77-81(2003).
  5. Toru Ishii, Norimichi Tsumura, Masami Shishikura, Yoichi Miyake, Reproducing 3D Prints on Monitor by Relative-Glossiness Matching Technique, IS&T/SID's 11th Color Imaging Conference, Color Science, Systems and Appl. , 23-29(2003).
  6. Norimichi Tsumura, Nobutoshi Ojima, Kayoko Sato, Mitsuhiro Shiraishi, Hideto Shimizu, Hirohide Nabeshima, Syuuichi Akazaki, Kimihiko Hori, Yoichi Miyake, Image-based skin color and texture analysis/synthesis by extracting hemoglobin and melanin information in the skin, acm Transactions on Graphics, Vol. 22, No. 3.pp. 770-779(2003). (Proceedings of ACM SIGGRAPH 2003)
  7. K. Cherdhirunkorn, N. Tsumura and Y. Miyake, Spectral Based Color Reproduction Compatible with sRGB System under Mixed Illumination Conditions for E-Commerce, Proc. IS&T PICS Conference, 264-269(2003,Rochester).
  8. M. Okuyama, N. Yokoyama, D. Nakao, N. Tsumura and Y. Miyake, Accurate Mapping Pigmentations in Human Skin by Spatio-Temporal Modulation of Light Source in the Multi-spectral Imaging, Proc. IS&T PICS Conference, 272-277(2003,Rochester).
  9. T.Ikeda, N.Tsumura and Y.Miyake, Device Independent Gloss Reproduction Model for E-Commerce: Estimation of Radiance on Display, Proc. IS&T PICS Conference, 425-428(2003,Rochester).
  10. T. Fujimaki, K. Ishii, N. Tsumura and Y. Miyake, Proposals of Standard Spectral Image and Its Application to Designing of CCD camera, Proc. IS&T PICS Conference, 496-499(2003,Rochester).
  11. N. Ojima, N. Tsumura, H. Shimizu, H. Nabeshima, S. Akazaki, K. Hori and Y. Miyake, Measurement of Skin Chromophores by Independent Component Analysis and the Application to Cosmetics, Proc. IS&T PICS Conference, 571-574(2003,Rochester).
  12. N. Tsumura, K. Cherdhirunkorn, T. Ikeda, D. Nakao and Y. Miyake, Spectral Based Color Reproduction for E-commerce with High Compatibility,IS&T/SID's 10th Color Imaging Conference, Color Science, Systems and Appl. , 246-249(2002).

#### 特許出願

1. 津村徳道, 高瀬紘一, 三宅洋一, 中口俊哉, 物体の双方向反射分布関数の高速推定法、  
特願 2004 - 072620、04/3/15
2. 津村徳道, 河西将範, 藤牧達彦, 三宅洋一, 画像の取得方法、特願 2003 - 080137、  
03/3/24
3. 津村徳道, ダン・ミン・グィエン, 三宅洋一,  
眼球画像からの光源情報の抽出方法及び光源情報の抽出装置、  
特願 2003 - 080138、03/3/24

4. 津村徳道, 通信ネットワークを介した商品画像の色再現方法、特願 2002 - 312057、02/10/28
5. 津村徳道, 池田哲男, 三宅洋一, 表示デバイスの特性に依存しない光沢感再現方法、特願 2002 - 079328 02/3/20

#### 招待講演

1. Norimichi Tsumura, Appearance reproduction and multi-spectral imaging, 10th Congress of the International Colour Association, AIC Colour 05 (2005.5.10)
2. 津村徳道, 分光画像に基づく色と質感の再現, 日本写真学会年次大会 2004 (2004.5.27, 東京) 12-13.
3. 津村徳道, 顔色解析・合成方法: IT時代に求められる電子化粧技術, 独立行政法人 科学技術振興機構 2004 第1回基礎研究報告会 シンポジウム「ITが変える世界と生活」p.34 (2004.3.9)
4. 津村徳道, 色素成分分離計測法による肌の色とテクスチャーの解析・合成, レーザ学会創立30周年記念 レーザ学会学術講演会第24回年次大会, 講演予稿集 212-213(仙台, 2004.1.29).
5. 次田哲也, 津村徳道, OCTによる肌計測と肌画像の解析, 生体医用光学ブレイクスルーフォーラム 進化するバイオイメージング, 予稿集 pp.27-34(2003.12.22, 財団法人 光産業技術振興協会 A/B 会議室))
6. 津村徳道, 画像に基づく肌の色とテクスチャーのヘモグロビンとメラニン 情報の抽出による解析・合成法, 第19回 NICOGRAPH 論文コンテスト pp.1-9(2003.11.21, 慶応大学 矢上キャンパス).
7. 津村徳道, 小島伸俊, 佐藤加代子, 三宅洋一, 独立成分分析を用いた肌の実画像の解析と合成法, Visual Computing グラフィックスとCADの合同シンポジウム 2003, pp.117-120(2003)
8. 津村徳道, 可視光領域の分光画像計測とその応用, 電子情報通信学会技術研究報告(信学技法), PRMU2003-5, MI2003-5, pp.25-30(2003).
9. 津村徳道, スペクトラルイメージングとその応用, 日本写真学会 サマーセミナー 2002 資料 23-32(2002).



## 研究課題別評価

1 研究課題名: チップ間ダイレクト光接続を用いた高バンド幅コンピューティング

2 研究者氏名: 成瀬 誠

3 研究の狙い:

100Gbps を超えるワイヤスピードで動作する超高速光デバイスや回折限界を超える微小化を可能にしたナノフォトニクス技術など、最近の光技術はこれまでの光システムの前提を覆している。そのため、これに対応した新しいシステム技術が必要になる。そこで本研究では、新しい光の物理層の前提を踏まえたコンピューティングを追求した。

4 研究成果:

光の超高速性を生かすコンピューティング:たとえば回線速度 1Tbps(毎秒 1 テラ=1 兆ビット)の通信では隣り合う信号の間隔はおよそ 0.3mm に過ぎず、タイミング管理が極めて重要となる。他方で、超高速領域のタイミングを利用できれば、膨大な情報処理が光領域で実現されることになる。こうした超高速域でのコンピューティングを検討し、デスクューシステム並びにタイミング制御に基づく論理演算を示した。

超高集積性を生かすコンピューティング:20 世紀の光コンピューティングが開花しなかった理由の一つは、集積度の悪さにある。すなわち、回折による物理限界のためおよそ波長のスケール以下には光の集積化は不可能であった(シリコン VLSI の線幅は既に 90nm 程度であるのに対し通信波長は 850nm や 1.5 $\mu$ m で 10 倍程度大)。ところが回折限界を打破するナノフォトニクス技術によって、この前提が現在では覆っている。そのため、光の微細化を踏まえた新しいコンピューティングは如何なるフレームにおいて可能か、という重大な研究要素が派生する。そこで本研究では近接場光の局在的なダイナミクスを用いつつ、機能的には大域的な機構であるデータの和算(summation)やデータの同報(broadcast)を実現するためのアーキテクチャを示した。これにより光ベクトル演算をナノスケールで実現する可能性が示された。

シンプルな物理構造とアービトレーション:上記の や で前提とされる光技術、また他の光デバイス技術においても未だ実現されていない機能に、光のランダムアクセスメモリ(RAM)がある。そのため、複雑な演算を光領域で実現するのは現状では困難と言わざるを得ない。また、膨大な光デバイスを制御するために必要な電気配線などの実装上の制約に対応するために、光デバイスの構造的なシンプルさも重要となる。他方で、例えばネットワークのノードにおけるパケットスイッチングでは、回線速度の高速化に対応して、パケット毎に割り当て可能な計算時間は益々短くなっている。すなわち、光技術の物理的制約と応用の要求の双方の観点から、構成や方式のシンプルさは重要な観点と言える。そこで本研究では、構造と制御のシンプルさを備えたパケットスイッチング方式を提案するとともに、多層構造を有する光スイッチデバイスの開発を進めた。

5 自己評価:

近年の光技術の進歩を前提としつつ、光の高バンド幅を生かす応用システムが当初の目標である。研究期間で得られた成果は、いずれも新しい光実現技術の物理を前提としながら、システムとしての抽象的な意味や機能を踏まえたシステムに関する研究成果であり、期待以上の成果を得ることができたように自己評価している。領域会議における領域総括、領域アドバイザーの先生方との議論や、研究の自由度が確保された様々な環境等が効果的に作用したように思われる。



## 6 研究総括の見解:

最近の光技術の進歩は目覚ましく、100Gbps を超える速度で動作する光スイッチデバイスや、回折限界と呼ばれる従来の光の集積限界を超えたナノフォトニクスなどの新しい技術が萌芽している。成瀬研究者はこのような光のもたらす新しい前提を踏まえ、超高速・超高集積・アービトレーションの3つの視点から光コンピューテーションのアーキテクチャを示し、現実のデバイスを用いた実証的研究を行った。具体的には 超高速領域におけるデスクューシステムやタイミング制御に基づく論理演算システムの実証、データの和算やデータの同報機構を考察し、光ベクトル演算をナノスケールで実現する可能性の提案、構造と制御のシンプルさを備えたパケットスイッチング方式の提案と多層構造を有する光スイッチデバイスの開発などにおいて期待以上の成果を挙げた。今後の研究の進展が楽しみである。

## 7 主な論文等:

### 【誌上論文】

1. M. Naruse, F. Kubota, H. Mitsu, I. Iwasa, S. Tatsuura, Y. Sato, M. Tian, and M. Furuki: High-bandwidth measurement of femtosecond optical pulse timing based on two-dimensional transmission gating and parallel processing, *Optics Express*, Vol. 13, No. 3, pp. 860-866, Feb. 2005
2. M. Naruse, T. Miyazaki, F. Kubota, T. Kawazoe, K. Kobayashi, S. Sangu, M. Ohtsu: Nanometric summation architecture using optical near-field interaction between quantum dots, *Optics Letters*, Vol. 30, No. 2, pp. 201-203, Jan. 2005
3. M. Furuki, I. Iwasa, S. Tatsuura, Y. Sato, M. Tian, T. Matsubara, H. Mitsu, M. Naruse, and F. Kubota: Ultrafast time-serial to space-parallel converter using organic dye films, *IEICE Transaction on Electronics*, Vol. E87-C, No. 7, pp. 1161-1165, 2004
4. M. Naruse, H. Mitsu, M. Furuki, I. Iwasa, Y. Sato, S. Tatsuura, M. Tian and F. Kubota: Terabit all-optical logic based on ultrafast two-dimensional transmission gating, *Optics Letters*, Vol. 29, No. 6, pp. 608-610, 2004
5. A. Cassinelli, M. Naruse and M. Ishikawa: Multistage Network with Globally-Controlled Switching Stages and its implementation using Optical Multi-interconnection Modules, *IEEE/OSA Journal of Lightwave Technology*, Vol. 22, No. 2, pp. 315-328, 2004
6. M. Naruse, H. Mitsu, M. Furuki, I. Iwasa, Y. Sato, S. Tatsuura and M. Tian: Femtosecond timing measurement and control using ultrafast organic thin films, *Applied Physics Letters*, Vol. 83, No. 23, pp. 4869-4871, 2003 (同論文は下記ジャーナルにも掲載された。Virtual Journal of Ultrafast Science, December 2003, Vol. 2, Iss. 12, Ultrafast Methods and Measurement Techniques, <http://ojps.aip.org/dbt/dbt.jsp?KEY=VIRT05&Volume=2&Issue=12>)

### 【特許】

1. 成瀬 誠, アルバロカシネリ: 光インターコネクション接続電子装置と光ファイバレイモジュール
2. 成瀬 誠, 飯野哲男, 井出義高: 共焦点顕微鏡システム
3. 成瀬 誠: 光演算装置
4. 成瀬 誠, アルバロカシネリ: 光インターコネクション装置
5. 成瀬 誠, アルバロカシネリ: 光インターコネクション装置
6. 成瀬 誠, 大津元一, 川添 忠: 演算装置
7. 成瀬 誠, アラングレン, アルバロカシネリ, 石川正俊: 光パケットルータとそのルーティング方法
8. 成瀬 誠, 大津元一, 川添 忠: 量子ドットを用いた光接続装置

【解説記事】

1. 成瀬 誠:「情報処理」コラム 20 世紀の名著名論: J. W. Goodman, F. J. Leonberger, S.-Y. Kung and R. A. Athale: Optical Interconnections for VLSI Systems, 情報処理, Vol. 45, No. 5, p. 536, 2004

【招待講演】

1. M. Naruse: Linking Ultra High-Speed and High-Density Emerging Photonic Devices to Computational Systems, 2005 IEEE Workshop on Interconnections within High Speed Digital Systems (Santa Fe, 2005. 5. 9), May, 2005 (invited) (to appear)
2. M. Naruse: Possibility of ultrahigh-density optical nodes using nanophotonics, The 4th US-Japan Joint Symposium on Nanophotonics(Tokyo, 2004.10.25)
3. M. Naruse: Architectural approach to nanophotonics for communication and information processing applications, The 4th US-Japan Joint Symposium on Nanophotonics (Tokyo, 2004.10.26)
4. 成瀬 誠, 宮崎哲弥, 久保田文人: ナノフォトニクスを用いた超高集積コンピューテーション, 電子情報通信学会 2004 年総合大会(東京 2004.3.22), SC-1-3 /講演論文集, pp. S-29-30
5. 成瀬 誠: 超高速光スイッチが拓く時空融合光信号処理, 超高速光技術シンポジウム(東京 2004. 11. 2)

【国際会議】

1. M. Naruse, F. Kubota, T. Kawazoe, S. Sangu, K. Kobayashi, M. Ohtsu: Optical Interconnects using Optical Far- and Near-field Interactions for High-density Data Broadcasting, Conference on Lasers and Electro-Optics/Quantum Electronics and Laser Science Conference (CLEO/QELS 2005)(Baltimore, 2005. 5. 25), May 2005, to appear
2. M. Naruse, F. Kubota, H. Mitsu, M. Furuki, I. Iwasa, S. Tatsuura, Y/ Sato, M/ Tian, T. Matsubara, Skew Reduction Based on Two-dimensional Transmission Gating Using Molecular Dye Film Operated at 1.55  $\mu$ m, Conference on Lasers and Electro-Optics/Quantum Electronics and Laser Science Conference (CLEO/QELS 2005)(Baltimore, 2005. 5. 26), May 2005, to appear
3. M. Naruse, T. Miyazaki, F. Kubota, H. Yoshida, H. Ishikawa: Ultrafast all-optical NOR gate based on intersubband and interband modulation operating at communication wavelengths, Optical Fiber Communication Conference and Exposition (OFC 2005) (Anaheim, 2005. 3. 11), FE3, Mar. 2005
4. M. Naruse, T. Kawazoe, S. Sangu, K. Kobayashi, T. Miyazaki, F. Kubota, and M. Ohtsu: Nanometric summation architecture using optical near-field coupling between quantum dots, 30th European Conference on Optical communication (ECOC 2004) (Stockholm, 2004. 9. 7), Tu3.4.5, pp. 202-203, September 2004
5. A. Goulet, A. Cassinelli, M. Naruse, F. Kubota, M. Ishikawa: A load-balanced optical packet switch architecture with an O(1) scheduling complexity, 9th OptoElectronics and Communications Conference/3rd International Conference on Optical Internet (OECC/COIN 2004) (Yokohama, 2004. 7. 15), post-deadline paper PD1-1, July 2004
6. M. Naruse, T. Miyazaki, F. Kubota, S. Sangu, K. Kobayashi, T. Kawazoe, and M. Ohtsu: Nanoscale matching architecture using optical near-field coupling, 2004 ICO International Conference (Chiba, 2004. 7. 13), 13D2-20, pp. 169-170, July 2004
7. M. Naruse, H. Mitsu, M. Furuki, I. Iwasa, Y. Sato, S. Tatsuura, M. Tian, F. Kubota: Terabit all-optical logic using ultrafast two-dimensional optical switch, Conference on Lasers and

- Electro-Optics and International Quantum Electronics Conference (CLEO/IQEC) (San Francisco, 2004. 5. 21), CFJ5, May 2004
8. M. Naruse, F. Kubota, H. Mitsu, M. Furuki, I. Iwasa, Y. Sato, S. Tatsuura, and M. Tian: Femtosecond pulse timing measurement using an ultrafast organic molecular film and a computational sensor array, Optical Fiber Communication Conference and Exposition (OFC 2004) (Los Angeles, 2004. 2. 27), FF6, Feb. 2004
  9. A. Cassinelli, M. Naruse and M. Ishikawa: Stage-Distributed Time-Division Permutation Routing in a Multistage Optically Interconnected Switching Fabric, 29th European Conference on Optical Communication (ECOC 2003) (Rimini 2003.9.24), Vol. 3, We 4.P.137, pp. 830-831, September 2003
  10. H. Mitsu, M. Naruse, M. Furuki, I. Iwasa, Y. Sato, S. Tatsuura, M. Tian and F. Kubota: Femtosecond Timing Measurement Using a Two-Dimensional Optical Switch, The 10th International Workshop on Femtosecond Technology (FST 2003)(Chiba, 2003. 7. 17), TP-25, p. 174, July 2003
  11. M. Naruse, H. Mitsu, M. Furuki, I. Iwasa, Y. Sato, S. Tatsuura, M. Tian and F. Kubota: Jitter and Skew Reduction Using Ultrafast Two-Dimensional Optical Switch, The 10th International Workshop on Femtosecond Technology (FST 2003)(Chiba, 2003. 7. 17), TA-7, p. 58, July 2003
  12. M. Naruse, H. Mitsu, M. Furuki, I. Iwasa, Y. Sato, S. Tatsuura, M. Tian and F. Kubota: Jitter and Skew Reduction Using an Ultra-fast Two-Dimensional Organic Optical Switch, Conference on Lasers and Electro-Optics/Quantum Electronics and Laser Science Conference (CLEO/QELS 2003)(Baltimore, 2003. 6. 3), JTuD3, June 2003
  13. M. Naruse, A. Cassinelli, M. Ishikawa: Two-dimensional fiber array with integrated topology for short-distance optical interconnections, 2002 IEEE LEOS Annual Meeting(Glasgow, 2002.11.14)/Conference Proceedings, pp.722-723, 2002
  14. M. Naruse, Y. Ide, T. Iino, and F. Kubota: Parallel VCSEL microscope: optimal design and instrumentation, International Conference on Optics-photonics Design & Fabrication 2002(Tokyo, 2002.11.1)/Conference Proceedings, PD06
  15. M. Naruse, A. Cassinelli, M. Ishikawa: Real-Time Alignment Using Mechanical Dynamics of Optical Interconnection Systems, OSA Annual Meeting & Exhibit 2002 (Orlando, 2002.10.1)/Conference Program, p.77
  16. A. Cassinelli, M. Naruse, and M. Ishikawa: Quad-tree Image Compression using reconfigurable free-space optical interconnections and pipelined parallel processors, Proceedings of 2002 International Topical Meeting on Optics in Computing (Taipei, Taiwan, 2002.4.8) pp. 23-25, 2002

【国内会議発表】

1. 成瀬 誠, 宮崎哲哉: ナノフォトニクスを用いた信号処理システムの基本機能, 2005 年春季応用物理学関係連合講演会(東京 2005.3.30)/講演予稿集 p. 120
2. 成瀬 誠, 吉田春彦, 宮崎哲弥, 石川 浩: サブバンド間バンド間光変調を用いた超高速 NOR ゲート, 電子情報通信学会 2005 年総合大会(大阪 2005.3.21)/講演予稿集 B-10-108
3. A. Cassinelli, A. Goulet, M. Naruse, F. Kubota, and M. Ishikawa: Load-balanced optical packet switching using two-stage time-slot interchangers, 電子情報通信学会ソサイエティ大会(徳島 2004. 9. 23), BS-10-5, 2004
4. 川添 忠, 小林 潔, 成瀬 誠, 大津元一: 量子ドット間の近接場光エネルギー移動を用いたナノ光 NOT ゲート, 第 65 回応用物理学学会学術講演会(仙台 2004.9.2)/講演予稿集 p. 922
5. 三津博之, 成瀬 誠, 辰浦 智, 松原崇史, 古木 真, 佐藤康郊, 岩佐 泉, 田 民権, 久保田

- 文人: 有機色素薄膜を面型光スイッチとして用いた通信波長帯超高速光信号のタイミング制御, 第 65 回応用物理学学会学術講演会(仙台 2004.9.1)/講演予稿集 p. 1044
6. 成瀬 誠, 三津博之, 古木 真, 岩佐 泉, 佐藤康郊, 辰浦 智, 田 民権, 久保田文人: タイミング制御と超高速光-光スイッチを用いた全光テラビット論理処理, 2004 年春季応用物理学関係連合講演会(東京 2004.3.31)/講演予稿集 p. 1317
  7. 川添 忠, 成瀬 誠, 大津元一: 量子ドット間の近接場光エネルギー移動を用いたナノ光 D/A コンバータ, 2004 年春季応用物理学関係連合講演会(東京 2004.3.30)/講演予稿集 p. 1311
  8. 成瀬 誠, 三津博之, 古木 真, 岩佐 泉, 佐藤康郊, 辰浦 智, 田 民権, 久保田文人: 面型光スイッチと光電子 VLSI を用いた超高速光パルスの階層的タイミング検出, 2004 年春季応用物理学関係連合講演会(東京 2004.3.29)/講演予稿集 p. 1200
  9. A. Cassinelli, 成瀬誠, A. Goulet, 石川正俊: Arbitration-Free Time-Division Permutation Switching Suitable for All-Optical Implementation, 電子情報通信学会技術研究報告(ネットワークシステム研究会・フォトニックネットワーク研究会), NS2003-201, PN2003-29), pp. 23-27, December 2003.
  10. 成瀬 誠, 三津博之, 古木 真, 岩佐 泉, 佐藤康郊, 辰浦 智, 田 民権, 久保田文人: 面型光スイッチを用いた超高速光信号のジッター・スキュー低減, 第 50 回応用物理学関係連合講演会(神奈川 2003.3.27)/講演予稿集 p. 1257
  11. A. Cassinelli, M. Naruse, M. Ishikawa, F. Kubota: Reconfigurable optical interconnections using multi-permutation-integrated fiber modules, 第 50 回応用物理学関係連合講演会(神奈川 2003.3.27)/講演予稿集 p. 1256
  12. 三津博之, 成瀬 誠, 古木 真, 岩佐 泉, 佐藤康郊, 辰浦 智, 田 民権, 久保田文人: 面型光スイッチを用いた超高速光信号のタイミング検出, 電子情報通信学会 2003 年総合大会(宮城 2003.3.19)/講演論文集 p. 532
  13. A. Cassinelli, M. Naruse, M. Ishikawa, and F. Kubota: A modular, guided-wave approach to plane-to-plane optical interconnects for multistage interconnection networks, Optics Japan 2002(東京 2002.11.3)/講演予稿集, pp. 124-125
  14. 成瀬 誠, 石川正俊: 高密度光インターコネクットの機械的ダイナミクスを用いたアクティブアライメント, 第 49 回応用物理学関係連合講演会(神奈川 2002.3.30)/講演予稿集, p.1193
  15. A. Cassinelli, M. Naruse, and M. Ishikawa: Elemental optical fiber-based blocks for building modular computing parallel architectures, 第 49 回応用物理学関係連合講演会(神奈川 2002.3.27)/講演予稿集, p.1204

## 研究課題別評価

1 研究課題名: 超微細 LSI におけるオンチップ高速信号伝送技術の開発

2 研究者氏名: 橋本昌宜

3 研究の狙い:

本研究では、将来の超微細 LSI においてブロック間の長距離信号伝送を高速に行う技術の開発を行ってきた。本信号伝送技術によって、CPUとメモリ間あるいはプロセッサ間的高速かつ大容量な通信を実現し、LSI 内でのバスボトルネックの問題を解消する。これにより、超高性能システム LSI やオンチップ超並列コンピューティングを可能とする。

近年、配線性能の制約によって LSI の性能が、製造プロセスが微細化されても向上しないのではないかと危惧されている。本研究では、LSI 内部の配線によって伝送線路を実現し、電磁波の速度での信号伝播特性を利用して、配線性能の問題を解決する。しかし、単純に現在のグローバル配線を伝送線路に置き換えただけでは大幅な高速化は実現できない。光速という物理的な限界によりチップ全体のグローバルクロックをそれほど上昇させることができないためである。本研究では、線路にグローバルクロックよりも短いサイクルで信号を連続的に送り込むウェーブパイプライン技術を用い、データバンド幅を向上させる(図 1 参照)。これにより、配線性能ではなくトランジスタの性能の向上にそった信号伝送容量の向上を実現することが出来る(図 2 参照)。本伝送方式は、将来的に予想されているグローバルクロックとローカルクロック周波数が異なる LSI システムにも適しており、将来の大規模な LSI における標準的な信号伝送方式となることが期待される。

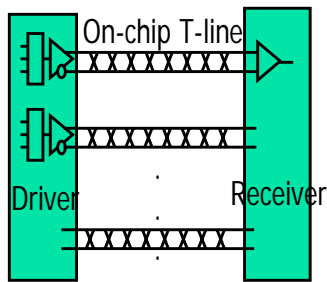


図 1 提案信号伝送方式

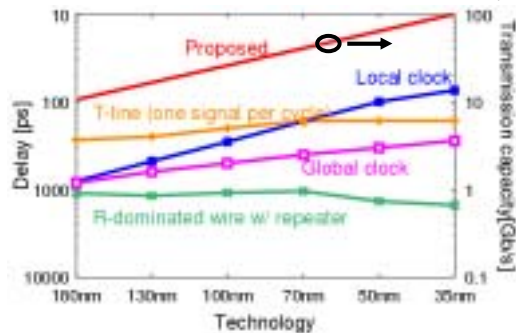


図 2 提案信号伝送方式による目標信号伝送性能

4 研究の成果

本研究では、オンチップ伝送線路上でウェーブパイプライン技術を用いた信号伝送を行うことでトランジスタ性能の向上に比例した通信性能向上の実現を目指している。目標性能を実現するためには大きく分けて以下の 4 つの課題がある。

- オンチップ伝送線路の最大性能 (4.1 節)
- 信号伝送のエネルギー効率 (4.2 節)
- オンチップ信号伝送に適した信号伝送方式 (4.2 節)
- ドライバ、レシーバ回路などの要素回路の設計 (4.3 節)

以下でそれぞれについて説明する。

4.1 オンチップ伝送線路の最大性能

オンチップ配線は抵抗が高く損失が大きいことが特徴である。分散による波形ひずみよりも信号の減衰が配線の信号最大伝送能力を決める要因となる。損失による減衰は、図 3 に示すように信号線幅を広げてもある程度以上に改善することができず、本質的な問題である。抵抗以外の損失要因として誘電損があるが、現在の配線の絶縁材料 SiO<sub>2</sub> の  $\tan\delta$  は 0.0006 と小さく、1THz にお

いても導体損失が支配的である(図 4 参照)。

配線の伝送特性を評価するため、区分線形関数による波形近似を用いたアイパターン評価技術

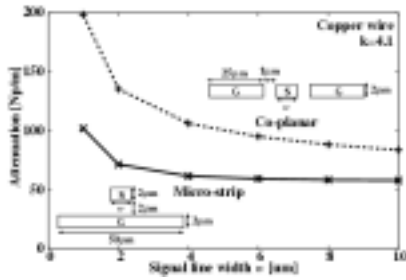


図 3 配線幅と減衰定数の関係

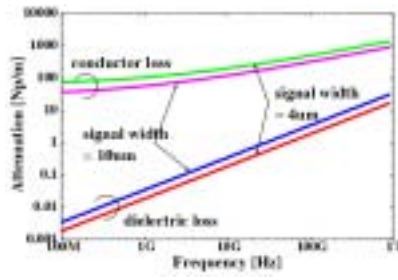


図 4 導体損失と誘電損失

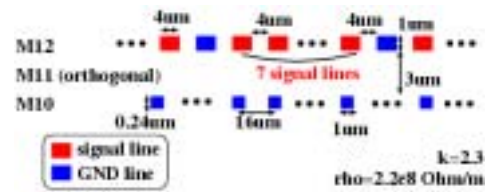


図 5 評価に用いた配線構造

を開発した。これはパルス幅、立ち上がり時間、立ち上がり電圧、伝播時間のパラメータのみからアイパターンの電圧方向の開口を解析的に求めることができる。これを用いて、伝送速度、アイの電圧方向の開口、配線長、信号伝送方式(シングルエンド、ディファレンシャル)の間のトレードオフを評価した。配線構造は図 5 を想定した。

図 6 にレシーバのセンス可能な最小電圧値をパラメータとしたビットレートと配線長のトレードオフ曲線を示す。配線長とビットレートにはトレードオフの関係があることが分かる。シングルエンド伝送の場合、レシーバの感度によって通信性能があまり変化しないのに対し、ディファレンシャル伝

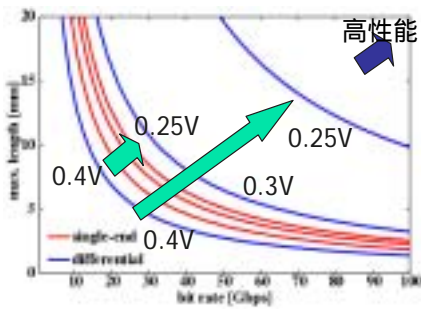


図 6 ビットレート、レシーバ感度と信号伝送距離の関係

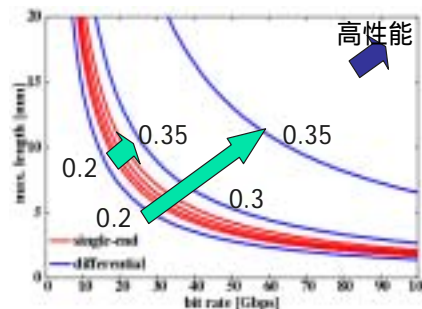


図 7 ビットレート、配線の減衰と信号伝送距離の関係

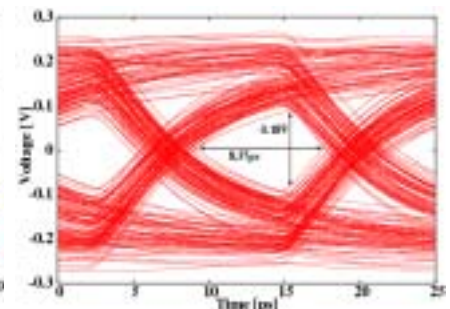


図 8 10mm, 80Gbps 時のアイダイアグラム

送の場合、レシーバ感度の向上によって長距離高速信号伝送が可能になることが分かった。次に配線の信号透過率をパラメータとしたビットレートと配線長の関係を図 7 に示す。減衰が強い場合、ディファレンシャル伝送の性能が劣化することが分かる。図 8 に 10mm の配線に 80Gbps の信号を伝送したときのレシーバ入力におけるアイパターンを示す。配線の性能として 10mm、数十 Gbps の信号伝送が可能であることが明らかになった。



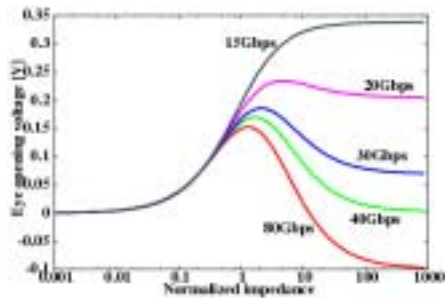


図 9 終端抵抗、伝送速度とアイの電圧開口

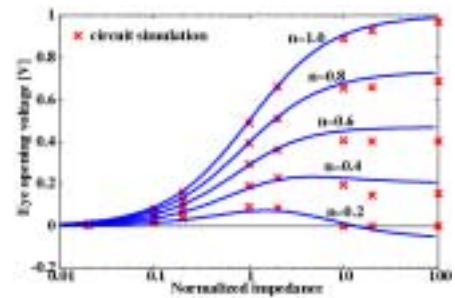


図 10 終端抵抗、配線の減衰とアイの電圧開口

オンチップ配線では減衰が強いため、多重反射による波形の乱れは非常に小さい。そのため、終端で必ずしも整合を取る必要はない。抵抗で終端すべきかどうか、また終端抵抗にどのような値を用いるべきかを前述の解析式を用いて評価した。アイダイアグラムの電圧方向の開口が最大となる終端抵抗を求めた。結果を図 9 に示す。伝送速度によって最適な抵抗値は異なり、伝送速度が低い場合には開放終端が、速度が上昇するにつれて線路の特性インピーダンスに近い抵抗で終端すべきであることが分かった。また、配線での減衰量を変数として評価したところ、低損失線路では開放終端が良く、高損失線路では適切な終端が必要であることが明らかになった(図 10)。

#### 4.2 提案信号伝送技術の性能評価

提案手法の有効性を明らかにするため、45nm プロセスを想定して提案信号伝送技術の性能を評価した。

抵抗の高い配線にリピータを挿入した信号伝送、伝送線路を用いたシングルエンド伝送、ペア伝

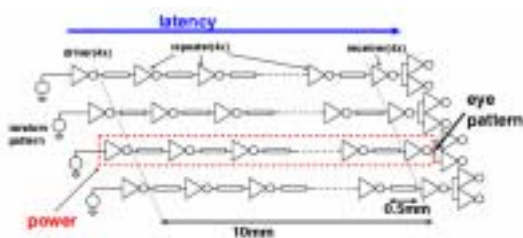


図 11 リピータ挿入による信号伝送回路

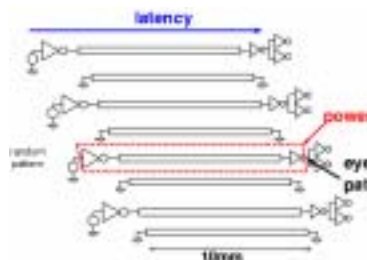


図 12 シングルエンド伝送回路

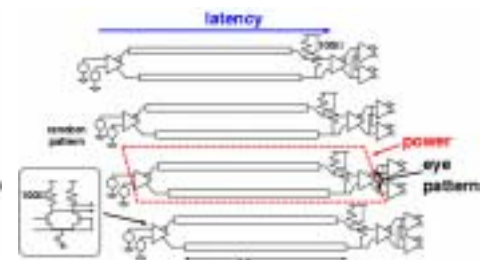


図 13 ディファレンシャル伝送回路

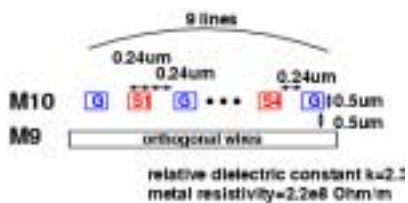


図 14 リピータ挿入による信号伝送回路の配線構造

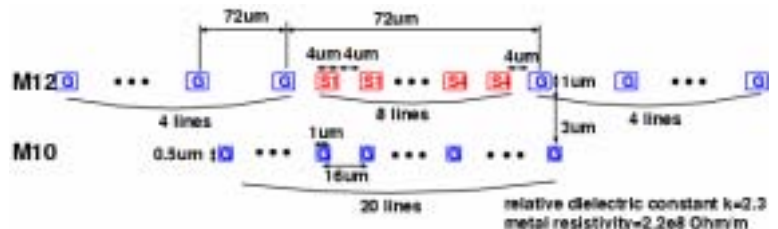


図 15 シングルエンド、ディファレンシャル伝送回路の配線構造

送線路を用いたディファレンシャル伝送の 3 種類の通信方法を比較、評価した。評価に用いた回路を図 11, 12, 13 にそれぞれ示す。10mm の長さを信号伝送する必要があると想定し、最大伝送レート、レイテンシ、ビットあたりのエネルギー、配線資源を評価した。想定した配線構造を図 14, 15

に示す。

最大伝送レートの比較結果を図 16 に示す。従来のリピータを用いた伝送では 4Gbps が限界であったのに対し、シングルエンド伝送では 5 倍の 20Gbps、ディファレンシャル伝送では 10 倍の 40Gbps の通信速度が実現できており、高い性能を示している。レイテンシの比較を図 17 に示す。リピータを用いた伝送では 700ps 以上の遅延があったのに対し、提案技術ではシングルエンド、ディファレンシャル伝送とも 1/10 以下のレイテンシで通信が可能となっている。最大伝送レート時のビットあたりのエネルギーの比較を図 18 に示す。シングルエンド伝送時のエネルギーが最も小さく、リピータの場合の 1/4、ディファレンシャル伝送でも 1/2 となっており、エネルギー効率においても提案技術は優図 13 ディファレンシャル伝送回路れている。最後に配線資源の比較を図 19 に示す。160Gbps の伝送が必要と仮定し、そのときにチャンネル作成に必要な幅を評価した。提案技術は 1 チャンネルで比較すると大きな配線資源を用いているが、伝送レートが高いため、同伝送レートで比較した場合、必要な配線資源はほぼ同等であることが明らかになった。高速信号伝送で問題となるのが電源ノイズである。電源ノイズに対する耐性を評価するため、伝

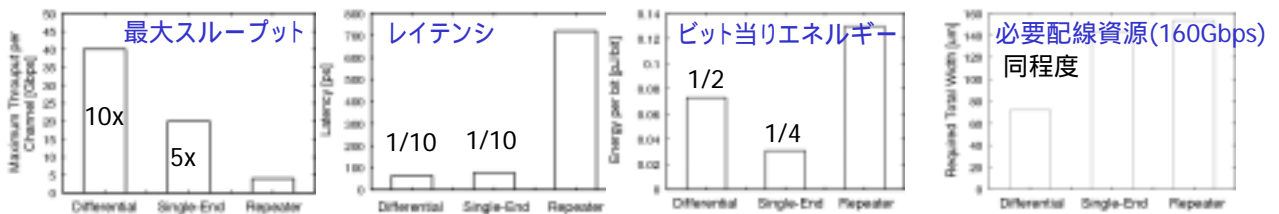


図 16 最大伝送容量の比較

図 17 レイテンシの比較

図 18 ビットあたりのエネルギーの比較

図 19 必要配線資源の比較

送回路を電源グリッド上に配置して、電源、グラウンドとも 60mV(電源電圧は 0.5V)程度のノイズが 10GHz 周期で発生している状態でアイダイアグラムを評価した。伝送速度は上記の実験で得られた最大伝送速度とした。電源ノイズがない場合のアイダイアグラムを図 20-22 に、電源ノイズを加えた場合の結果を図 23-25 に示す。

ディファレンシャル伝送では電源ノイズの有無によってアイダイアグラムはほとんど変化しておらず電源ノイズに対して高い耐性を有している。リピータ挿入による信号伝送、シングルエンド伝送ではアイダイアグラムが変化しており、ディファレンシャル伝送と比べノイズに対する耐性が低いことが分かる。

最後にプロセス世代の進化に伴った配線の性能とトランジスタの相対的な性能差の変化を評価した。評価に用いた配線構造は前述の実験と同じものである。図 26 に配線長、プロセス世代と最大ビットレートの関係を示す。プロセスの進化に伴って同じ配線長に対し高いビットレートの通信が可能となっている。提案技術で目標としていた「トランジスタ性能の向上に伴った伝送容量の向上」が 35nm 世代まで実現できることが明らかになった。ただし、35nm プロセスの 8mm 以上の配線長で 50nm プロセスの性能を下回っている。今回の評価に用いた ITRS1999 に基づいたトランジスタパラメータでは電源電圧が 0.4V と非常に低く、ドライバレシーバ回路の動作領域が狭まったためではないかと理由を推測している。最新のロードマップに即した評価を行う必要がある。図 27 に 4mm の配線長のときのビットレートと電圧方向のアイの開口の大きさを示している。4mm の配線長ではトランジスタの性能の向上によって伝送速度の向上が大幅に可能であることが分かる。



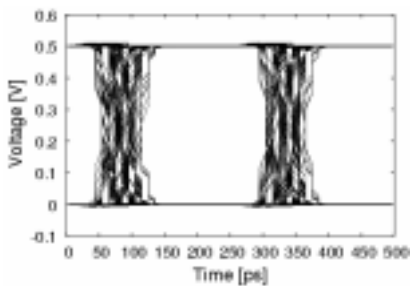


図 20 リピータ挿入による信号伝送のアイダイアグラム(電源ノイズなし)

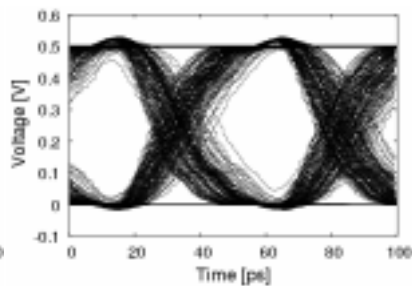


図 21 シングルエンド伝送のアイダイアグラム(電源ノイズなし)

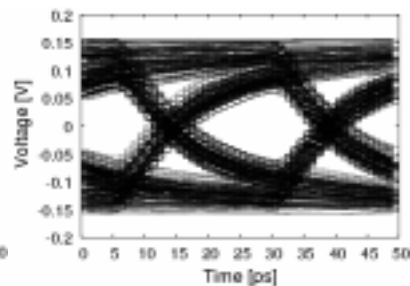


図 22 ディファレンシャル伝送のアイダイアグラム(電源ノイズなし)

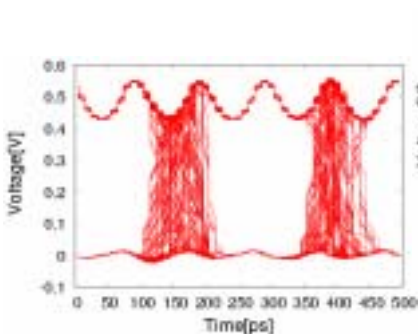


図 23 リピータ挿入による信号伝送のアイダイアグラム(電源ノイズあり)

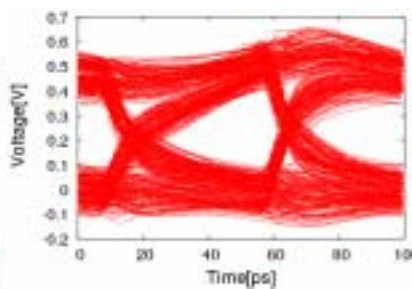


図 24 シングルエンド伝送のアイダイアグラム(電源ノイズあり)

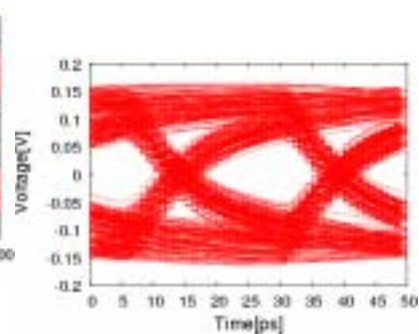


図 25 ディファレンシャル伝送のアイダイアグラム(電源ノイズあり)

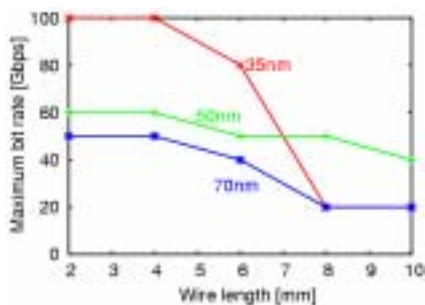


図 26 配線長、プロセス世代と最大伝送速度の関係

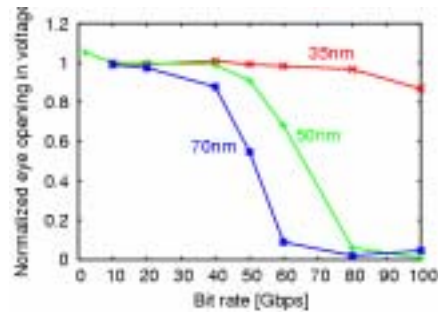


図 27 伝送速度とアイの電圧開口の関係(配線長 4mm)

#### 4.3 要素回路の設計

CMOS0.18mm プロセスを用いて信号伝送プロトタイプ回路、ならびに信号伝送に必要な要素回路である PLL、分周器、シリアライザの設計評価を行ってきた。このなかから信号伝送プロトタイプ回路の設計例を紹介する。

図 28 に信号伝送プロトタイプ回路のレイアウト図を示す。3mm の長さの配線に信号を伝送する。入力パターンとして 01 が繰り返されるパターンを与えた場合のレシーバの出力波形を図 29 に示す。入力信号が 7GHz(14Gbps)でも出力ははっきりと出ており、高速な信号伝送を実チップで実現、

評価することができた。今後、擬似ランダム入力を与えたときの出力のアイダイアグラムを引き続き測定する予定である。



図 28 信号伝送プロトタイプ回路のレイアウト図  
(配線長 3mm)

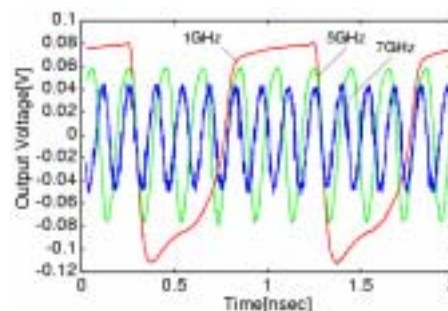


図 29 レシーバの出力波形

#### 5 自己評価:

本研究は、将来有効となりうるオンチップ通信技術について研究を行った。シミュレーションによる評価だけでなく、実際のデバイスでのプロトタイプの実現にも力を入れて行ってきた。将来における有効性については、シミュレーションや解析モデルにより当初の目標に近いところまで評価できたと考えている。実デバイスでのプロトタイプについては、このプロジェクトではじめて GHz 以上で動作する回路の設計を始めたこともあり、思った性能を出す設計ができるようになるまでにずいぶん時間がかかった。現在のテクノロジーでの有効性評価は難しいが、研究を行ってきた通信方式により 10Gbps 近い通信が 180nm のテクノロジーで実現でき、研究開始時のもくろみが現実的であったことが確認できた。提案技術が利用されるためには、信号のシリアルパラレル変換や同期の問題を解消する必要がある。今後のチップ全体では非同期で動作するような環境をにらみ、引き続き提案技術が将来現実に用いられるよう研究を進めていきたい。

#### 6 研究統括の見解:

橋本研究者は、将来の超微細 LSI において、CPU とメモリ間あるいはプロセッサ間などブロック間の大容量長距離信号伝送を高速に行う技術開発を行った。テクノロジーの進化とともに配線遅延が回路性能の向上を阻害する問題に対し、オンチップ伝送線路上に短いサイクルで信号を送り込むウエーブパイプライン技術を導入することで、従来の信号伝送方式と比較し、伝送容量、消費エネルギー、遅延時間のいずれの観点においても提案信号伝送方式が優れており、将来のトランジスタ性能の向上とともに伝送容量が向上することを明らかにした。また、シミュレーションによる評価だけでなく、実デバイスでプロトタイプを作成し 10Gbps 近い通信が 180nm のテクノロジーで実現できることを実証したことは高く評価できる。この提案技術が将来産業界で現実に用いられるよう引き続き研究を進めてもらいたい。

#### 7 発表リスト:

##### 招待講演(国際)

1. M. Hashimoto, A. Tsuchiya, A. Shinmyo and H. Onodera, "Performance Prediction of On-chip Global Signaling," *In Proceedings of IEEE Electrical Design of Advanced Packaging and Systems*, pp.87-100, 2004.

##### 論文(国際)

- (ア) A. Tsuchiya, M. Hashimoto and H. Onodera, "Performance Limitation of On-chip Global Interconnects for High-Speed Signaling," *IEICE Trans. on Fundamentals*, to be published.

(イ) T. Miyazaki, M. Hashimoto and H. Onodera, ``A Performance Prediction of Clock Generation PLLs: A Ring Oscillator Based PLL and An LC Oscillator Based PLL," *IEICE Trans. on Electronics*, to be published.

(ウ) A. Tsuchiya, M. Hashimoto and H. Onodera, ``Representative Frequency for Interconnect R(f)L(f)C Extraction," *IEICE Trans. on Fundamentals*, Vol. E86-A, No. 12, pp.2942-2951, December 2003.

□頭発表(国際)

1. A. Muramatsu, M. Hashimoto and H. Onodera, ``Effects of On-chip Inductance on Power Distribution Grid," *In Proceedings of International Symposium on Physical Design*, to appear.
2. A. Tsuchiya, M. Hashimoto and H. Onodera, ``Effects of Orthogonal Power/Ground Wires on On-chip Interconnect Characteristics,' ' *In Proceedings of International Meeting for Future of Electron Devices, Kansai*, to appear.
3. A. Tsuchiya, M. Hashimoto and H. Onodera, ``Return Path Selection for Loop RL Extraction," *In Proceedings of Asia and South Pacific Design Automation Conference*, pp. 1078-1081, 2005.
4. A. Shinmyo, M. Hashimoto and H. Onodera, ``Design and Measurement of 6.4 Gbps 8:1 Multiplexer in 0.18um CMOS Process," *In Proceedings of Asia and South Pacific Design Automation Conference*, pp.D9-D10, 2005.
5. M. Hashimoto, A. Tsuchiya and H. Onodera, ``On-Chip Global Signaling by Wave Pipelining," *In Proceedings of IEEE 13th Topical Meeting on Electrical Performance of Electronic Packaging*, pp.311-314, 2004.
6. A. Muramatsu, M. Hashimoto and H. Onodera, ``LSI Power Network Analysis with On-chip Wire Inductance," *In Proceedings of Workshop on Synthesis and System Integration of Mixed Technologies 2004*, pp.55-60, 2004.
7. T. Miyazaki, M. Hashimoto and H. Onodera, ``A Performance Prediction of Clock Generation PLLs: A Ring Oscillator Based PLL and An LC Oscillator Based PLL," *In Proceedings of IEEEJ International Analog VLSI Workshop*, pp.45-50, 2004.
8. A. Tsuchiya, M. Hashimoto and H. Onodera, ``Performance Limitation of On-chip Global Interconnects for High-speed Signaling," *In Proceedings of IEEE Custom Integrated Circuits Conference*, pp.489-492, 2004.
9. A. Shinmyo, M. Hashimoto and H. Onodera, ``Design and Optimization of CMOS Current Mode Logic Dividers," *In Proceedings of IEEE Asia-Pacific Conference on Advanced System Integrated Circuits*, pp.434-435, 2004.
10. A. Tsuchiya, M. Hashimoto and H. Onodera, ``Representative Frequency for Interconnect R(f)L(f)C Extraction," *In Proceedings of Asia and South Pacific Design Automation Conference*, pp.691-696, 2004 (BEST PAPER AWARD).
11. T. Miyazaki, M. Hashimoto and H. Onodera, ``A Performance Comparison of PLLs for Clock Generation Using Ring Oscillator VCO and LC Oscillator in a Digital CMOS Process," *In Proceedings of Asia and South Pacific Design Automation Conference*, pp.545-546, 2004.
12. A. Tsuchiya, M. Hashimoto, and H. Onodera, ``Frequency Determination for Interconnect RLC Extraction," *In Proceedings of Workshop on Synthesis and System Integration of Mixed Technologies 2003*, pp.288-293, 2003.
13. M. Hashimoto, D. Hiramatsu, A. Tsuchiya and H. Onodera, ``Interconnect Structures for High-Speed Long-Distance Signal Transmission," *In Proceedings of IEEE International ASIC/SOC Conference*, pp.426-430, 2002.

口頭発表(国内)

1. 土谷 亮, 橋本 昌宜, 小野寺 秀俊, ``オンチップ高速信号伝送における終端抵抗決定手法," 第 18 回回路とシステム(軽井沢)ワークショップ, 発表予定.
2. 土谷 亮, 橋本 昌宜, 小野寺 秀俊, ``オンチップ高速信号伝送用配線の解析的性能評価," 電子情報通信学会 VLSI 設計技術研究会, 2005.
3. 土谷 亮, 橋本 昌宜, 小野寺 秀俊, ``基板および周辺信号配線が配線特性に及ぼす影響の実測," 第二回シリコンアナログ RF 研究会, 2004.
4. 上村 晋一郎, 橋本 昌宜, 小野寺 秀俊, ``高周波 CMOS デバイスモデルを用いた LCVCO の特性見積もりと実測," 第二回シリコンアナログ RF 研究会, 2004.
5. 村松 篤, 橋本 昌宜, 小野寺 秀俊, ``オンチップインダクタンスを考慮した LSI 電源配線網解析," 情報処理学会 DA シンポジウム, pp.277-282, 2004.
6. 土谷 亮, 橋本 昌宜, 小野寺 秀俊, ``配線 RL 抽出におけるリターンパス選択手法," 情報処理学会 DA シンポジウム, pp.175-180, 2004.
7. 土谷 亮, 橋本 昌宜, 小野寺 秀俊, ``オンチップ伝送線路のリターン電流分布が信号波形に与える影響 --- 平衡・不平衡伝送の比較 ---," 第 17 回 回路とシステム(軽井沢)ワークショップ, pp.567-572, 2004.
8. 土谷 亮, 橋本 昌宜, 小野寺 秀俊, ``オンチップ伝送線路におけるリターン電流評価精度が信号波形に与える影響," 第一回シリコンアナログ RF 研究会, 2004.
9. 村松 篤, 橋本 昌宜, 小野寺 秀俊, ``電源電圧変動に対するオンチップ配線インダクタンスの影響," 2004 年電子情報通信学会総合大会講演論文集, A-3-22, pp.89, 2004.
10. 村松 篤, 橋本 昌宜, 小野寺 秀俊, ``電源配線の等価回路簡略化による電源解析高速化の検討," 平成 15 年度情報処理学会関西支部 支部大会 VLSI 研究会, No. C-01, pp.169-172, 2003.
11. 土谷 亮, 橋本 昌宜, 小野寺 秀俊, ``オンチップ高速信号配線における波形歪みの影響," 2003 年電子情報通信学会ソサイエティ大会講演論文集, A-3-6, pp.56, 2003.
12. 宮崎 崇仁, 橋本 昌宜, 小野寺 秀俊, ``デジタル CMOS プロセスを使用したクロック生成向け PLL の将来性能予測 -LC 発振型 VCO を用いた PLL の有効性-, " 電子情報通信学会集積回路研究会, ICD2003-99, pp.29-34, 2003.
13. 土谷 亮, 橋本 昌宜, 小野寺 秀俊 ``直交配線を持つオンチップ伝送線路の特性評価," 情報処理学会 DA シンポジウム, pp.133-138, 2003.
14. 土谷 亮, 橋本 昌宜, 小野寺 秀俊, ``配線  $R(f)L(f)C$  抽出のための代表周波数決定手法," 第 16 回 回路とシステム(軽井沢)ワークショップ, pp.61-66, 2003.
15. 土谷 亮, 橋本 昌宜, 小野寺 秀俊, ``信号配線と下層配線との結合に対する直交配線の影響," 2003 年電子情報通信学会総合大会講演論文集, A-3-14, pp.81, 2003.
16. 宮崎 崇仁, 新名 亮規, 橋本 昌宜, 小野寺 秀俊, ``オンチップオシロ用サンプルホールド回路の広周波数帯域化," 2003 年電子情報通信学会総合大会講演論文集, C-12-34, pp.103, 2003.
17. 村松 篤, 橋本 昌宜, 小野寺 秀俊, ``オンチップデカップリング容量の最適寄生抵抗値の決定法," 2003 年電子情報通信学会総合大会講演論文集, A-3-13, pp.80, 2003.
18. 平松 大輔, 土谷 亮, 橋本 昌宜, 小野寺 秀俊, ``長距離高速信号伝送を可能にする VLSI 配線構造の検討," 情報処理学会 DA シンポジウム, pp.155-160, 2002.
19. 土谷 亮, 橋本 昌宜, 小野寺 秀俊, ``LSI 配線インダクタンスに対する直交配線の影響," 2002 年電子情報通信学会総合大会講演論文集, No.A-3-23, pp.102, 2002.

受賞

最優秀論文賞(*Asia and South Pacific Design Automation Conference 2004*)

情報処理学会 山下記念研究賞(H14 年度)

特許、ソフトウェアは該当なし