単一磁束量子回路による再構成可能な低電力高性能プロセッサ

京都大学情報学研究科　高木直史
名古屋大学情報科学研究科　高木一義
九州大学システム科学研究院　村上和彰
横浜国立大学工学研究院　吉川信行
名古屋大学工学研究科　赤池宏之
国際超電導産業技術研究センター
超電導工学研究所　永沢秀一

研究成果公開シンポジウム　「グリーンITが創る豊かな社会と強い産業」
2010年11月26日

研究の目的

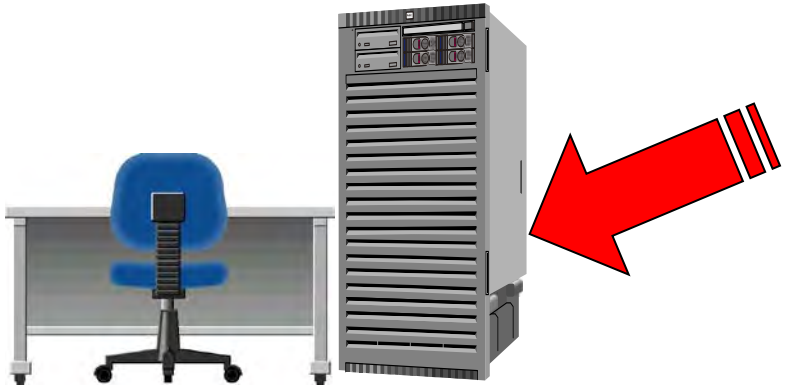
超伝導単一磁束量子（SFQ）回路を用いた
10TFLOPSデスクサイド コンピュータ
（消費電力当たりの性能が格段に高い）
を開発するための基盤技術を確立する。

（再構成可能な大規模データパス LS-RDP を採用）

10TFLOPS コンピュータ

2006年当時の技術
90nm CMOS
並列プロセッサ方式

SFQ (0.5～0.35um)
LSRDP



消費電力：約2kW
（冷凍機込み）

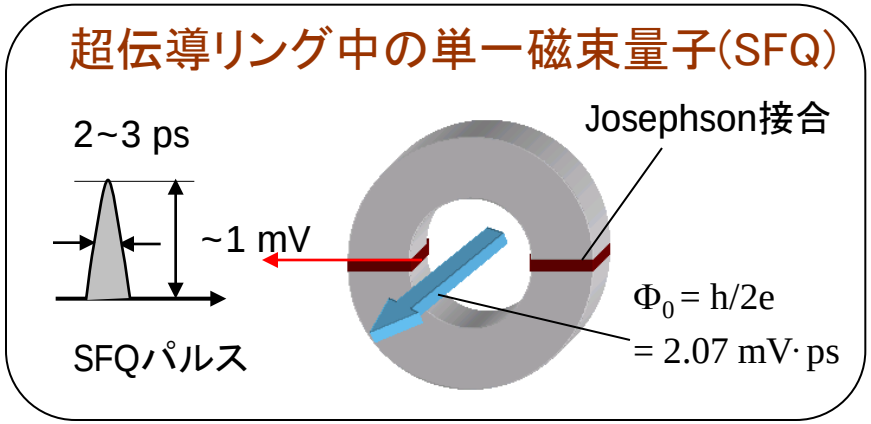
消費電力：約200kW
（空調機込み）
ラック30本

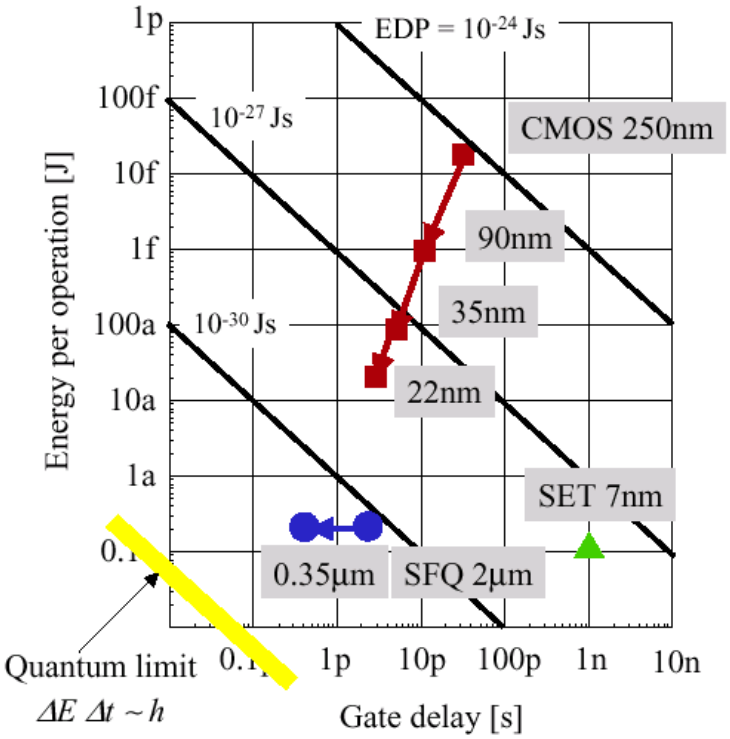
基盤技術の確立

研究の背景

超伝導単一磁束量子(SFQ)回路

- 超低消費電力、高速スイッチング
- 1万JJ規模のSFQ LSIが実現可能(2006年当時)
- 高速ゲート間信号伝送
- 高速チップ間信号伝送(100Gbps)





研究の目的とアプローチ

超伝導SFQ回路を用いて消費電力当たりの性能が格段に高いスーパーコンピュータを開発するための基盤技術を確立する。

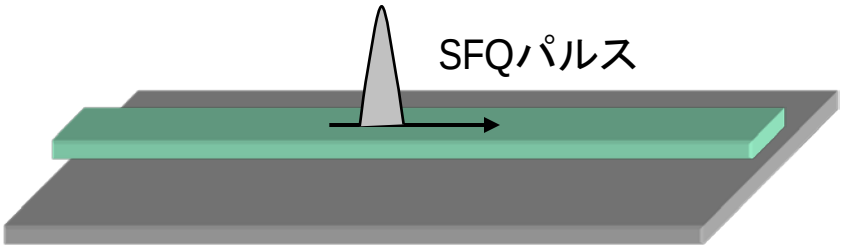
~~従来技術 → 低消費電力化~~

↓

新しい低消費電力回路 → 実用化

研究開始時(2006年)の状況

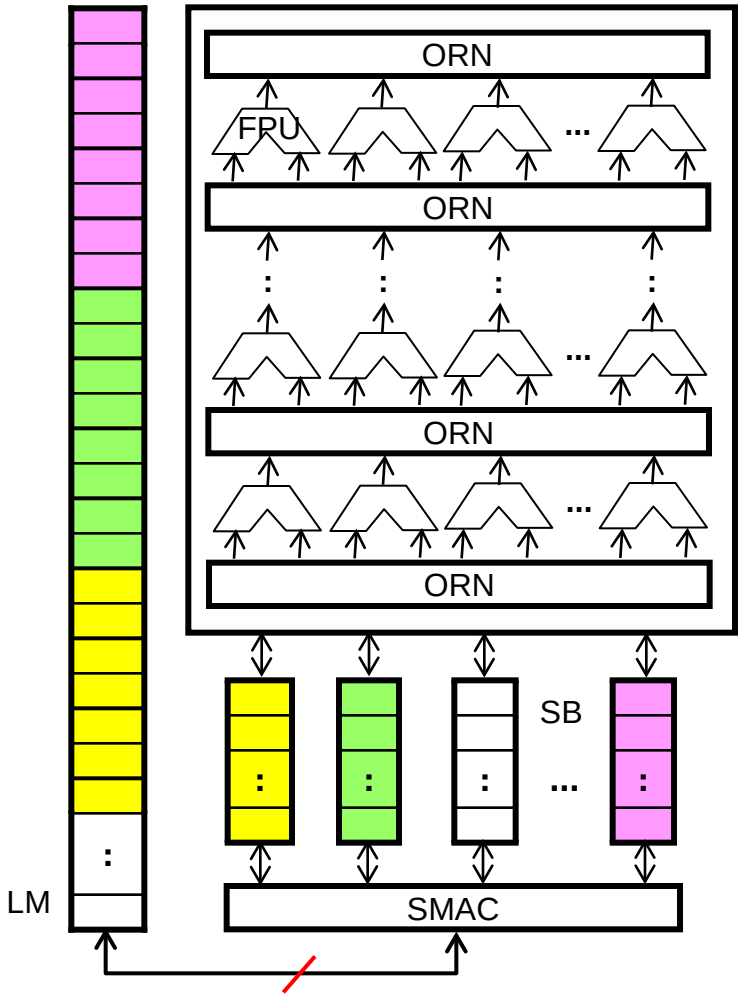
- 最小接合寸法2μm SFQプロセス用回路設計環境
  - セルベース設計
  - 論理セルライブラリ
  - JTL自動配線
- 最小接合寸法1μmプロセスの開発
  - Nb6層
  - 設計環境:未整備
- PTL配線技術の開発



超伝導マイクロストリップライン

- SFQ回路実現向きアーキテクチャ候補の発見
  - 大規模再構成可能データパス(LS-RDP)

再構成可能な大規模データパス（RDP）



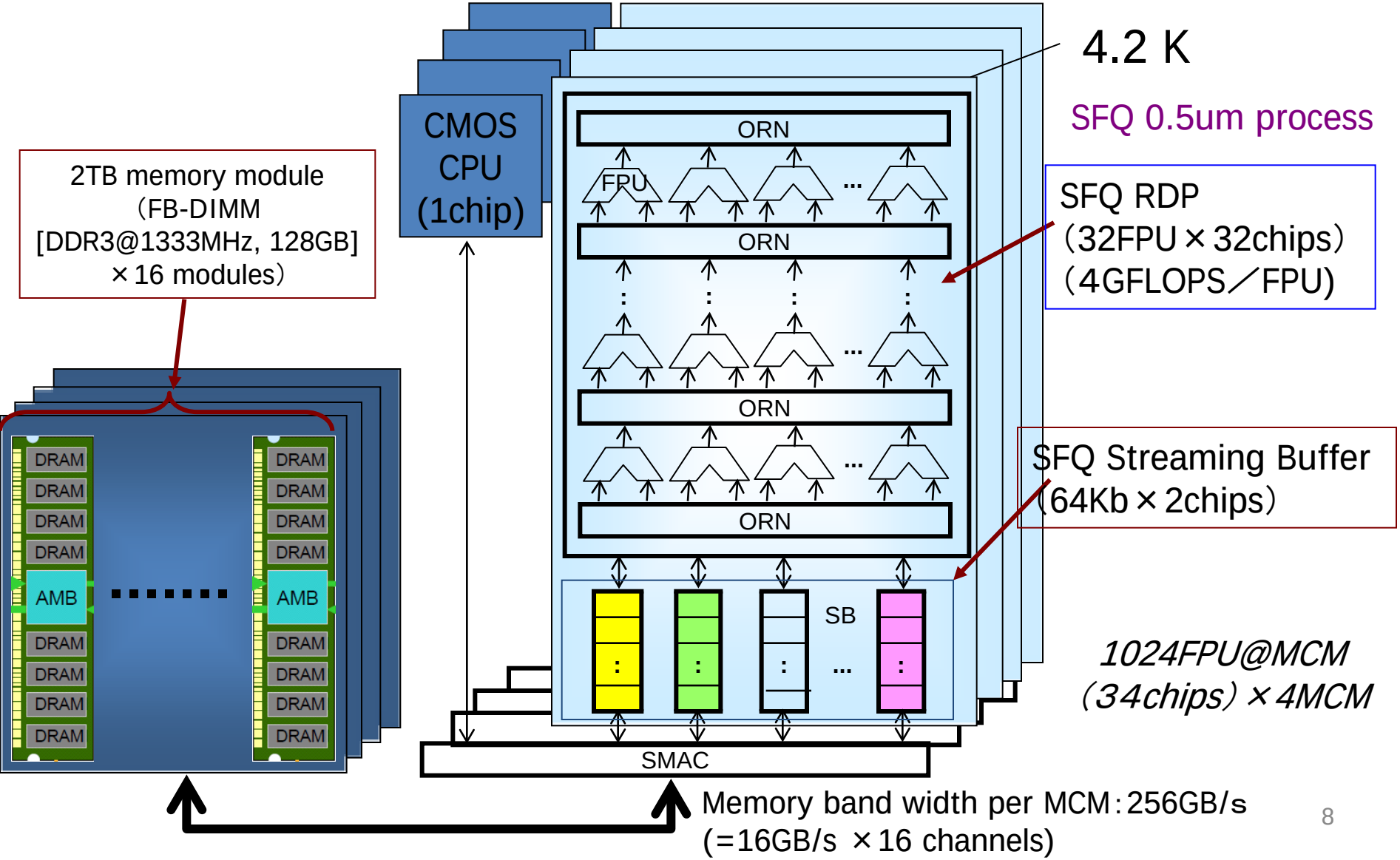
再構成可能なデータパス（RDP）
　多数のFPU（浮動小数点演算ユニット）
　＋再構成可能なネットワーク（ORN）
↓
大規模計算に現れる繰り返しループの
一連の計算に合わせて再構成

　多数のFPUが並列、パイプライン動作

メモリ・アクセスの削減
→　メモリウォール問題の解決

SB: Stream Buffer
SMAC: Streaming memory Access Controller
LM: Linear Memory

10TFLOPS SFQ-RDP computer



研究課題・目標と実施体制

1．RDPアーキテクチャ技術（村上G）

(1) RDPアーキテクチャの開発、最適化

(2) RDP向きコンパイラの開発

(3) RDP向き計算アルゴリズムの開発

2．SFQ回路による算術演算回路、再構成可能な回路の構成法

(1) RDP向きSFQ−FPUの構成法の開発（吉川G、高木G）

2μm 半精度FPA・FPMの25GHz動作，1μm FPA・FPMの50GHz動作

(2) SFQ−RDPの構成法の開発（ALU＋ORN　チップ）（赤池G）

2μm 2x2RDPの25GHz動作，1μm　4x4RDPの50GHz動作

3．SFQ論理回路設計技術の開発

SFQ回路プロセスの高度化・高信頼化

(1) SFQ多層配線プロセス（1μm）の確立，高信頼化（永沢G）

(2) SFQ論理セルライブラリ（1μmプロセス用）の開発（吉川G、赤池G）

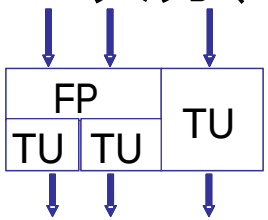
(3) SFQ論理回路設計ツール（1μmプロセス用）の開発（高木G）

研究実施内容，成果，進捗状況

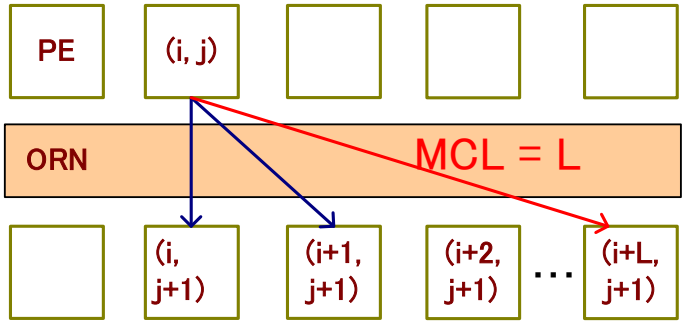
1．RDPアーキテクチャ技術

アーキテクチャの開発・洗練

- FPAとFPMを分離、交互配置
- 各ユニット：3入力（A,B,C）→3出力（A(*B),B,C）



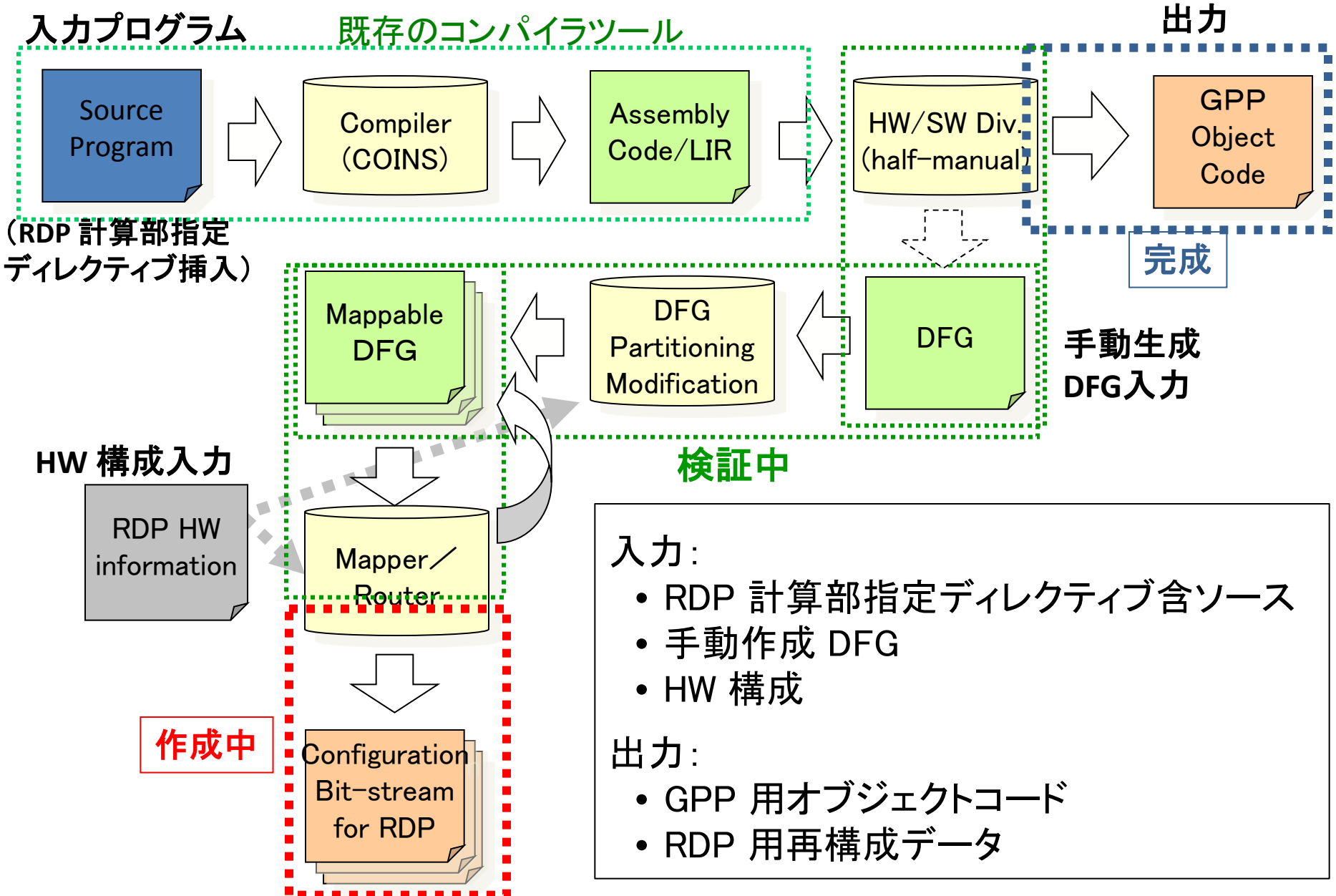
TU：スルー



- 3つのサイズのRDP

	候補パラメタ（全JJ数により最適化）					
	入力数	出力数	幅	高さ	最大結合距離(MCL)	全JJ 数（RDP面積）
RDP－S	19	12	22	14	4	19387K
RDP－M	19	12	24	17	5	27027K
RDP－L	38	24	41	34	6	96374K

RDPコンパイラ開発



入力:
- RDP 計算部指定ディレクティブ含ソース
- 手動作成 DFG
- HW 構成

出力:
- GPP 用オブジェクトコード
- RDP 用再構成データ

RDP向き計算アルゴリズム開発

- １次元熱伝導方程式の差分方程式
- １次元振動方程式の差分方程式
- 量子化学計算における二電子積分漸化計算
- ２次元拡散方程式
- ２次元 FDTD 計算
- Runge-Kutta 常微分方程式（DFG作成中）

性能評価

- ２次元拡散方程式（1024x1024 メッシュ）

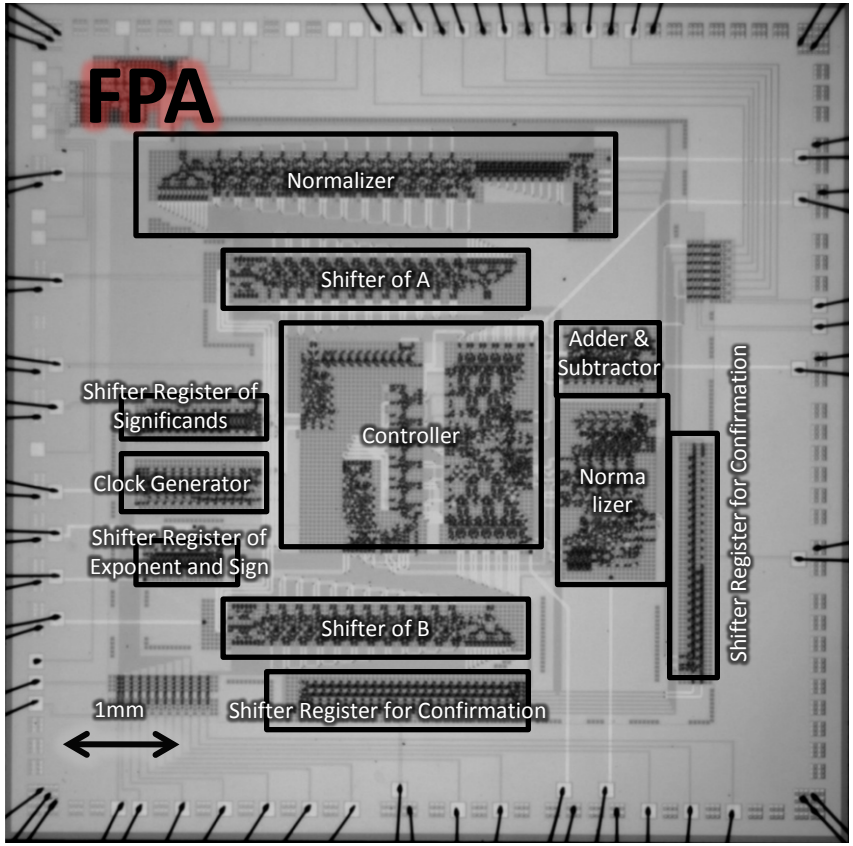
SFQ-RDP[1)]: 50.6GFlops　vs. GPU[2)]: 63.0GFlops

1) 入力 21、出力 9、演算数 63 のDFG により計算
RDP 部は実行時間評価式、GPP についてはシミュレーターにより評価
BW: 159.0GB/s と仮定

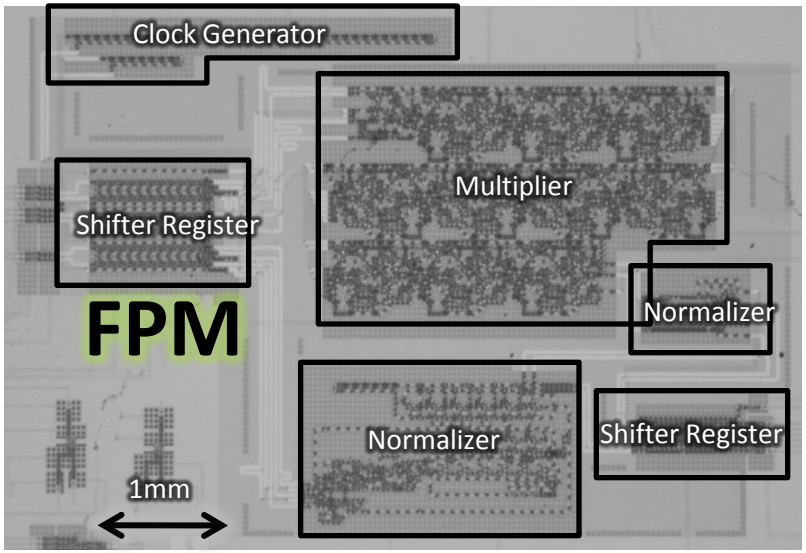
2) 青木尊之，額田彰，「はじめての CUDA プログラミング」，工学社，pp.211, 2009.Nov.

2. 算術演算回路および再構成可能な回路

2μmプロセスによる半精度FPA, FPMの動作実証



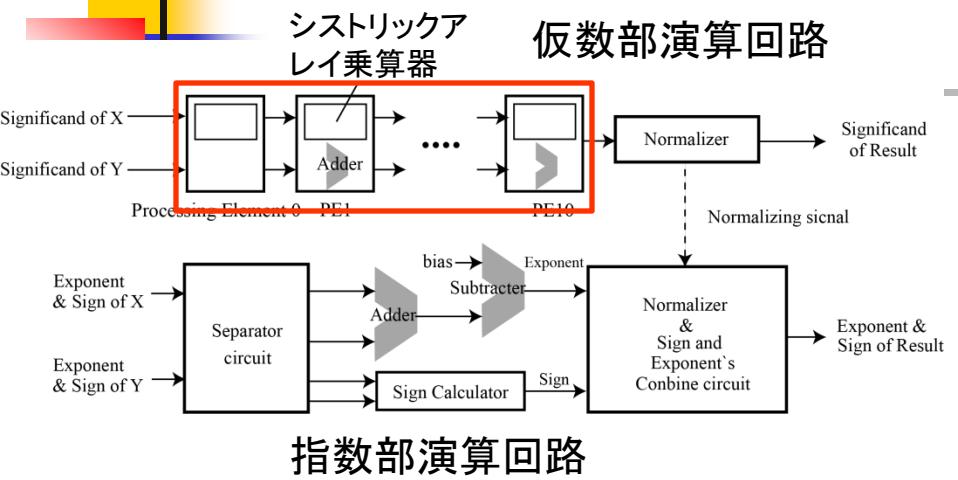
動作周波数：20 GHz
性能：1.67 GFLOPs
接合数：10244 JJs
消費電力：3.5 mW
回路面積：5.86 ×5.72 mm^2



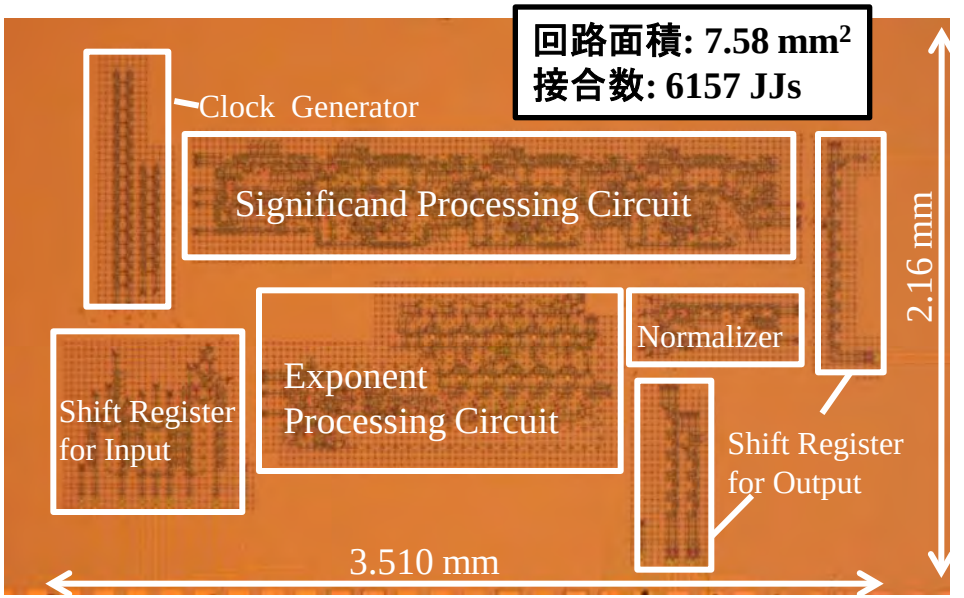
動作周波数：32 GHz
性能：2.6 GFLOPs
接合数：11044 JJs
消費電力：3.5 mW
回路面積：6.22 ×3.78 mm^2

1μmプロセスによるFPA，FPMを開発中

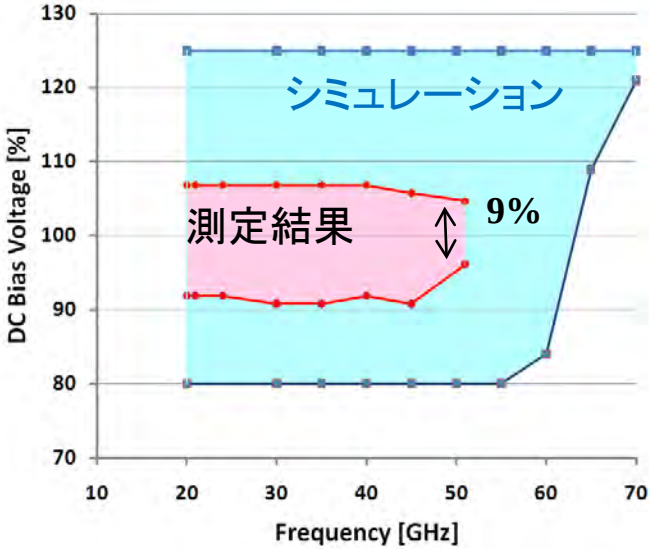
ビットシリアルFPMのブロック図



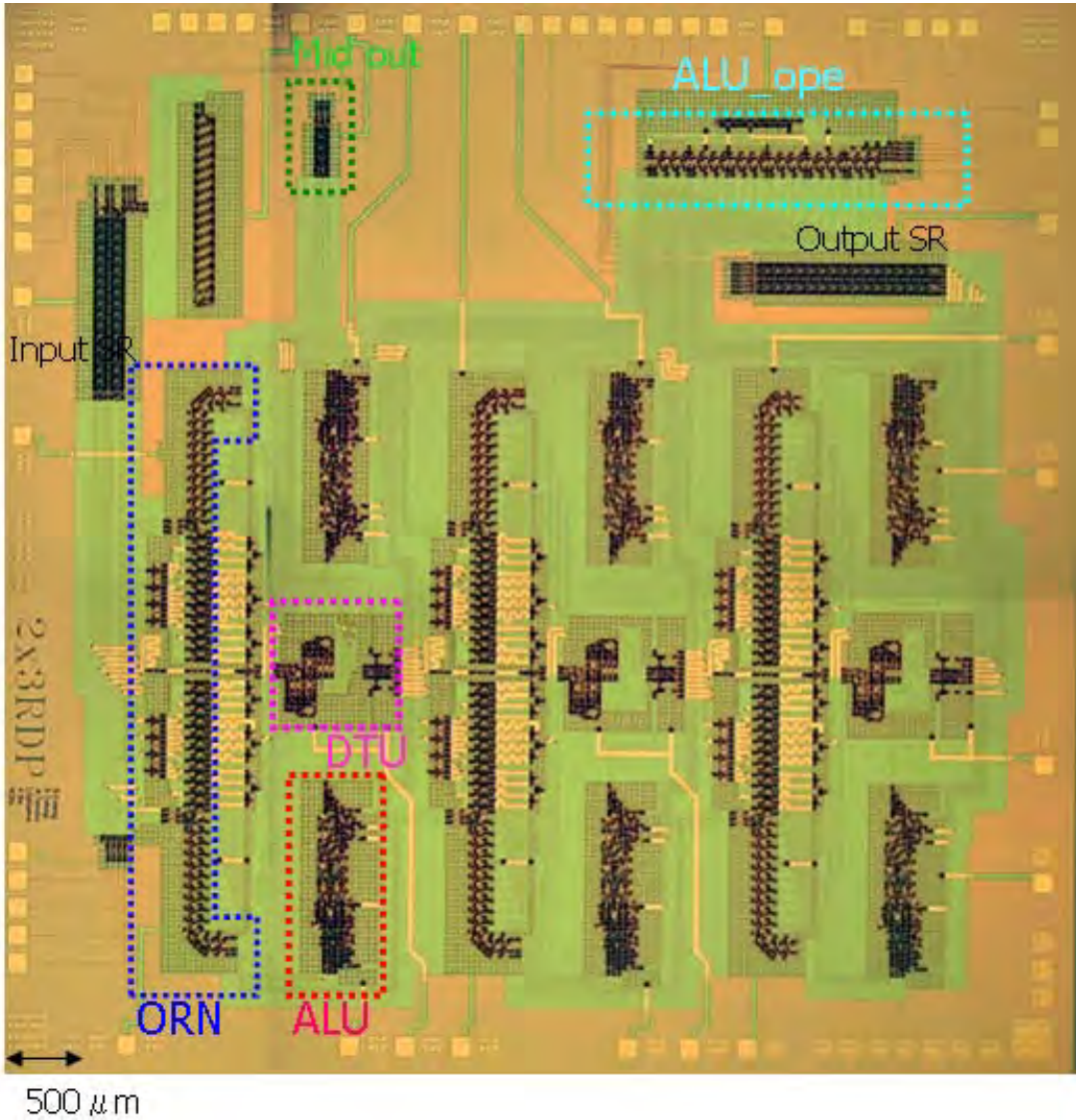
10-bit ビットシリアルFPMのチップ写真

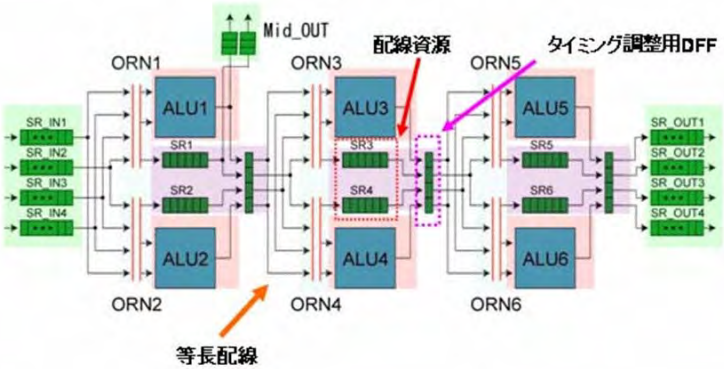


加数部(4b乗算器)の測定結果(@50 GHz)



2μmプロセスによる2x3 SFQ-RDPの動作実証



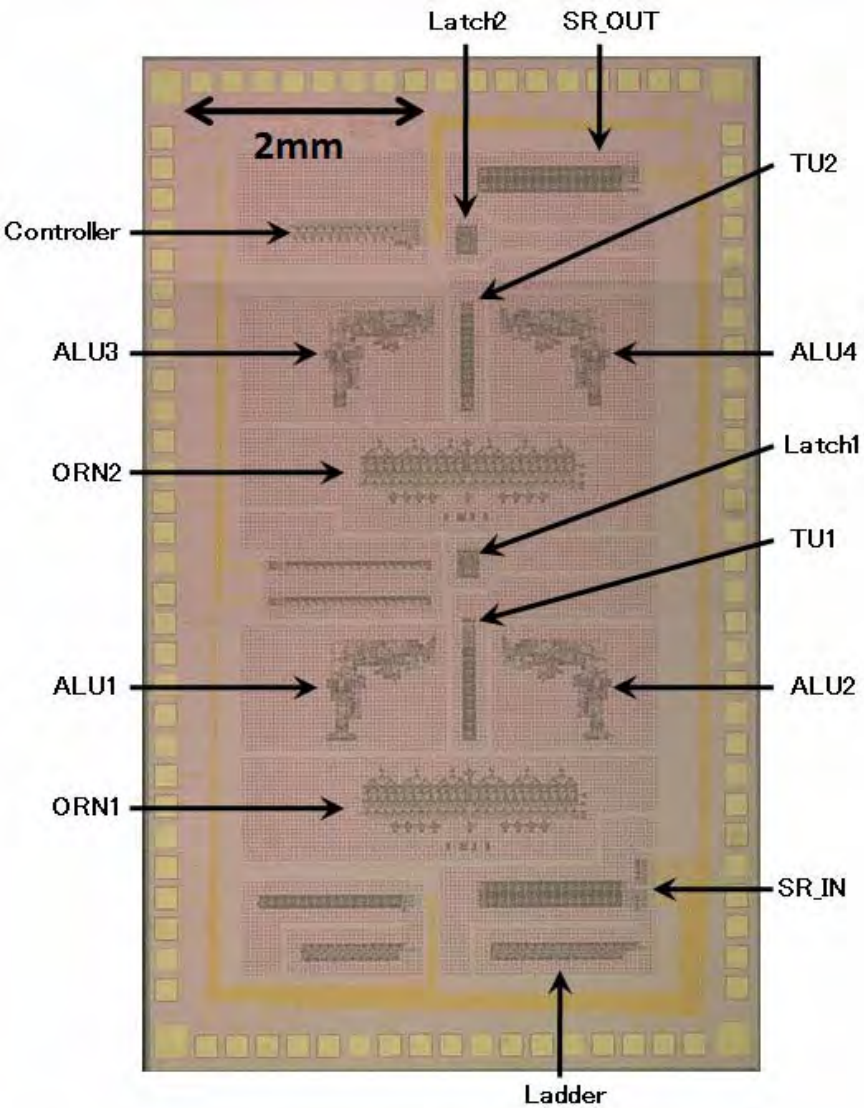


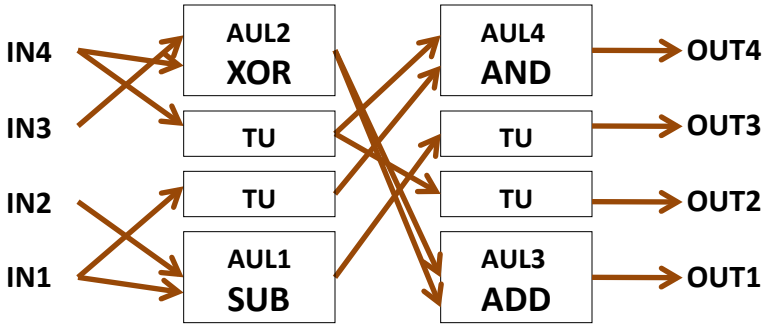
動作周波数：23 GHz
接合数：14040（世界最大規模）
回路面積：6.84 ×6.72 mm²

*SRL Nb 2.5 kA/cm² standard process

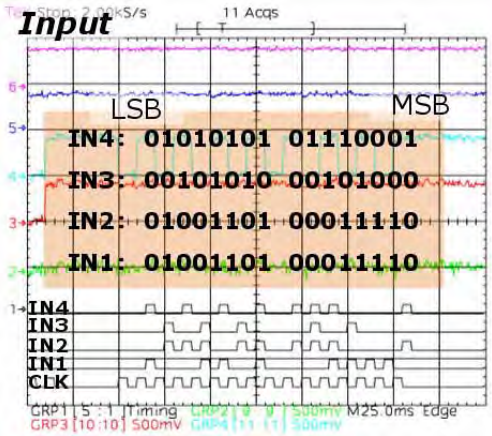
CONNECT
cooperated with SRL, NiCT, NU & YNU

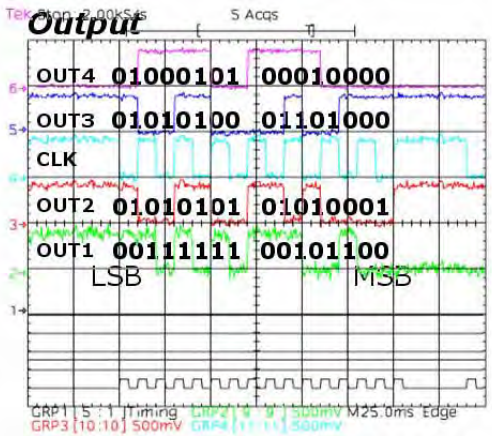
1μmプロセスによる 2x2 SFQ-RDPの動作実証





TU: Transfer Unit

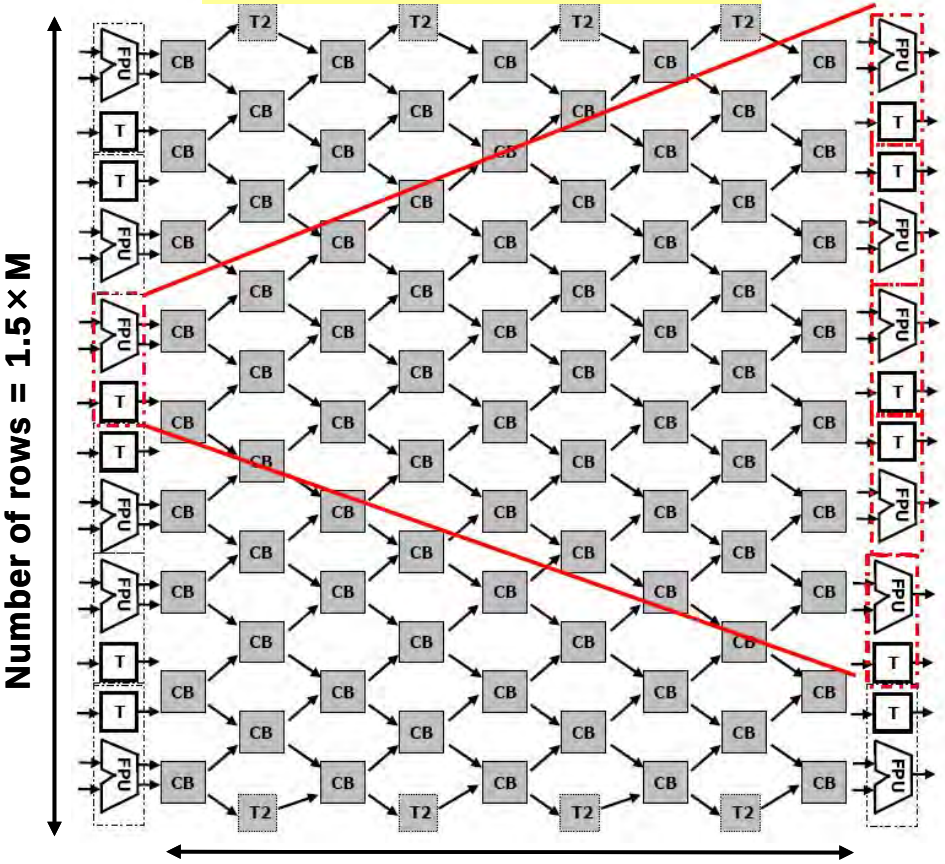




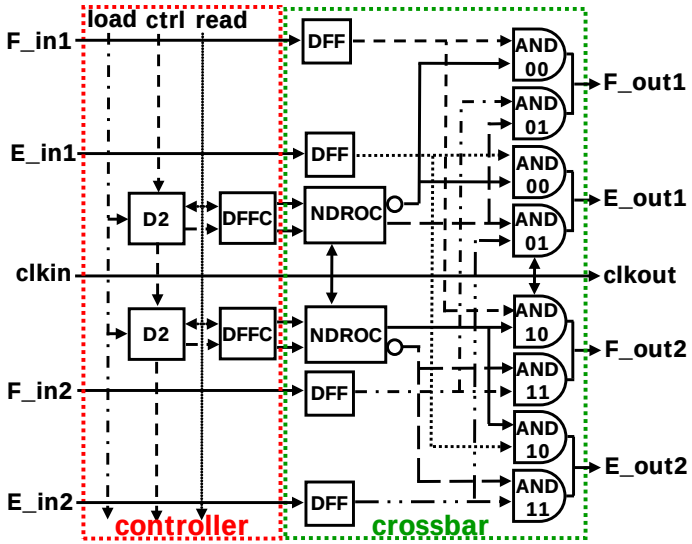
動作周波数 : 45 GHz
消費電力 : 3.4 mW
接合数 : 11458
回路面積 : 5.61 ×2.82 mm²

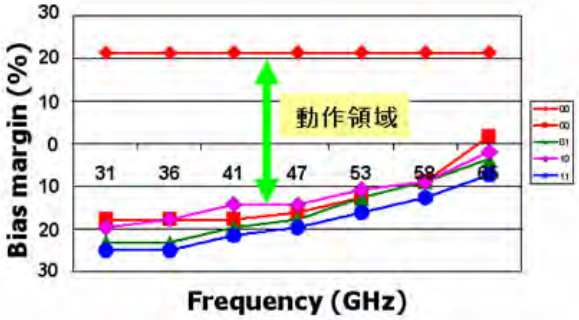
ORNの構成と2b幅スイッチの動作実証

MCL= 2 のORNの構成



2b幅クロスバスイッチ





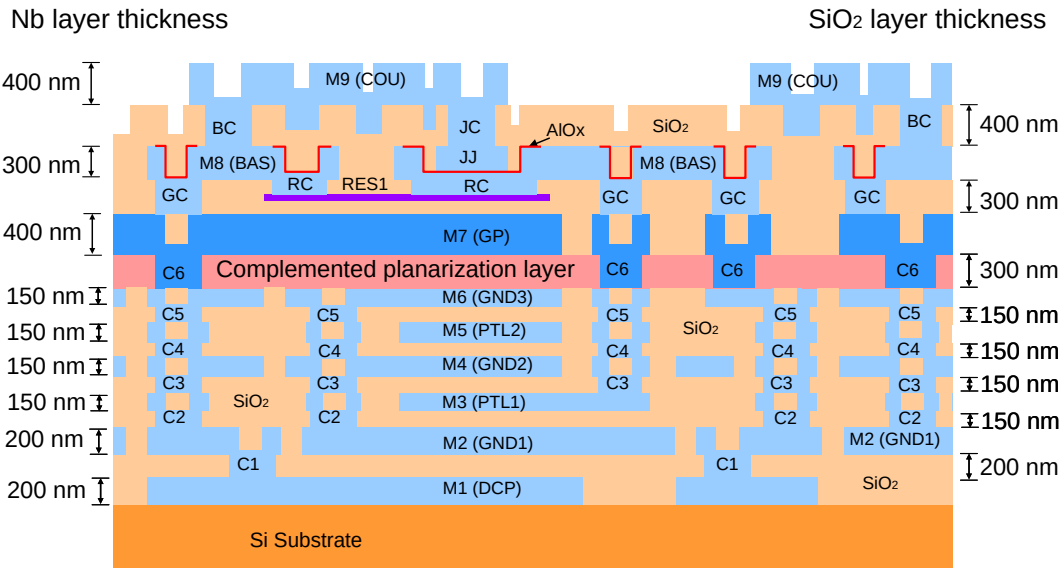
	M	MCL	JJ数	消費電力(mW)
RDP-M	24	5	307692	7.7
RDP-L	48	5	615384	15

- 総接合数: 547
- 動作周波数: 65GHz
- 消費電力: 0.14 mW

3. 論理回路設計技術およびSFQ回路プロセス

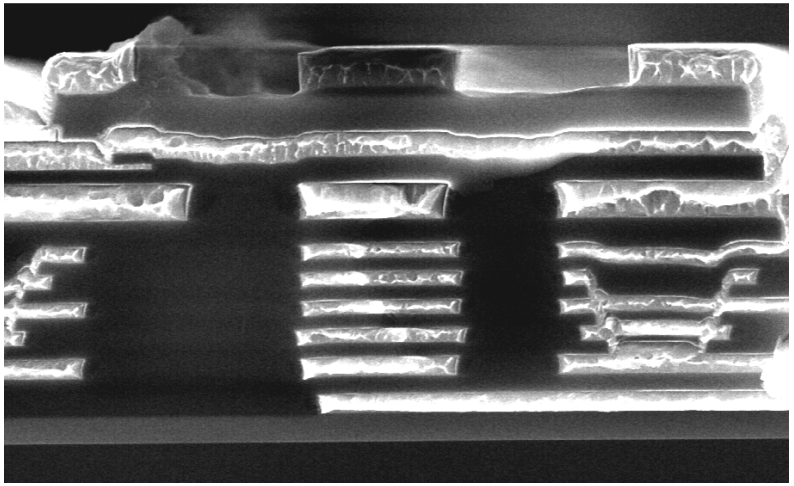
1μm多層配線プロセス

- Nb 9層デバイス構造を開発 （PTL配線層：2層）



M1からM7まで各層で平坦化。M8とM9は平坦化なし。M6形成後に完全平坦化。
レチクル数：28

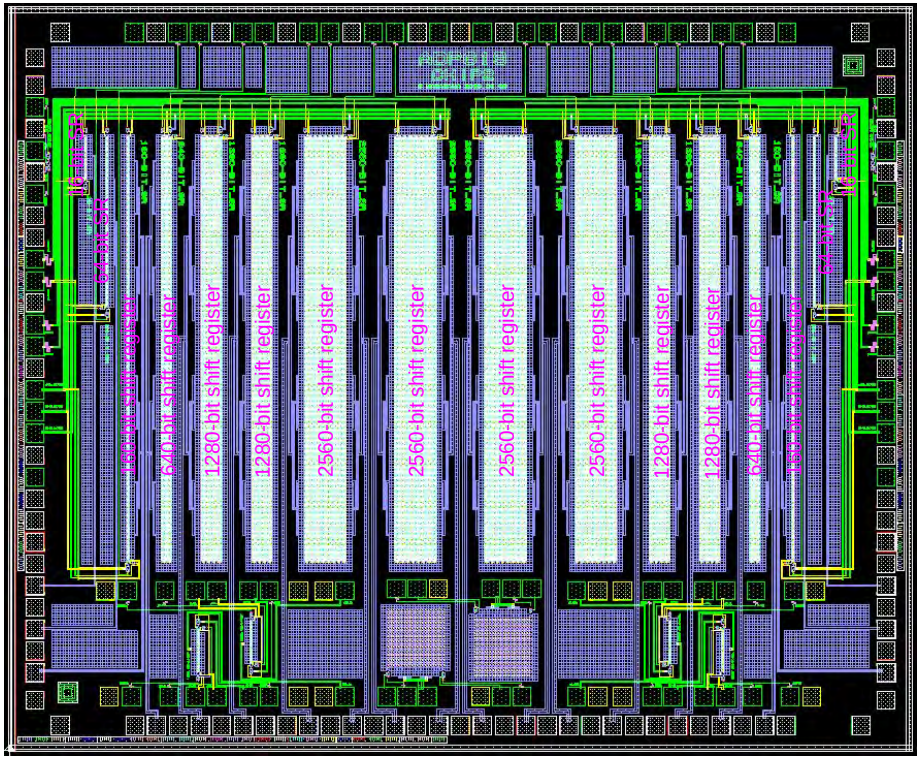
断面SEM写真



良好な平坦性が得られている。

1μm多層配線プロセス評価用シフトレジスタチップ

- 68,990JJ
- 2560bitシフトレジスタ（約1万JJ）×４回路等、全16回路

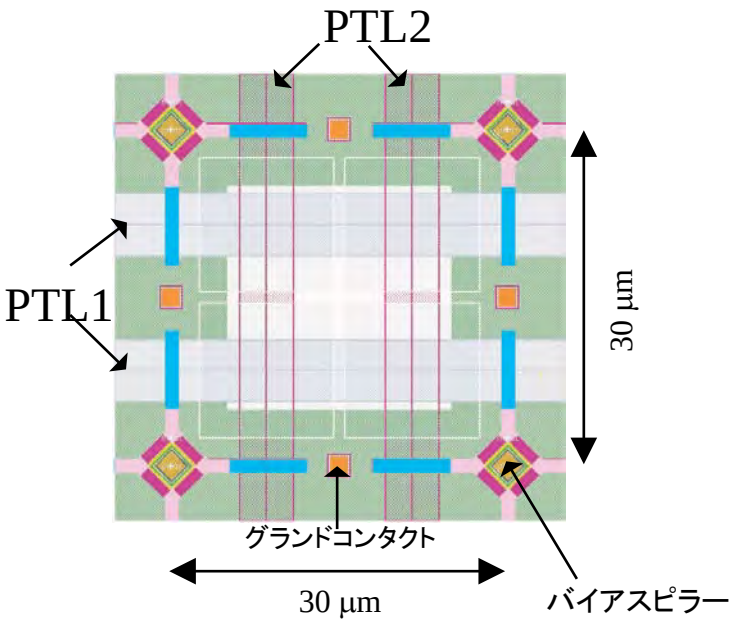


ベストチップ

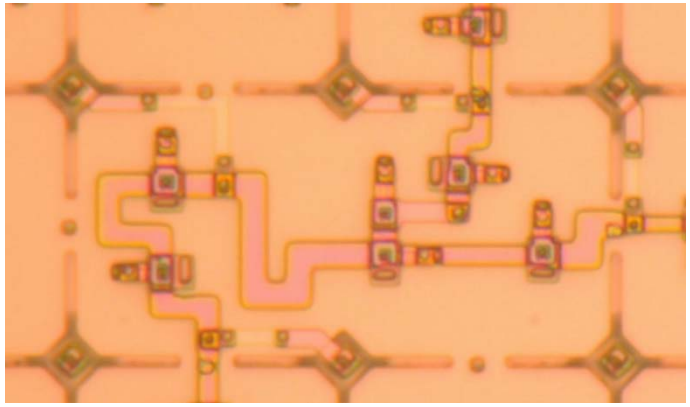
- 欠陥：３箇所。16回路中13回路が正常動作
- 2560bitシフトレジスタ（約1万JJ）４回路すべてが正常動作

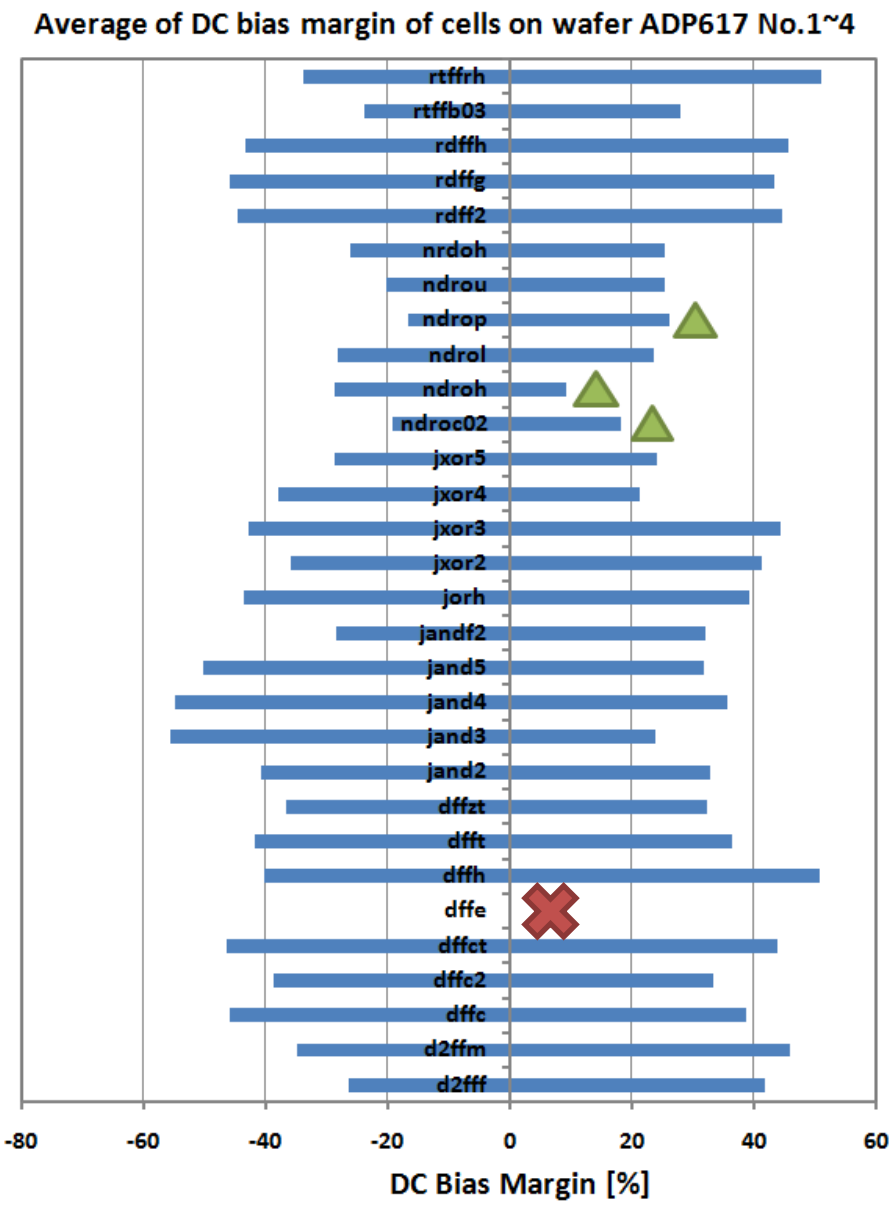
1μmプロセス用論理セルライブラリ

論理セルの構造



dffc2セルの写真



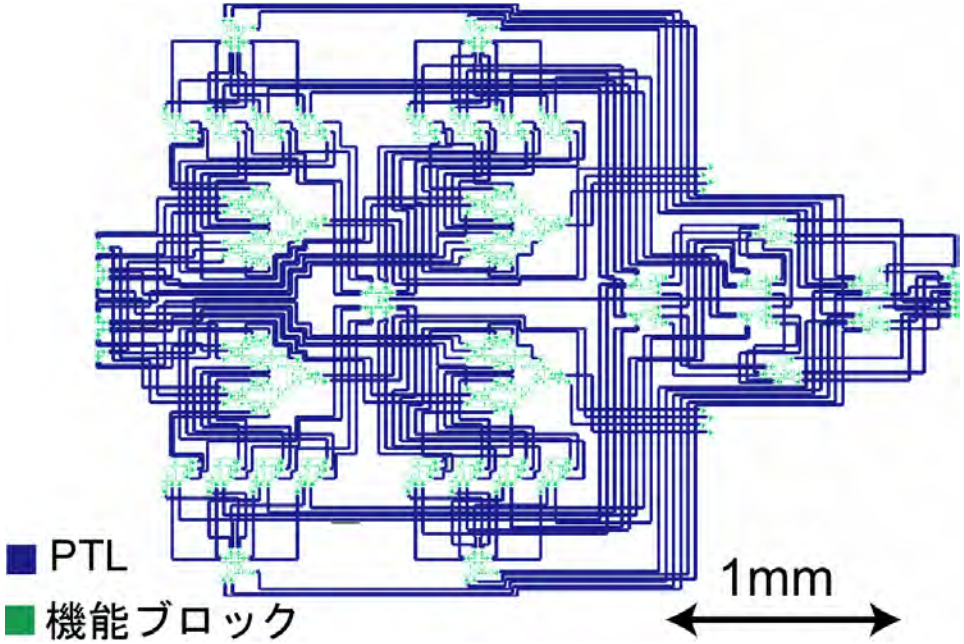


低消費電力型基本論理セルライブラリ設計指針の検討開始

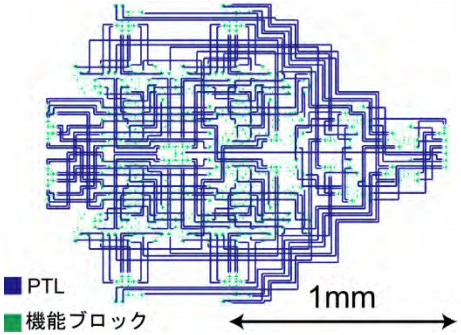
1μm多層配線プロセスの有効性

－ 4x4SWに基づく2μmプロセスとの面積比較 －

2μmプロセス



1μm多層配線プロセス



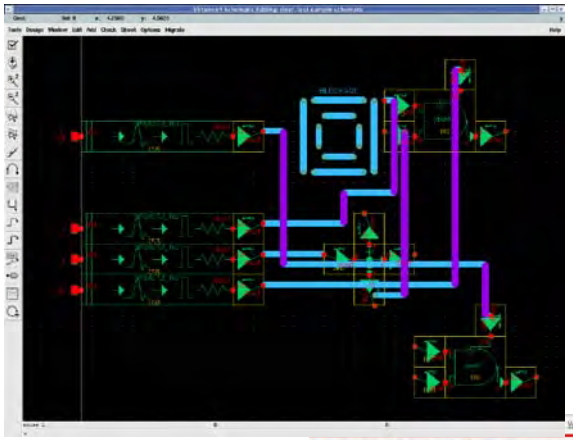
回路面積比　1：0.19　（81%削減）

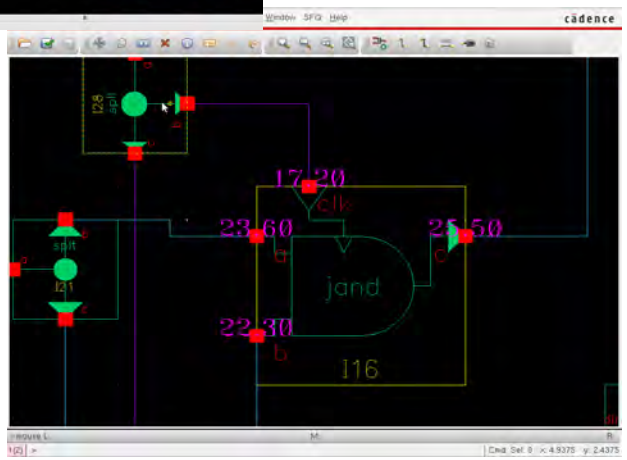
（セル寸法：40μm角→30μm角）

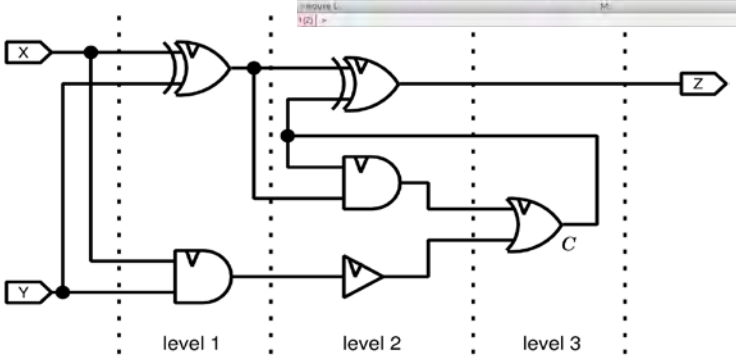
1μmプロセス用設計支援ツール

SFQ回路：パルス論理で動作

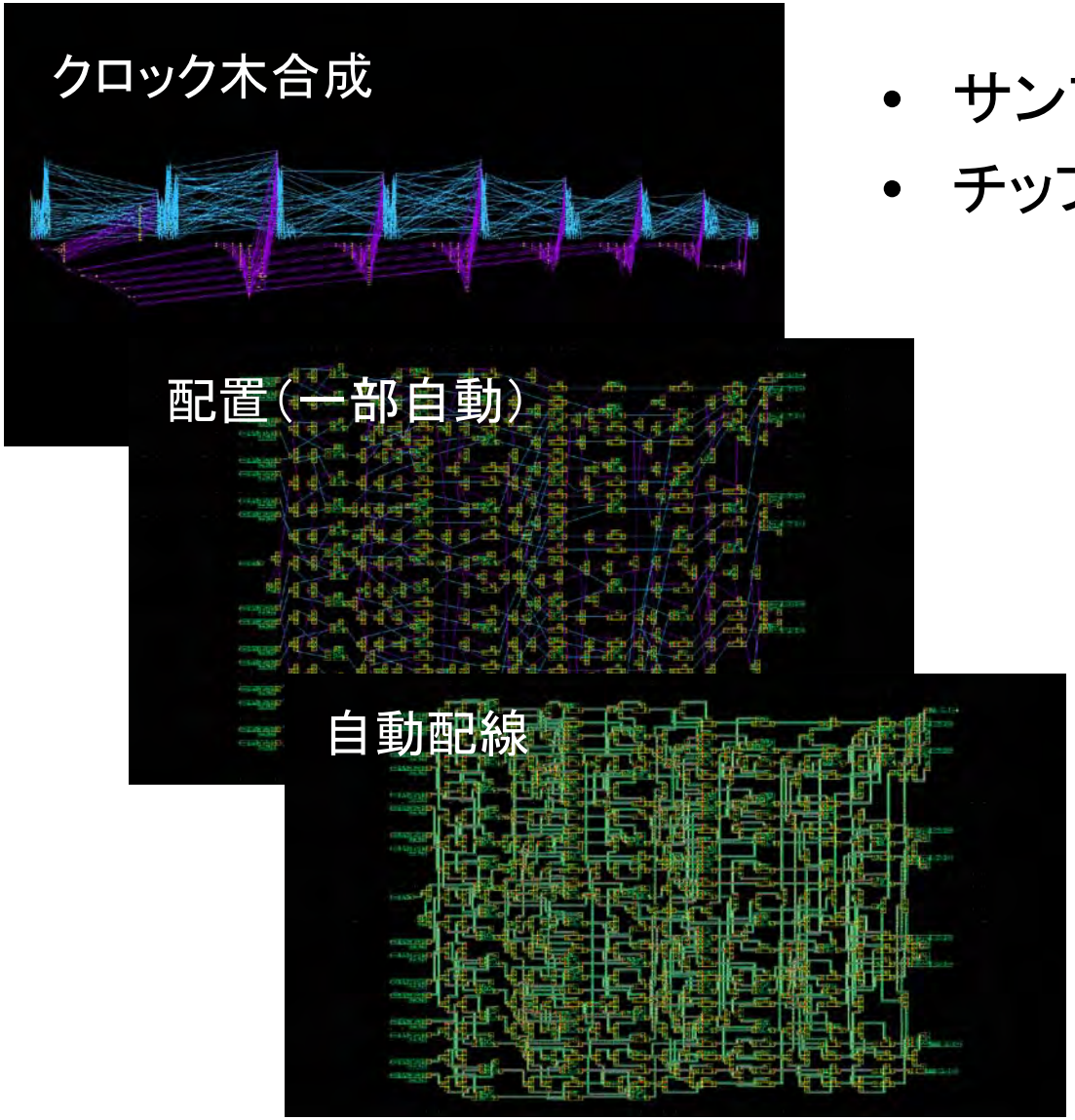
- 指定ピン間配線
  - 制約下での最短経路でPTLを配線
- 静的タイミング解析
  - 回路図エディタ上で迅速にタイミングを確認
- パイプライン動作検証
  - ゲート1段毎のフロークロッキングによる動作が仕様と一致することを保証
  - 等価性判定アルゴリズムを開発中



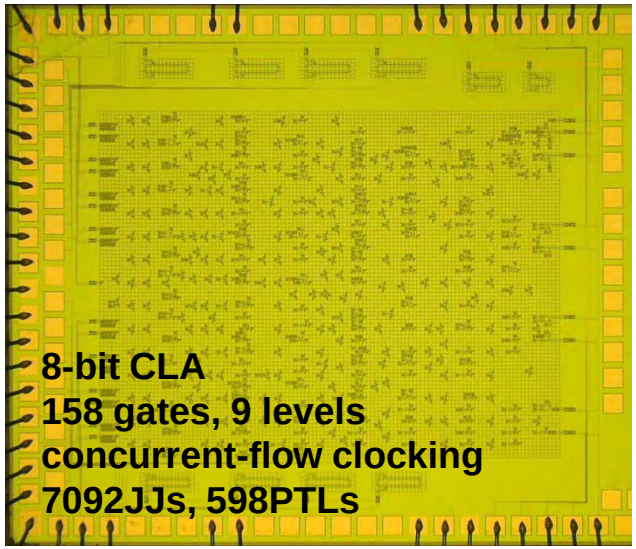




タイミングドリブン自動設計ツール



- サンプル回路を半自動で設計
- チップ試作、動作を確認



まとめ

1. RDPアーキテクチャ技術

- アーキテクチャ：詳細決定
- コンパイラ，計算アルゴリズム（事例，指針）：順調に開発中
- LS-RDPの性能はGP-GPUに匹敵

2. 算術演算回路，再構成可能な回路の構成法

- 2μm 半精度FPA・FPM，2x2RDPの約25GHz：動作実証
- 1μm 2x2RDPの45GHz：動作実証，4x4RDP，FPA・FPM：開発中
- SFQ-RDPは実現可能

3. 論理回路設計技術の開発，プロセスの高度化・高信頼化

- 1μm 9層（PTL配線2層）プロセス：ほぼ確立 （7万JJ規模のチップ）
  （現在でも、装置があれば、0.1 μmが可能）
- 論理セルライブラリ：ほぼ完成
- 論理回路設計ツール（ 配置，配線）：一部実用
- 大規模SFQ回路を設計，実現可能

展望

デスクサイドコンピュータから

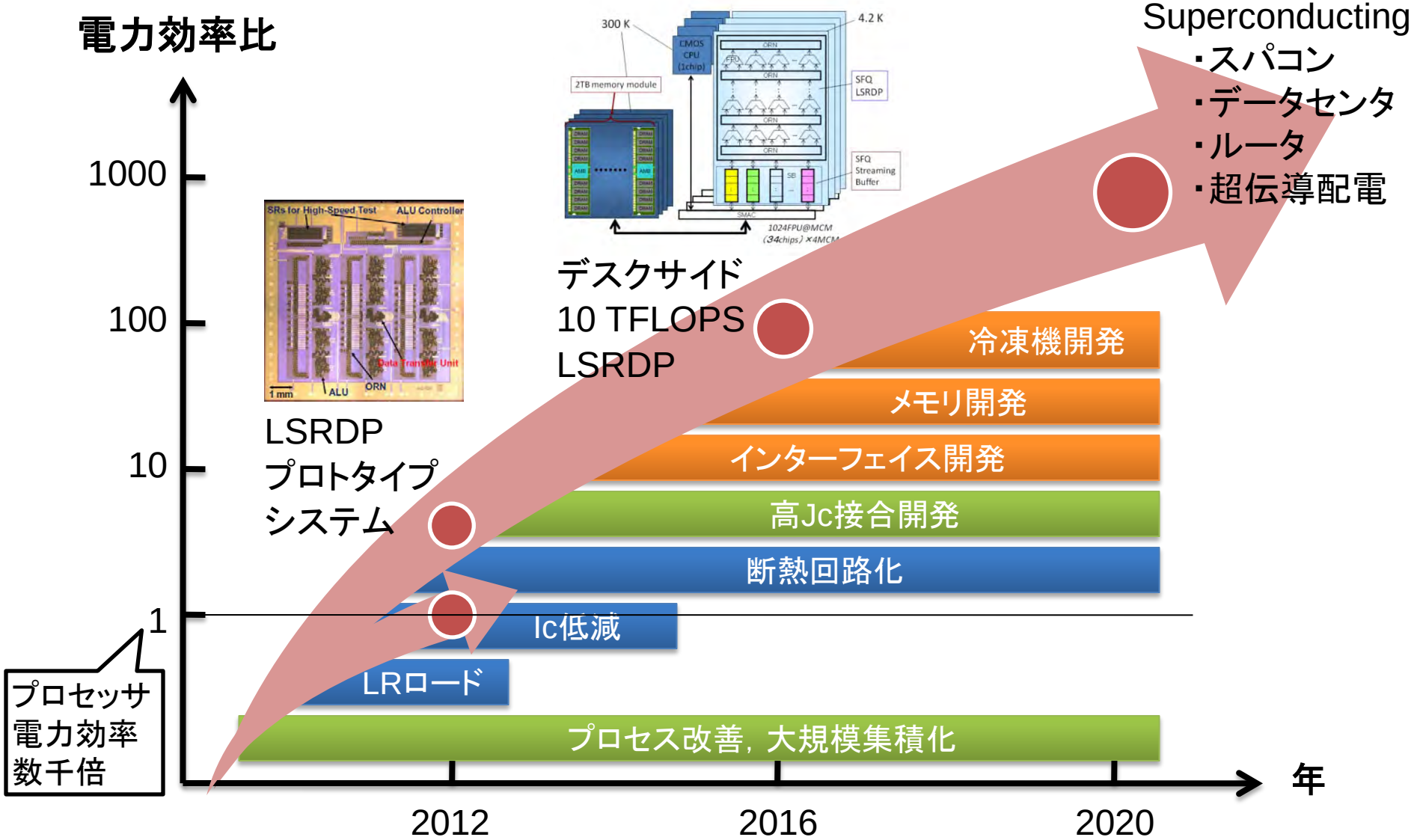
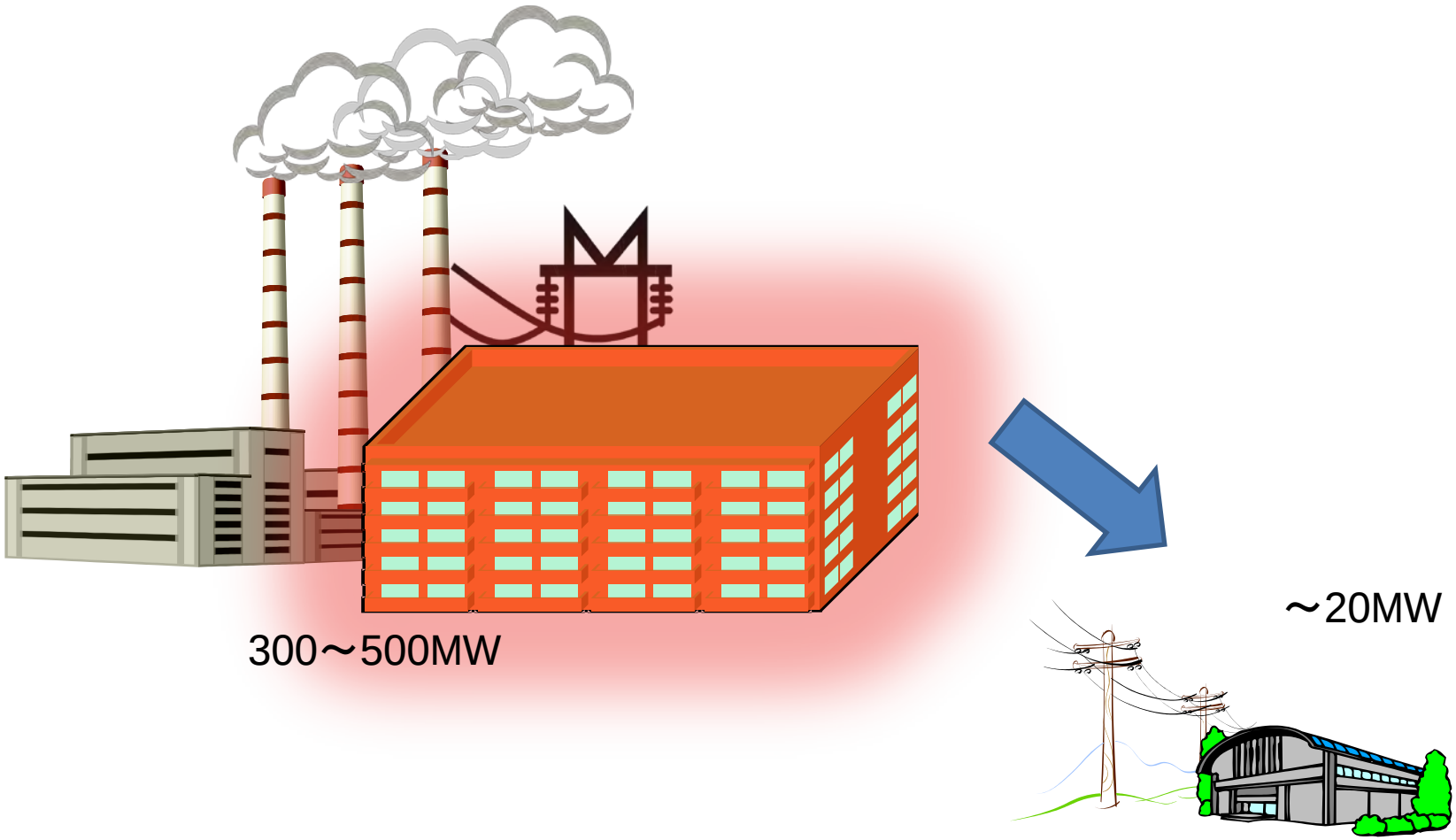
HPCサーバ，Exaコンピュータへ

SFQ-RDPをアクセラレータとして有するプロセッサを計算ノードとするマルチプロセッサ方式

- プロセッサの低消費電力化
- メモリの削減，相互結合網の削減（ファットノード）

Greenの上位はアクセラレータ方式

Ultra Low Power 大規模 SFQ LSI 開発のロードマップ



10 ExaFlops　コンピュータセンター（2022年）