情報システムの超低消費電力化を目指した技術革新と統合化技術

超低消費電力メディア処理SoCの研究

2010年11月26日

早稲田大学大学院
情報生産システム研究科（北九州）
基幹理工学研究科（東京）
（株）ルネサスエレクトロニクス

研究実施体制

後藤　敏（代表者）

早稲田大学

低消費電力向け統合化方式・アルゴリズムの研究　北九州

後藤　敏（教授）、池永　剛（准教授）、金　欣（客員講師）、
周大江（特別研究員）、張天若（RA）、他(4名）

ハードウエア設計指向：
フロアプラン統合型高位合成システムの研究　北九州

吉村　猛（教授）、木村　晋二（教授）、渡邊孝博（教授）、
松永多苗子（研究助手）、陳　松（助教）、他(3名）

ソフトウエア設計指向
コンフィギャラブルプロセッサ合成の研究　東京

大附　辰夫（教授）、柳澤　政生（教授）、戸川　望（教授）、
史　又華（助教）、RA(3名）

ルネサスエレクトロニクス

社会還元促進策(2009年10月開始）
プログラマブルハードウェアを用いた低電力メデイア処理の研究

梶原信樹、粟島　亨、犬尾　武、西野賢悟

1. 研究の背景と狙い

- 研究の背景
- 研究の狙いと方針

2. 研究開発の状況

- システムレベル
- アルゴリズムレベル
- LSI実装レベル
- ハードウエア／ソッフトウエア協調設計

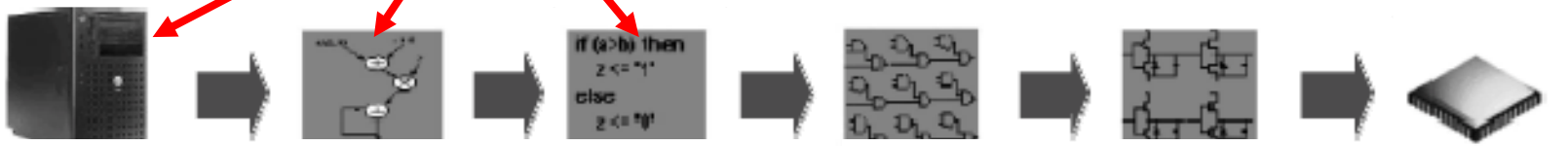
＊コンフィギャラブルプロセッサー

＊フロアプラン統合高位合成

3. まとめと今後の課題

研究の背景

消費電力を大幅に削減にはｼｽﾃﾑ、ｱﾙｺﾞﾘｽﾞﾑ
ﾚｼﾞｽﾀ･ﾄﾗﾝｽﾌｧのレベルの最適化が重要である



	システムレベル	アルゴリズムレベル	ﾚｼﾞｽﾀﾄﾗﾝｽﾌｧレベル	ゲートレベル	トランジスタレベル	シリコン
消費電力削減	＞70%	50－70%	15－50%	5－15%	3－5%	
精度の誤差	＞50%	25－50%	15－40%	10－20%	5－10%	

各抽象レベルで実現される消費電力の削減効果と
消費電力観測精度

ASIC/ICにおける消費電力管理 （by Synopsys)

電力消費（素子レベル）

$$P = \alpha C V_{DD}^2 f + I_{leak} V_{DD}$$

α ： 動作率

C ： 負荷容量

f ： クロック周波数 $\propto (V_{DD} - V_{TH})$

V_{DD} ： 電源電圧

V_{TH} ： しきい値電圧

I_{leak} ： リーク電流

システムとしての電力削減（ハードの観点）

専用ハードウエア利用の立場

$$P = \sum \alpha C V_{DD}^2 f + \sum I_{leak} V_{DD}$$

（1）動作率（α ）を下げる
（2）動作電圧（ V_{DD} ）を下げる
（3）クロック周波数（ f ）を下げる

↓

・デバイス素子数の削減
・動作時間の削減（演算数、メモリアクセス数）
・必要なときだけ動作（クロック・パワーゲーティング）

・ 並列処理、パイプラインの多用化

システムとしての電力削減（ソフトの観点）

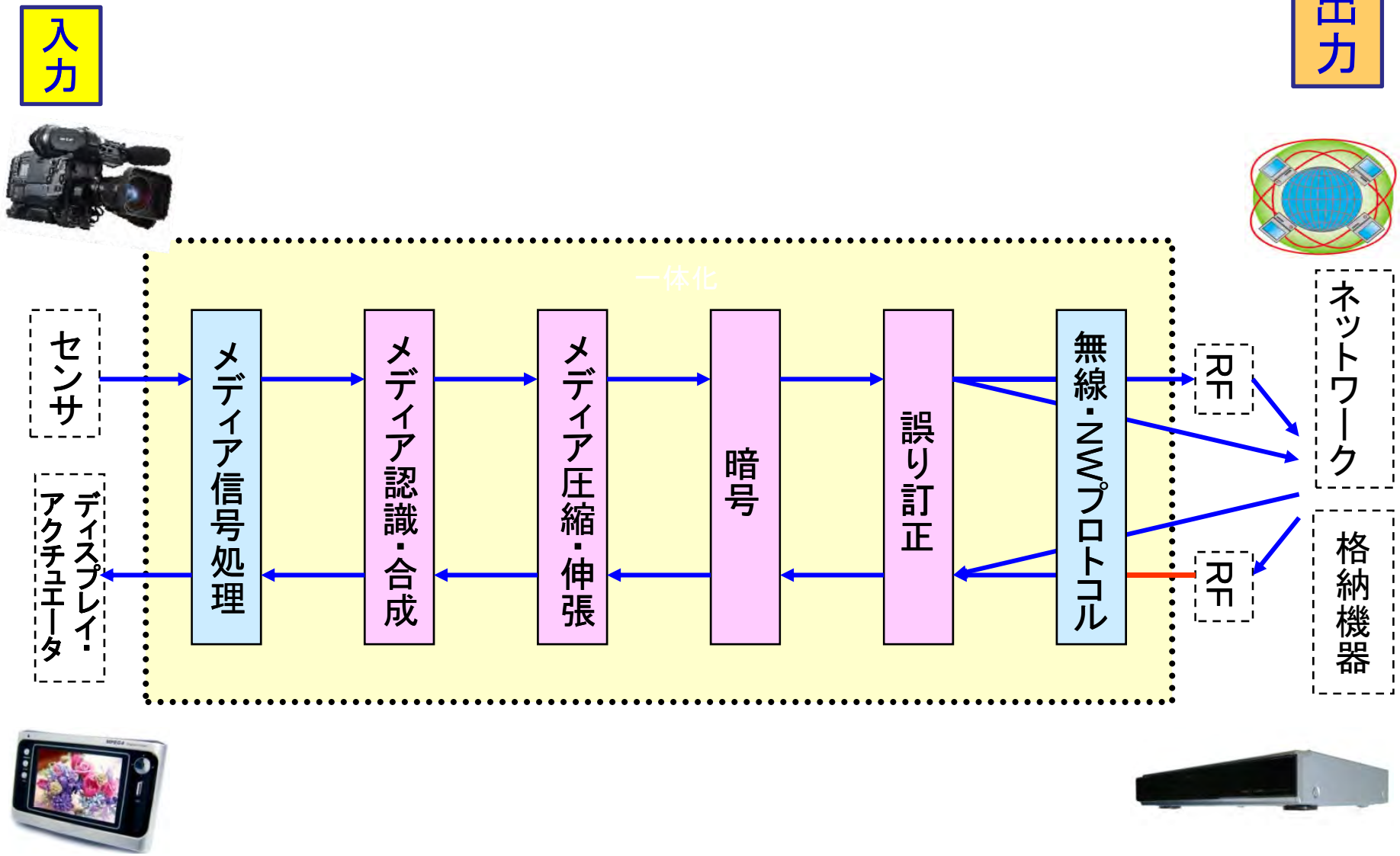
プロセッサー利用の立場

$$P = \sum \alpha C V_{DD}^2 f + \sum I_{leak} V_{DD}$$

（1）動作率（α ）を下げる
（2）動作電圧（ V_{DD} ）を下げる
（3）クロック周波数（ f ）を下げる

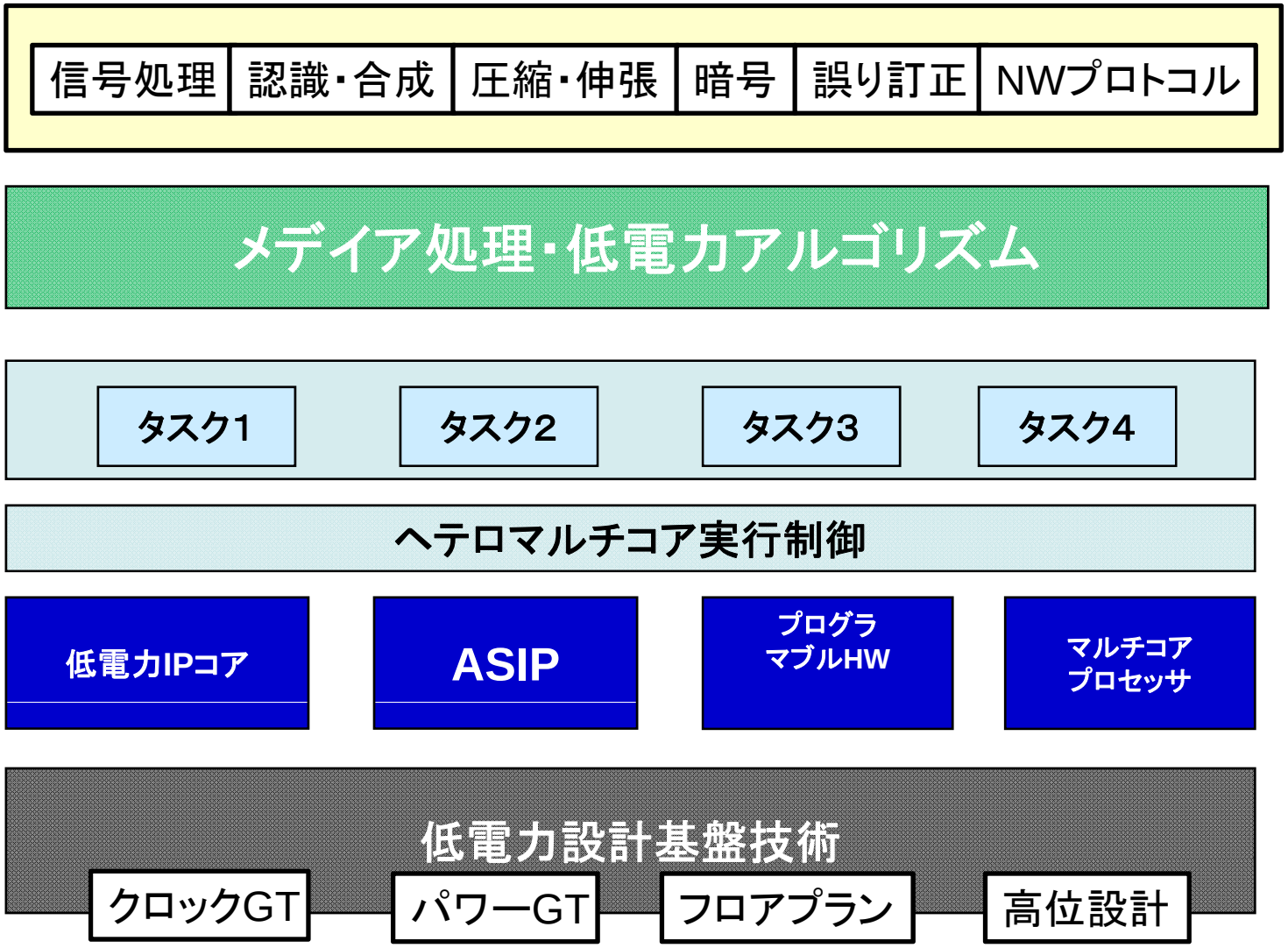
- 演算数の削減
- 処理の並列化
- 負荷に応じた動作電圧、動作周波数の設定。
- 必要なときだけ動作（クロック・パワーゲーテイング）

メディア処理の流れ


入力
出力
一体化
センサ
ディスプレイ・アクチュエータ
メディア信号処理
メディア認識・合成
メディア圧縮・伸張
暗号
誤り訂正
無線・NWプロトコル
RF
RF
ネットワーク
格納機器

研究の方針と狙い

電力削減率
目標



(1/5)

(1/10)

(1/2)

1. 研究の背景と狙い

- 研究の背景
- 研究の狙いと方針

2. 研究開発の状況

- システムレベル
- アルゴリズムレベル
- LSI実装レベル
- ハードウエア／ソッフトウエア協調設計

＊コンフィギャラブルプロセッサー

＊フロアプラン統合高位合成

3. まとめと今後の課題

2010年10月までの開発状況(1/5)

・システムレベル：　メデイアデータを重要と非重要に分類し、誤り訂正符号化と動画処理を一体化させることで、75%～44%に演算量を削減

メデイアデータを重要と非需要に分類し、暗号と動画処理を一体化させることで、25%～50%に演算量を削減

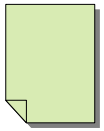
・アルゴリズムレベル：画像圧縮アルゴリズムの低演算化
圧縮方式に様々な工夫で、25%~50%に演算量を削減

監視系カメラでの動画圧縮の演算量を5%~10%に削減

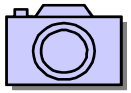
RoIベース（携帯、TV会議）での動画圧縮の演算量を30%～40%に削減

システムレベルの低電力化

一般的なメディア情報

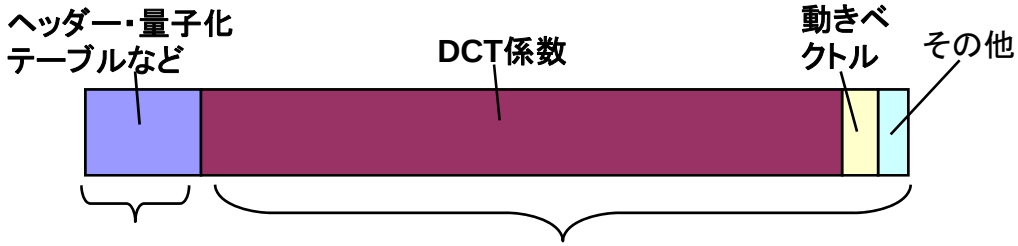


テキスト情報
（1000文字
16Kビット）



画像情報
（静止画10枚
240Mビット）

動画圧縮情報（H.264の例）



- データが漏れると意味が漏れる
- 誤りが生じると情報が失われる

- データの一部が漏れても、情報全体が伝わることはない
- 一部に誤りが生じても、情報全体が失われることはない

- データが漏れると画像情報が伝わる
- 誤りが生じると画像全体が失われる

- データの一部が漏れても、画像情報全体が伝わることはない
- 誤りによって画像情報全体が失われることはない

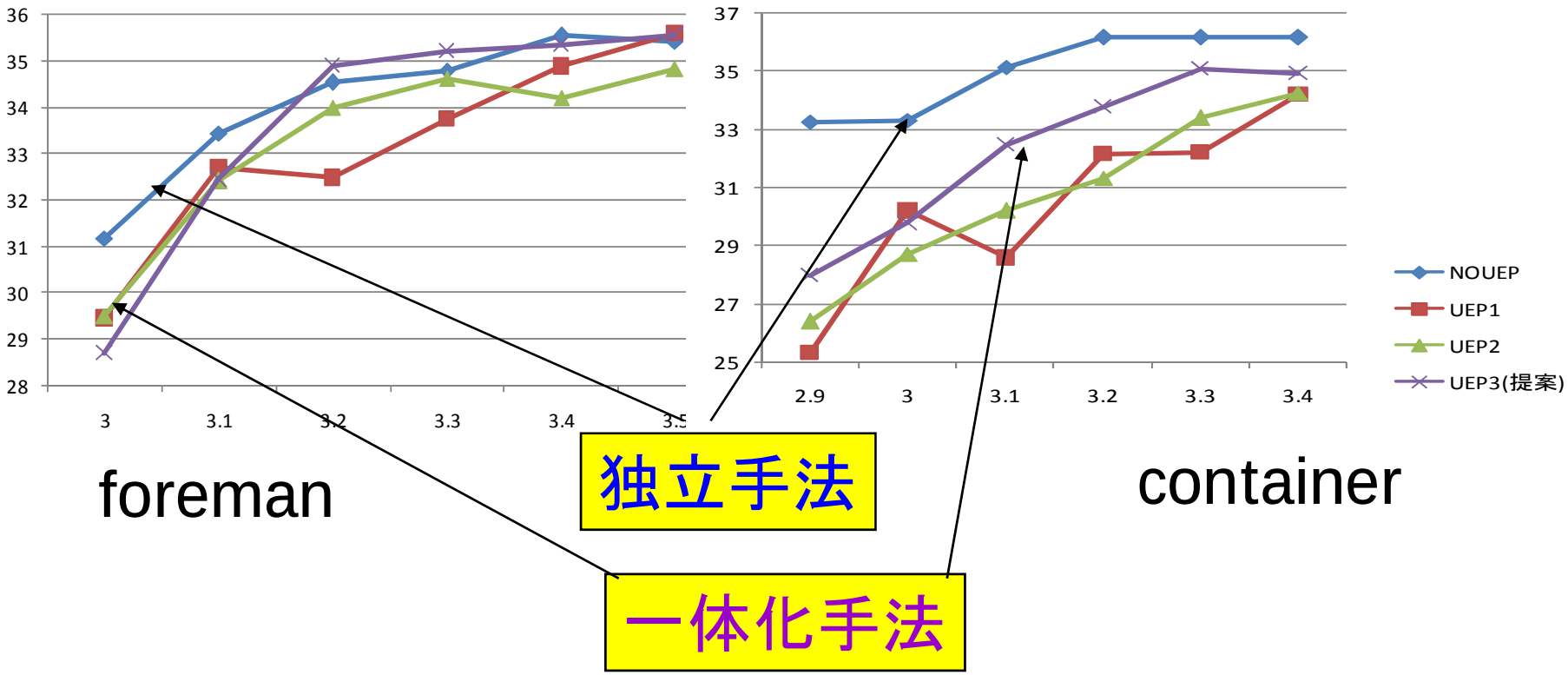
	重要情報	非重要情報
暗号化	安全強度の高い暗号 （2000bit RSA, AESなど）	重要度に応じて安全強度を減らす
符号化	訂正能力の高い符号 （10000bit LDPC符号など）	重要度に応じて誤り訂正能力を減らす
人間の関心度	高画質な画像を表示 （ROIベース）	低画質な画像を表示 （Non　ROIベース）

システムレベルの低電力化
画像処理と誤り訂正符号化の一体化の実験

H.264動画像データの分類

	重要データ	非重要データ
符号化率	低い	高い
LDPC符号の繰り返し数	大	小
LDPC符号長	長い	短い
計算時間	大	小

動画圧縮と誤り訂正符号の一体化

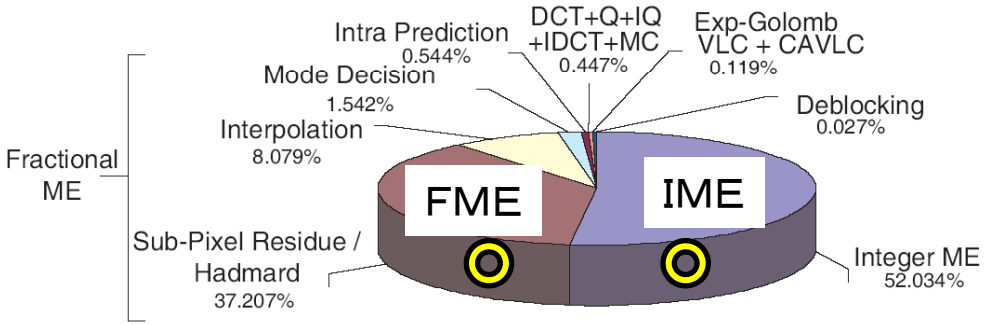


[redacted]

2010年10月までの開発状況(2/5)

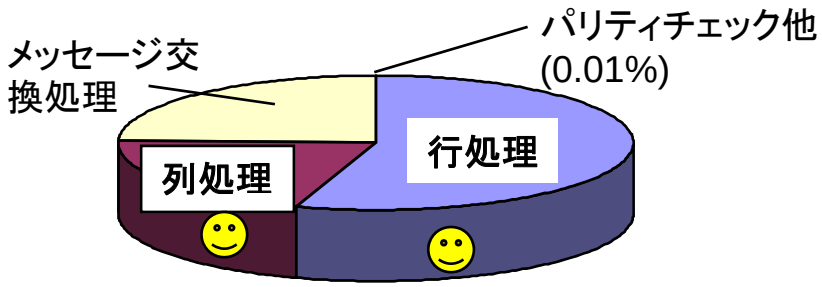
アルゴリズムレベル

画像処理、誤り訂正処理の大部分の演算を占める動き予測処理、行処理／列処理に着目し、画質や誤り訂正能力を低下させることなく、低演算量化が可能なハードウェアアルゴリズム構成法を考案する.



H.264エンコーダの演算量の内訳

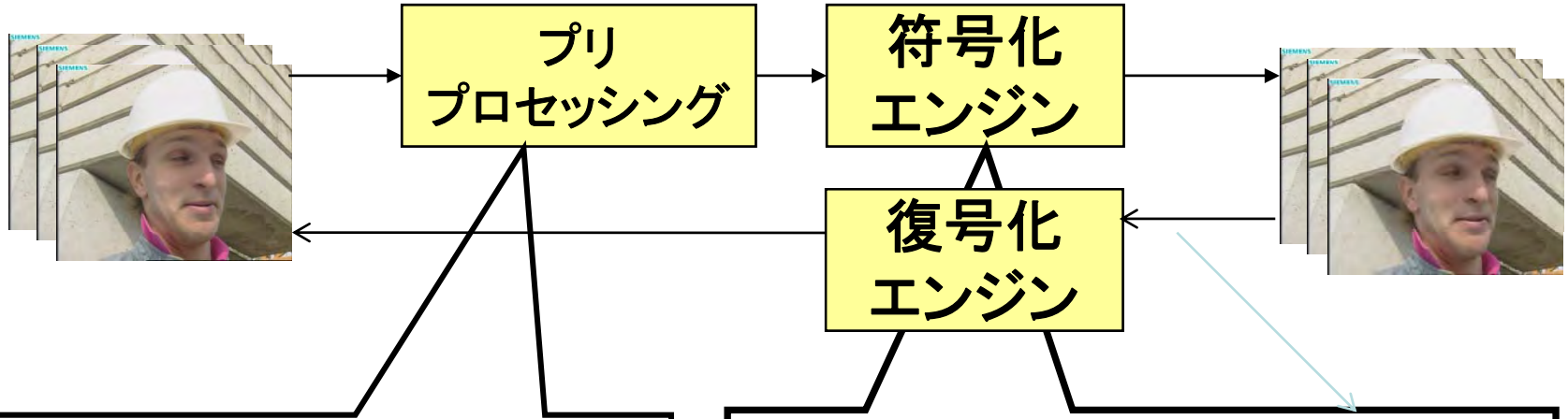
◎ ME（動き予測）の演算量の低減が重要



LDPCデコーダの演算量の内訳

☺ 行処理、列処理の演算量低減が重要

動画像符号化処理の低消費電力化



前処理として、画像データの特性に応じた処理を行い、符号化エンジンの演算量を削減する。

動き差分検知方式（DD)

フレーム間の動きや色の差分に注目し、符号化エンジンには差分データを入力する。

動画像の品質を保つもとで、符号化と復号化の消費電力を削減する。

次世代ハイビジョン用符号化方式

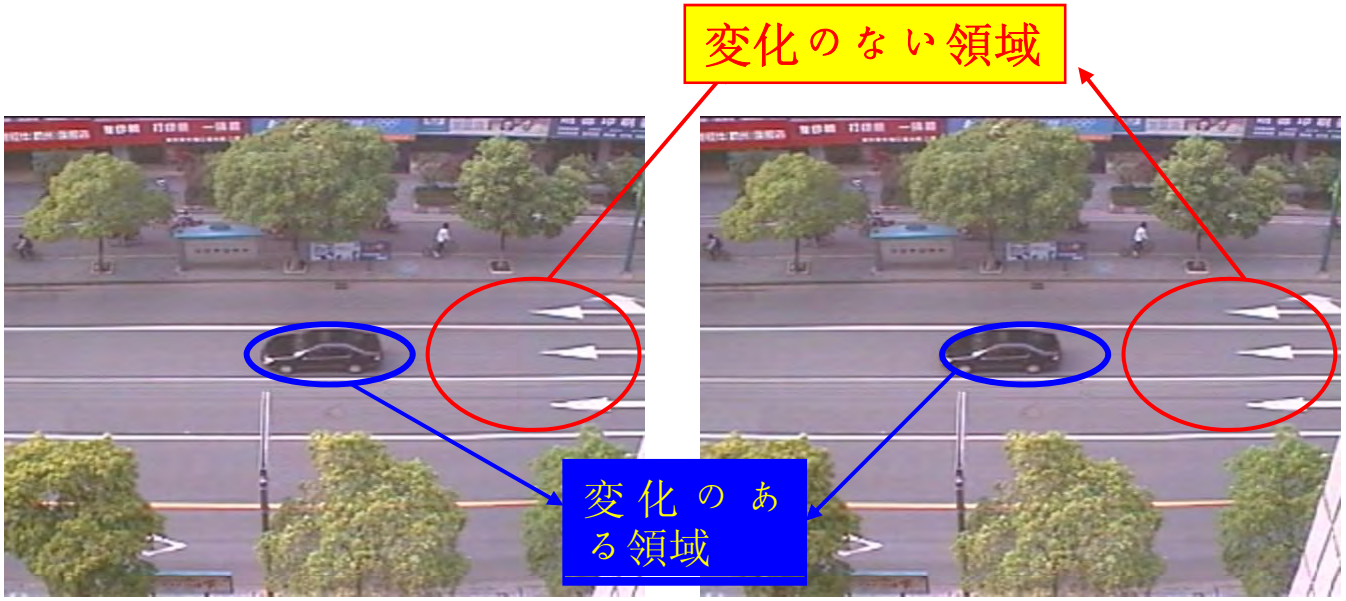
（4kx4k）のFMEエンジンの低電力化

次世代ハイビジョン用復号LSI

(4kx2k）の復号LSIの低消費電力化

動き差分検知方式（Difference Detection）

- エンコーダのプリプロセッシングとして、前フレームと比べて動きや輝度で変化があったマクロブロックだけを検出する。
  - 画像が背景か否かは問わない。
  - 動きのあるものの中味は問わない（人か車かも問わない）
- 動きのない場合は、エンコーダはスタンバイの状態にする。



frame number: n → n+1

実験システム

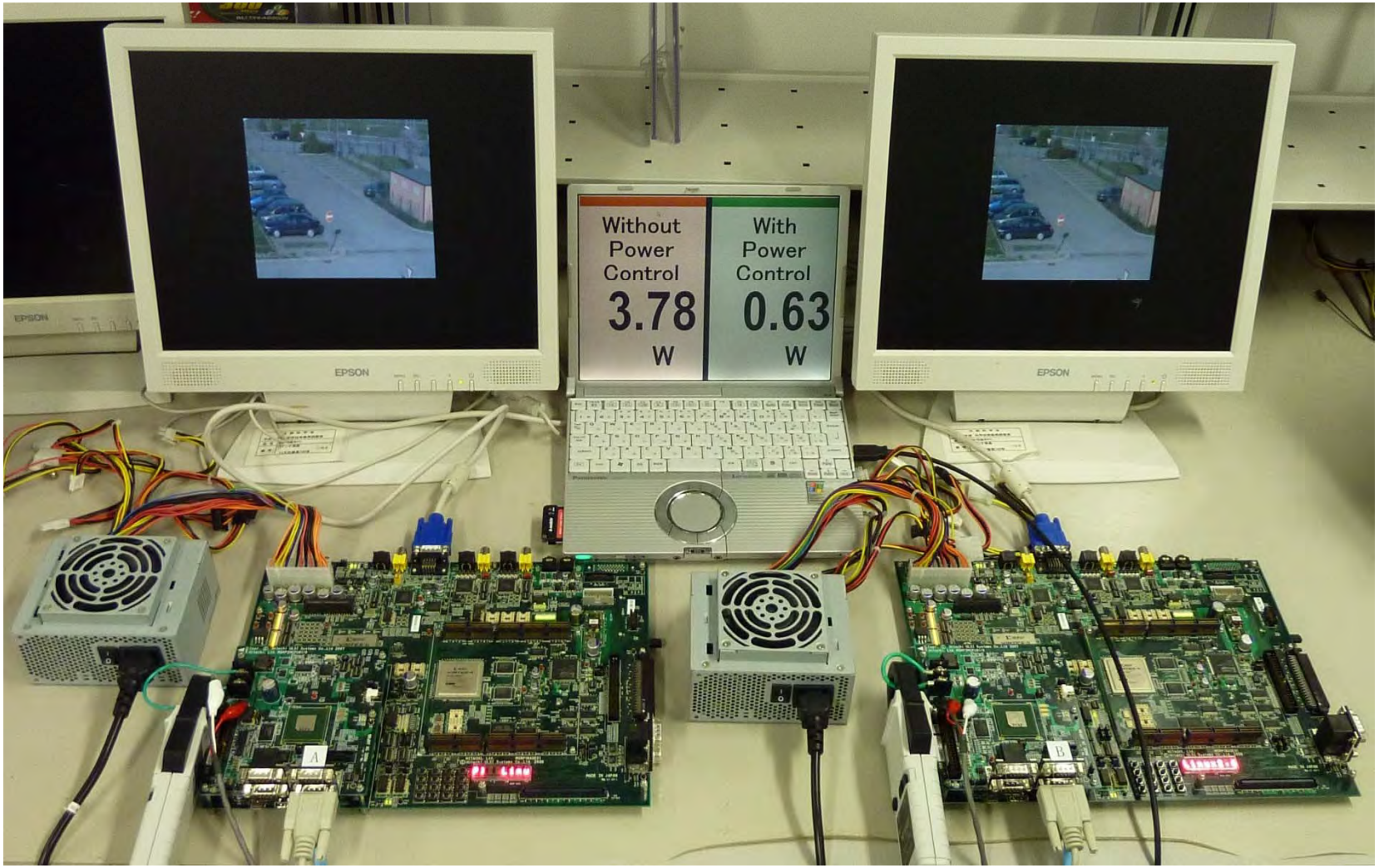
・プロセッサーのクロック周波数を動的に割り当て（DFS）
　600, 300, 150, 75 MHzの周波数を動的に選択
・マルチコアによる負荷分散
　画面を4つに分割し、4コアの並列処理を実行

画像データ：Street （QCIF）

Coding Schemes	通常の方法	提案手法	削減率
CPU Frequency (MHz)	600	300	50%
Total Coding Time (s)	3775.150	68.403	98.18%
Power Consumption (w)	2.816	2.156	23.43%
Energy Consumption (KJ)	10.631	0.147	98.62%

監視系画像データにおいて、消費電力で23%、エネルギー消費で98%を削減したことを実験で確かめた。

実験風景

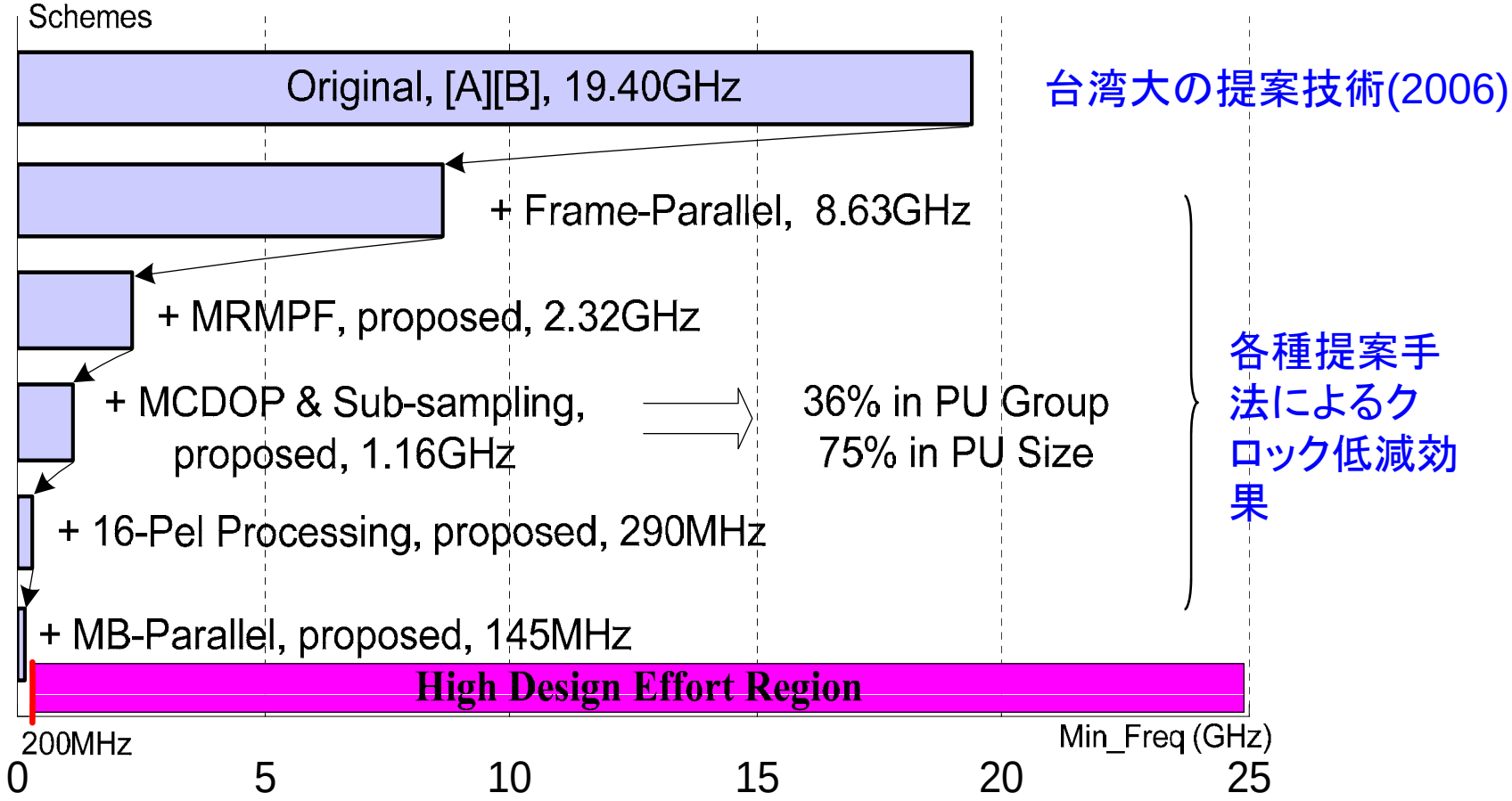


本シンポジウムでデモ展示

ICME2010でデモ展示

次世代ハイビジョン向けエンコーダ （FME）

提案する各種手法を全て融合する事により、19.4GHzのクロックを145MHzに低減可能 ⇒ FMEエンジンの1／100の低消費電力化の見通し



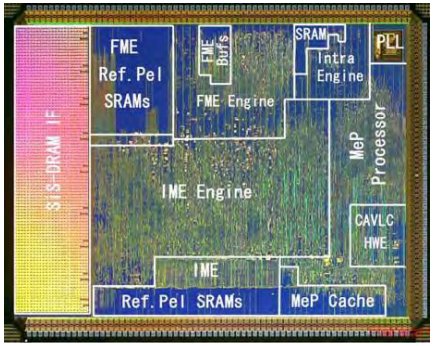
2010年10月までの開発状況(3/5)

LSI実装レベル

低消費電力H.264エンコーダLSIチップの試作

約50%の低消費電力化を達成

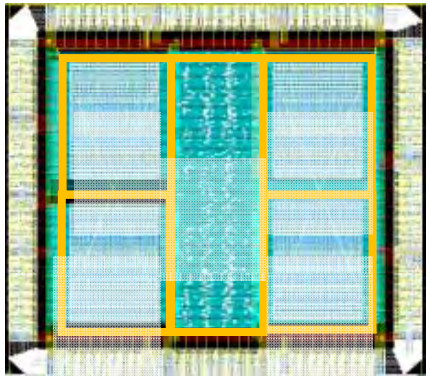
1080P H.264エンコーダLSI (ISSCC2007、IEEE・JSC2009)



AES暗号の低消費電力化を実現

約50%の低消費電力化を達成

2.4Gps AES 暗号(ICSEC2008)

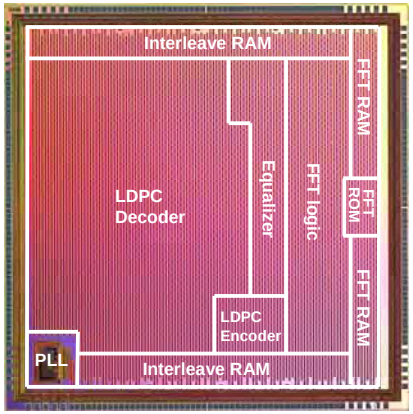


耐タンパAESはISPLED2010のデザインコンテストで3位

低消費電力ベースバンドLSIを実現

約30%の低消費電力化を達成

189mw@820Mb/s OFDM/UWB ベースバンド(A-SSCC2009)



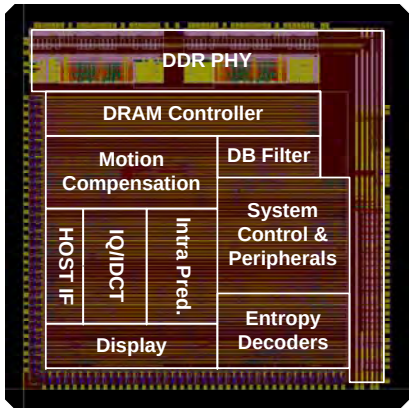
2010年10月までの開発状況(4/5)

LSI実装レベル

低消費電力マルチフォーマットデコーダLSIチップの試作

37%の低消費電力化を達成

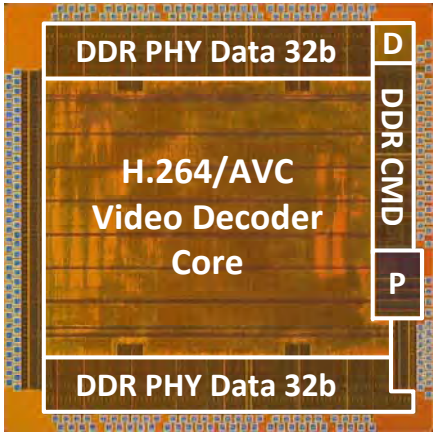
1080P H.264/MPEG/AVS　デコーダLSI (VLSI Symp2009)



低消費電力ウルトラHDTV（4kx2k）デコーダLSIチップの試作

更に、59%の低消費電力化を達成

A 530Mpixels/s 4096x2160@60fps H.264/AVC High Profile デコーダLSI (VLSI Symp2010)



ISPLED2010のデザインコンテストで3位

2010年10月までの開発状況(5/5)

・ハードウエア設計指向：

フロアプランベース設計

LDPCデコーダへの適用でチップ面積を25%、遅延を8%

電力を10%以上削減

パワーゲーテイング・クロックゲーテイングの導入

16～42%の消費電力削減

ソフトウェア設計指向:

VLIWプロセッサーの命令メモリの最適化

命令ビット幅とフェッチ回数の削減で

消費電力の25%～35%削減を達成

フロアプランベース設計最適化

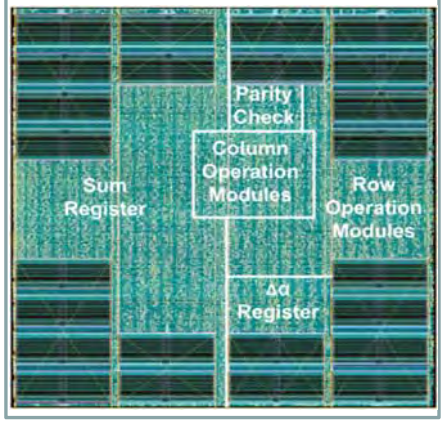
LDPCデコーダでの評価で 商用ツールのみ(フロアプラン無し) と比べ、
面積25%、配線長10%、配線遅延 8% 削減 →電力を10%以上削減。

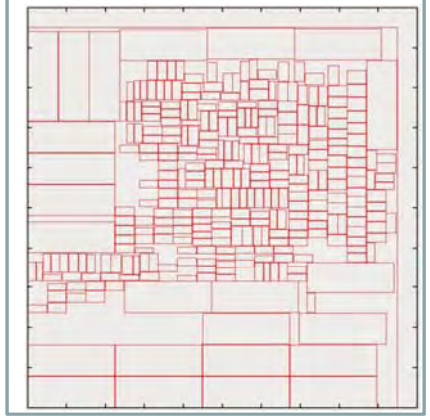
全体の回路
Nets: 49497
Cell : 44531

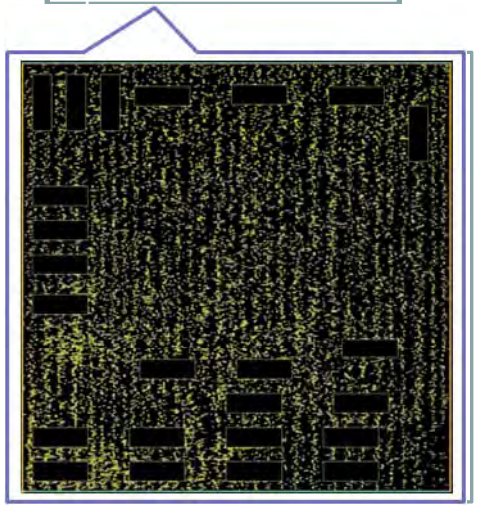
回路分割
300回路ブロック
24メモリブロック

フロアプラン
メモリブロックの
位置を固定

Synopsys Design Flow
- Placement
- Clock Optimization
- Routing
- Post Route







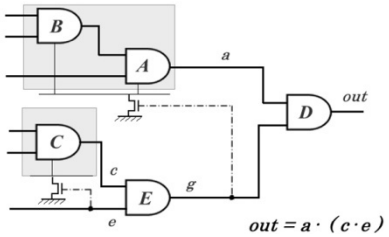
論理設計段階の状況
- TSMC 0.18u CMOS
- 418Mbps@200MHz
- Memory:
  - 24 メモリブロック(Area:1,695,501)
- Total Area: 8,012,999
- Power: 712,38mW

	Design (without FP)	Proposed Design	比率
Area	16,319,256	11,923,480	-25%
Dealy	6.208	5.713	-8%
Wire Length	18,651,412	16,842,454	-10%

論理レベルパワー＆クロック ゲーティング (PG & CG)による低電力化

論理素子の制御値でサイドインプット側の論理ブロックを制御、最適化

- 制御値確率とブロックのゲート数の積 pN を最適化する手法を提案
- パリティ回路を除いて 16~37% の削減、AND回路では 40% 以上の削減

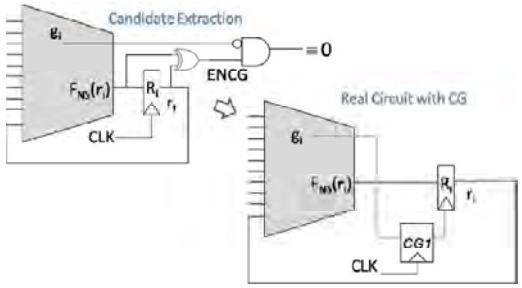


Circuit Info.			pN-based algorithm				
Name	Gates	Original Depth	No. of Sleep gates	No. of Sleep signals	*ENSG*	Depth with PG	Run time
C432	252	31	88	51	53.8 (21.3%)	31	0.5s
C499	454	19	48	40	20.0 (4.4%)	19	0.8s
C880	435	30	191	65	76.9 (17.7%)	30	0.6s
C1355	590	26	48	40	20.0 (3.4%)	26	0.8s
C1908	1057	44	532	83	277.1 (26.2%)	44	0.9s
C2670	1400	39	801	164	457.5 (32.7%)	40	1.7s
C3540	1983	56	1225	289	742.9 (37.5%)	56	8.3s
C5315	2973	52	1085	284	475.8 (16.0%)	52	2.5s
C7552	4042	45	1807	491	967.9 (23.9%)	46	5.3s

IEICE Trans. Fundamentals 2008.12 & 2009.12

自動抽出されたCG制御の最適共有

- 制約下でのコスト最適化問題に帰着
- カウンタで40%以上、ベンチマークで最大18% の電力削減



min $\{\Sigma_i \Sigma_j x_{ij} p_j + \Sigma_j \alpha y_j + \Sigma_i z_i\}$ under

x_{ij}, y_j, z_i は 0 か 1; $\Sigma_j (x_{ij}) + z_i = 1$

$\Sigma_i x_{ij} > 0$ ならば $y_j = 1$

(α：CG回路の正規化電力)

バイナリカウンタにおける電力削減

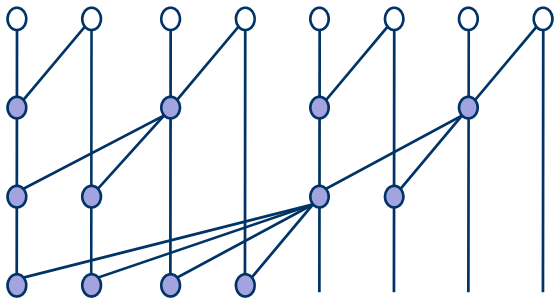
Bit	Min Cost	Min-Cost Grouping	Dynamic Power of Original Counter	Dynamic Power with CG	Power Reduction
8	4.23	5 2 1	38.7	24.2	37.3%
10	4.48	6 3 1	45.4	25.2	44.6%
16	4.69	11 3 2	65.9	25.8	60.8%
20	4.82	14 4 2	79.6	26.4	66.8%
30	4.98	24 4 2	114.0	26.7	76.6%

IEICE Trans. Fundamentals 2010.12

スイッチングアクティビティを用いた算術演算回路の低電力化

入力遅延を考慮した Parallel Prefix Adder の電力最適化法を提案

- 入力遅延の凸型分布において、Brent-Kung より 15%、Kogge-Stone より30% 削減



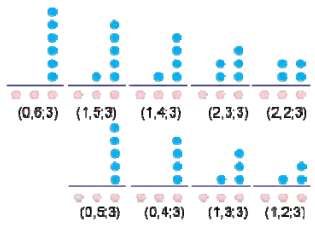
width	prob	lv	ours	sk	ks	ours/sk	ours/ks
32	uni	5	72.66	76.58	107.02	0.95	0.68
32	rand	5	59.59	63.53	89.51	0.94	0.67
64	uni	6	154.50	169.16	245.96	0.91	0.63
64	rand	6	129.46	142.08	207.81	0.91	0.62

IPSJ-TSLDM 2009

幅 n bit の m 個の加算に対して GPC (Generalized Parallel Counter) の最適マッピングによる電力最適化手法を提案

- 桁単位で加算対象のビットデータを削減
- 段数最適化用既存手法(depth)に対して 18-32%アクティビティを削減

General Parallel Counter とそのアクティビティ



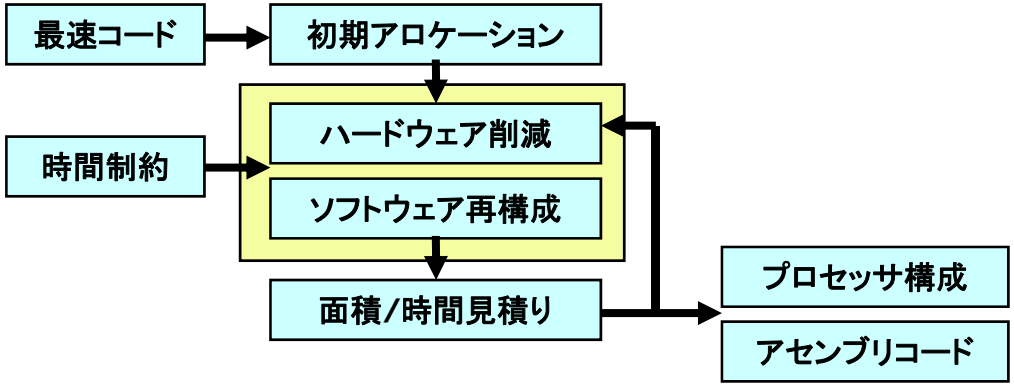
	C0	C1	C2
GPC06	0.500	0.492	0.451
GPC16	0.500	0.500	0.500
GPC05	0.500	0.469	0.305
GPC14	0.500	0.500	0.469
GPC23	0.500	0.500	0.500
GPC04	0.500	0.469	0.117
GPC13	0.500	0.500	0.375
GPC22	0.500	0.500	0.469
GPC12	0.500	0.500	0.219

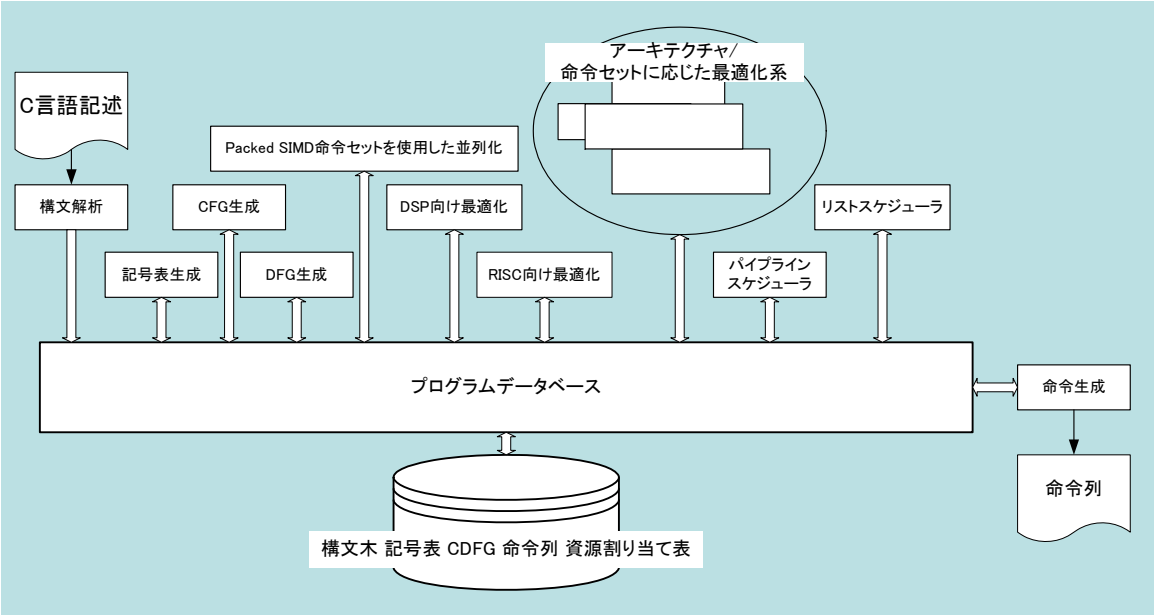
width	#op	depth	sw	sw/depth
16	8	54.72	42.14	1.30
16	16	121.55	102.73	1.18
24	8	83.57	63.42	1.32
24	16	183.86	154.31	1.19
32	8	112.36	84.58	1.33
32	16	246.19	205.76	1.20

ASP-DAC 2010, DAシンポジウム2010

ソフトウエア設計指向
コンフィギャラブルプロセッサ合成

- HW / SW 協調設計をプロセッサ合成へ導入
  - プロセッサコアとアセンブラコードを並行最適化
  - 命令セットおよびコードを応用毎に生成
  - スクラッチからの命令セット生成
- 面積削減による低消費電力化を実現





1. 研究の背景と狙い

- 研究の背景
- 研究の狙いと方針

2. 研究開発の状況

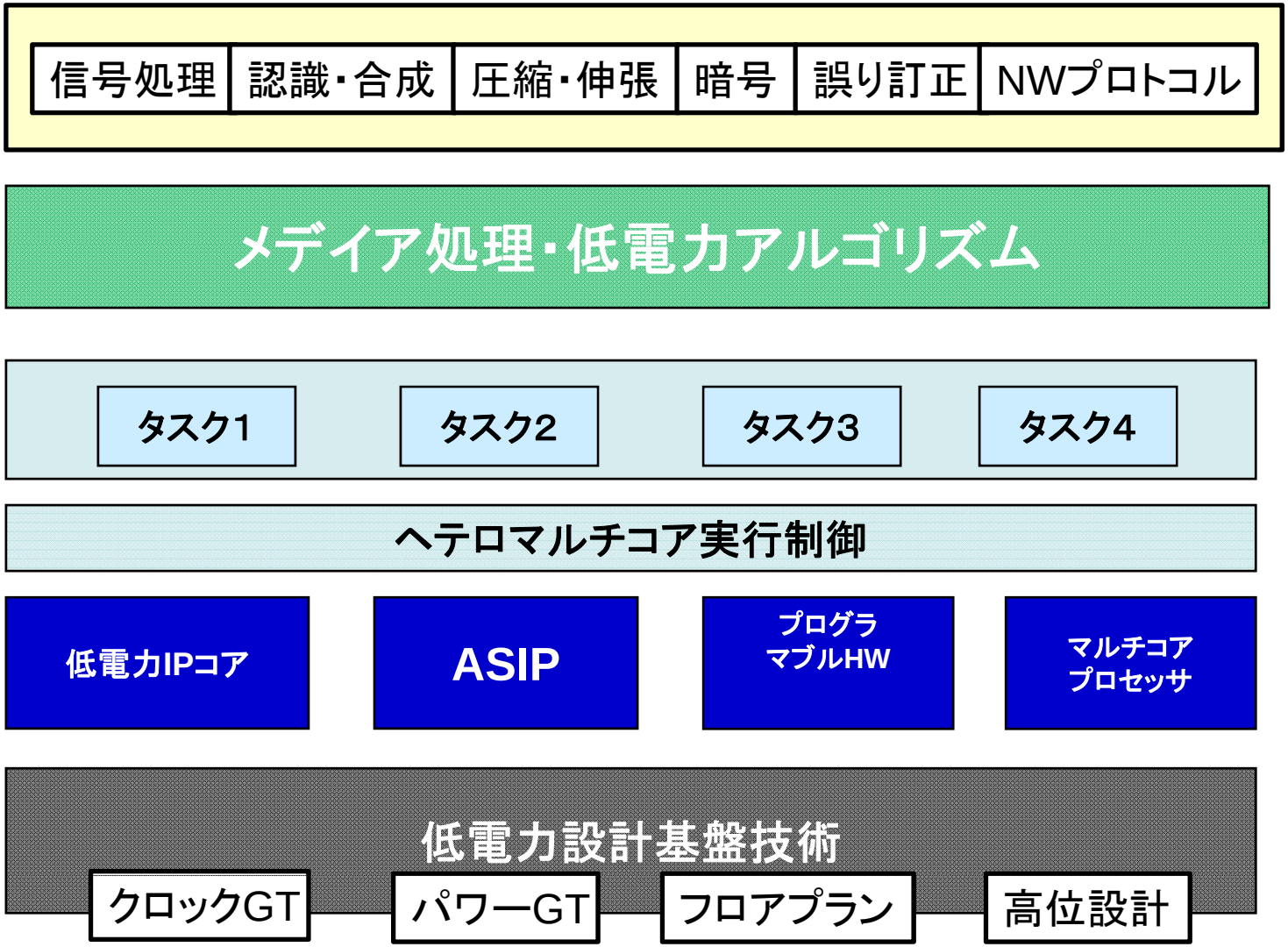
- システムレベル
- アルゴリズムレベル
- LSI実装レベル
- ハードウエア／ソッフトウエア協調設計

＊コンフィギャラブルプロセッサー

＊フロアプラン統合高位合成

3. まとめと今後の課題

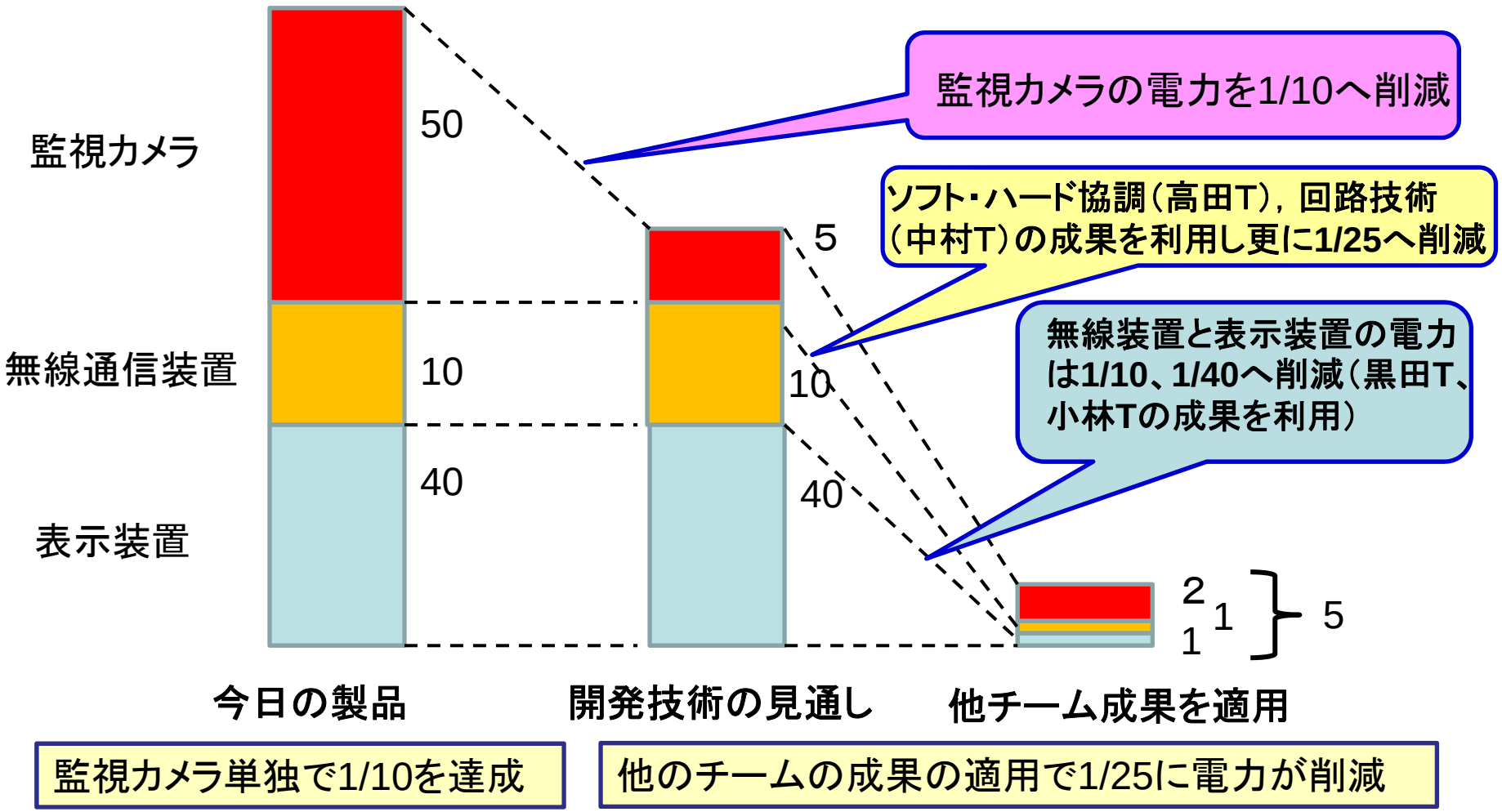
電力削減の現在の達成度



目標	達成度
1/5	1/3~1/5
1/10	1/2~1/5
1/2	2/3～1/2

総計：1/15～1/50

電力削減の見通し（監視カメラの例）



監視カメラ単独で1/10を達成

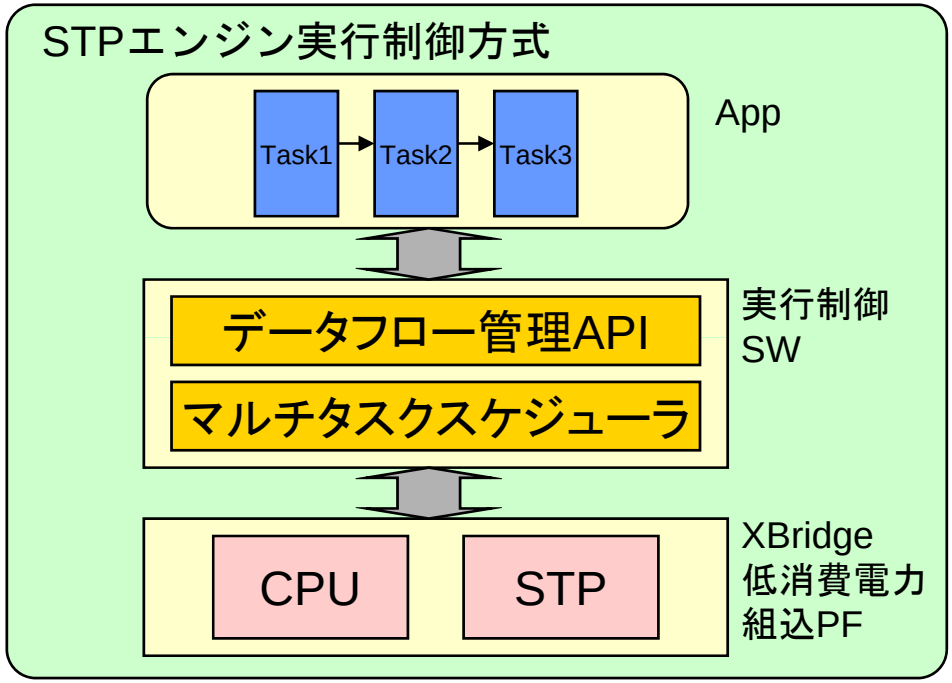
他のチームの成果の適用で1/25に電力が削減

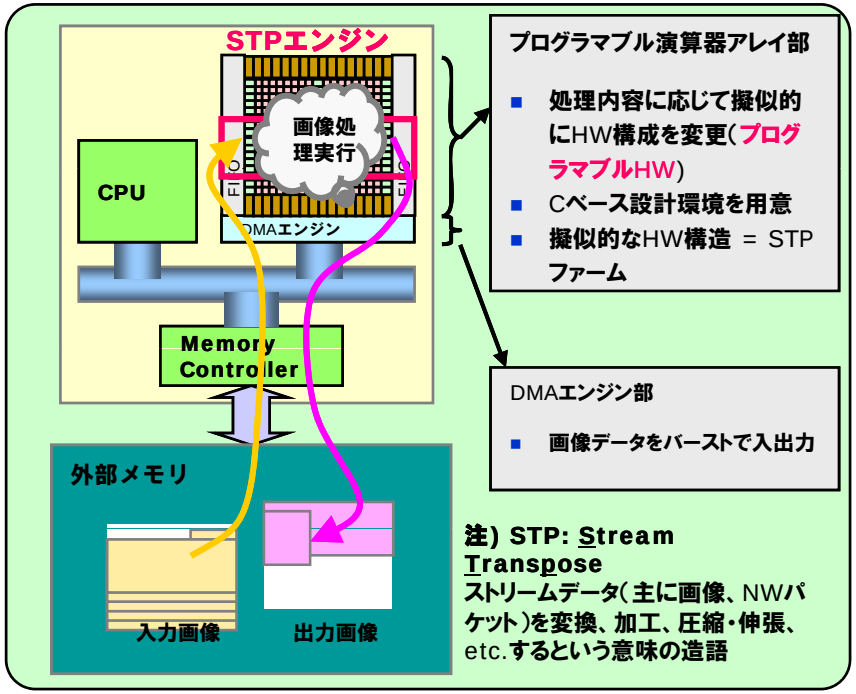
社会還元促進策（ルネサスが担当）

CRESTプロジェクトの研究成果を、社会で広く使われることを促進することを目的として2009年より実施

- 認識系アルゴリズム: 早稲田大学が開発した人物抽出アルゴリズム
- 低消費電力組込PF: プログラマブルハードウェアSTPエンジン

電力性能を1/10にすることを目標





発表論文（2007年～2010年10月）

- **原著論文　61件**

  IEEE Tran.(4)
  電子情報通信学会英文論文誌:IEICE(38)
  情報処理学会英文論文誌:IPSJ(8)

- **国際会議（査読あり）　194件**

  VLSI Symp(3), ISPLED（3）,ISSCC（2）,A-ASCC（1）
  ISCAS(9) , GLSVLSI(9), ASPDAC(8), ICCAD（2）,ICCD(2)
  ISPACS（12）, ICME(9), ICIP(4), PCS(4), EUSIPCO (4),ICASSP(2),
  MMM(2), MMSP(2), SiPS(2)

- **招待講演　　17件**

  海外（8件）、国内（9件）

- **新聞発表　　6件**
- **表彰　10件**

  ISPLED2010(低消費電力国際会議）　デザインコンテストで入賞
  4kx2kビデオデコーダ、耐タンパAES暗号チップ

今後の課題

メデイア処理における低消費電力化

- 方式・アルゴリズムレベル
- アーキテクチャレベル
- LSI実装レベル
- 回路レベル
- ハード・ソフト協調設計

今後、各レベルでなお一層の低消費電力化技術の開発と実証を行う予定である。