

戦略的創造研究推進事業 CREST
研究領域「情報システムの超低消費電力化を
目指した技術革新と統合化技術」
研究課題「単一磁束量子回路による再構成可能
な低電力高性能プロセッサ」

研究終了報告書

研究期間 平成18年10月～平成25年3月

研究代表者：高木 直史
(京都大学大学院情報学研究科、教授)

§ 1 研究実施の概要

(1) 実施概要

超伝導単一磁束量子 (SFQ) 回路による大規模再構成可能データパス (RDP) を有するプロセッサの基盤技術を確立し、今後、最小接合寸法 $0.5\mu\text{m}$ 程度の SFQ 集積回路プロセスが確立されれば、10 テラフロップス級デスクサイド・コンピュータが実現可能であることを示すことを目的とし、SFQ 回路プロセスの高度化及び高信頼化、SFQ 論理回路設計技術の開発、SFQ-RDP に適した算術演算ユニットの構成法の開発、SFQ 回路による再構成可能な回路の構成法の開発、RDP アーキテクチャ技術の確立の研究を行った。RDP は、多数の浮動小数点演算ユニットを二次元配列状に配置し、行間を再構成可能なネットワーク (ORN) で接続した構造であり、大規模な科学技術計算に現れる繰り返しループの計算に合わせて ORN による接続を再構成し、データ依存関係のある多数の命令を直接実行することにより、高い計算性能を実現する。

SFQ 回路プロセスの高度化については、永沢グループにおいて完全平坦化技術を開発し、赤池グループで開発した受動配線 (PTL) 技術を取り入れた PTL 配線層 2 層をもつニオブ 9 層 $1\mu\text{m}$ プロセス (以下、 $1\mu\text{m}$ プロセス) を確立した。層構造の決定にあたっては、吉川グループ、赤池グループが協力した。また、永沢グループにおいて $1\mu\text{m}$ プロセスおよび、従来のニオブ 4 層 $2\mu\text{m}$ プロセス (以下、 $2\mu\text{m}$ プロセス) の高信頼化に努めた。

SFQ 論理回路設計技術の開発では、赤池グループ、吉川グループを中心に、永沢グループ、高木グループが協力し、 $1\mu\text{m}$ プロセス用論理セルライブラリを構築した。また、高木グループにおいて、セルベース回路設計フロー全体について検討し、一連の設計支援ツールを開発した。さらに、赤池グループと吉川グループのそれぞれで、SFQ 回路のさらなる低消費電力化技術を開発した。

SFQ-RDP に適した算術演算ユニットの構成法の開発では、高木グループと吉川グループが協力して、浮動小数点加算器 (FPA)、乗算器 (FPM)、除算器、開平器の構成法を開発し、吉川グループで半精度 FPA および FPM の $2\mu\text{m}$ プロセスによる 24GHz および 31.5GHz での動作実証に成功し、 $1\mu\text{m}$ プロセスによる 60GHz 以上での動作実証にほぼ成功した。また、SFQ 回路による再構成可能な回路の構成法の開発では、赤池グループにおいて、村上グループの協力を得て、ORN の構成法について検討を行い、クロスバ多段網の採用を決定した。さらに、プロトタイプ RDP の開発を行い、 $2\mu\text{m}$ プロセスによる 2×2 RDP の 25GHz での動作実証に成功し、 2×3 RDP の 23GHz での動作実証にほぼ成功した。さらに、 $1\mu\text{m}$ プロセスによる 2×2 RDP の 45GHz での動作実証に成功し、現在、 4×4 RDP のおよそ 50GHz での動作実証に向け、測定を行っている。回路の試作は永沢グループで行った。これらの回路は SFQ 回路として世界最大規模となっている。

RDP アーキテクチャ技術の開発は、村上グループが担当し、アプリケーション解析と他のグループによる SFQ 回路による実現に関する検討の両面から研究を進めた。種々の科学技術計算の解析に基づき、RDP の詳細アーキテクチャ (行数と列数、FPU の構成、FPU の配置法、ORN の構成および最大結合距離等) を決定した。また、RDP コンパイラを作成するとともに、RDP の評価ツールを作成した。さらに、熱伝導方程式等の種々の数値計算に対して RDP 向きのアルゴリズムを開発した。これらの成果と、他のグループで得られた SFQ-RDP のハードウェア性能の見積りを基に、SFQ-RDP の実効性能、消費電力当たりの性能等を見積り、SFQ-RDP の有効性を示した。

これらにより、大規模 SFQ 回路が設計可能かつ製作可能であること、および、SFQ-RDP が実現可能で科学技術計算に有効であることを示した。さらに、 $0.5\mu\text{m}$ プロセスによる SFQ 回路の性能見積りから、実効性能が 10 テラフロップスで、消費電力が 3.2W の SFQ-RDP が実現可能であることを示した。 $0.5\mu\text{m}$ プロセスが確立されれば、10 テラフロップス級デスクサイド・コンピュータが実現可能であり、90nm CMOS 半導体集積回路技術を用いて並列プロセッサ方式で実現する場合に比べ、消費電力が約 100 分の 1 に抑制できるものと期待できる。

(2) 顕著な成果

1. 最先端超伝導集積回路作製プロセス

概要: ニオブ 9 層最小接合寸法 $1\mu\text{m}$ の超伝導集積回路作製プロセスを完成し、SFQ 回路作製に適用した。本プロセスにより従来のプロセスに比べ動作速度が 2 倍、回路面積が

1/2 以下の SFQ 回路が実現した。

2. 超伝導集積回路設計環境

概要: ニオブ9層最小接合寸法 $1\mu\text{m}$ の超伝導集積回路作製プロセスに対応した論理セルライブラリおよび一連の設計支援ツールを開発し、超伝導集積回路の設計環境を整備した。

3. 大規模再構成可能データパス向けコンパイラ

概要: 数値計算プログラムから大規模再構成可能データパスの再構成情報およびホストプロセッサ上のオブジェクトコードを生成するコンパイラを開発した。

§ 2. 研究構想

(1) 当初の研究構想

大規模で複雑な系の数値解析やシミュレーションは、広範な分野での研究、開発に必要不可欠な技術となっており、研究者や開発者一人一人が大きな計算資源を手軽に利用できる環境の整備が重要である。そこでは、10 テラフロップス程度の計算能力をもつ、デスクサイドに設置可能なコンピュータ(ワークステーション)が求められる。このようなコンピュータを、CMOS 半導体回路による並列プロセッサシステムで実現することは、消費電力の大きさ、発熱による高密度実装の困難さなどの問題から困難であると考えられる。

CMOS 回路に比べ、低消費電力および高速性の点で優れたデバイスとして、超伝導単一磁束量子(Single Flux Quantum: SFQ)回路がある。SFQ 回路は、スイッチングが高速であるのみならず、チップ内およびチップ間でも高速・高スループットな信号伝送が可能である。SFQ 回路を用いれば、極めて低消費電力で高性能なプロセッサが実現できる可能性がある。本研究では、研究終了の数年後に、 $0.5\mu\text{m}$ の SFQ 回路プロセスにより、10 テラフロップス級デスクサイド・コンピュータを実現するための基盤技術を確立することを目的とする。

SFQ 論理回路は、パルス論理で動作するため、論理ゲートにおいてパルスの待ち合わせが必要である。このような特性をもつ SFQ 回路による実現に適したプロセッサアーキテクチャとして、本研究では、再構成可能な大規模データパス(Reconfigurable Data Path: RDP)を採用する。RDP は、数千個規模の多数の浮動小数点演算ユニット(FPU)とそれらを接続する再構成可能なネットワーク(ORN)からなる。大規模計算に現れる繰り返しループ内の一連の計算に合わせて ORN の接続を決定することにより RDP を再構成し、データ依存関係のある多数の命令を直接実行することにより、高い計算性能を実現する。

研究開始時点において、SFQ 回路については、ニオブ4層 $2\mu\text{m}$ プロセス(以降、 $2\mu\text{m}$ プロセス)が確立され、論理セルライブラリが整備され、人手によってセルを並べることにより回路設計が行われていた。1万ジョセフソン接合(JJ)規模のLSIが試作されていた。ニオブ9層 $1\mu\text{m}$ プロセスが開発されていたが、デバイス構造は未決定であった。また、受動配線(PTL)と呼ばれる新しい高速配線技術が開発されつつあった。一方、RDP については、科学技術計算への適合性や有効性は未確認であった。また、RDP を SFQ 回路により実現できるかどうかは不明確であった。

本研究では、2層の PTL 配線層をもつ $1\mu\text{m}$ プロセス(以降、 $1\mu\text{m}$ プロセス)を確立するとともに、このプロセス用の論理セルライブラリおよび回路設計用 CAD ツールを開発し設計環境を整備する。また、RDP の科学技術計算への適合性および有効性を示す。さらに、SFQ-RDP の詳細アーキテクチャを決定するとともに、SFQ-FPU および SFQ-ORN の構成法を開発し、FPU およびプロトタイプ RDP を試作し、動作実証を行う。これにより、大規模 SFQ 回路が設計可能かつ製作可能であること、および、SFQ-RDP が実現可能で科学技術計算に有効であることを示す。さらに、 $0.5\mu\text{m}$ プロセスによる SFQ 回路の性能を見積り、10 テラフロップスの演算性能をもち、消費電力が 3.3W 程度の SFQ-RDP が実現可能であることを示す。 $0.5\mu\text{m}$ プロセスが確立されれば、10 テラフロップス級デスクサイド・コンピュータが実現可能であり、90nm CMOS 半導体集積回路技術を用いて並列プロセッサ方式で実現する場合に比べ、消費電力が約 100 分の1に抑制できるものと期待できる。

本研究は、コンピュータ・アーキテクチャが専門の九州大学・村上グループ、算術演算回路およ

び論理回路設計支援技術が専門の名古屋大学(後に京都大学)・高木グループ、SFQ 回路が専門の横浜国立大学・吉川グループおよび名古屋大学・赤池グループ、SFQ プロセスが専門の国際超電導産業技術研究センター・永沢グループが協力して進める。

村上グループにおいて、平成21年度半ばまで「アプリケーションの分析、RDP向き計算アルゴリズムの開発」を行うとともに、「RDPアーキテクチャの開発」を行って平成20年度末にRDPの詳細アーキテクチャを仮決定する。また、平成20年度から22年度にかけて、「RDP用コンパイラの開発」を行う。これらと、他のグループの研究成果を踏まえ、平成21年度より「RDPアーキテクチャの評価、洗練」を行う。これらにより、RDPが実アプリケーションに適用可能であることを示すとともに、他のグループによるSFQ回路に関する研究成果と併せて、SFQ-RDPの有効性を示す。

吉川グループ、赤池グループ、永沢グループが協力して、「多層配線プロセス用論理セルライブラリ開発、配線技術の高度化、プロセスの高度化」を行う。永沢グループにおいて1 μ mプロセスを確立し、赤池グループにおいてPTL配線技術の高度化を行い、三つのグループが協力してデバイス構造を決定し、論理セルライブラリを開発する。平成20年度末までに、FPUおよびプロトタイプRDPの試作に必要なライブラリを整備する。また、高木グループにおいて、「多層配線プロセス用論理回路設計技術の開発」により、1 μ mプロセス用の回路設計CADツールを開発する。これらにより、大規模SFQ回路が設計可能かつ製作可能であることを示す。

高木グループと吉川グループが協力して、「SFQ-RDP用算術演算ユニットの構成法の検討、高速動作実証」を行う。両グループで協力してFPUの構成法を開発し、吉川グループで、平成21年度半ばまでに2 μ mプロセスによる25GHz 動作実証、23年度半ばまでに1 μ mプロセスによる50GHz動作実証を行う。また、赤池グループにおいて、「SFQ-RDPの動作実証」を行う。SFQ-ORNの構成法を開発するとともに、平成21年度半ばまでに2x2 SFQ-RDPの2 μ mプロセスによる25GHz 動作実証、23年度半ばまでに4x4 SFQ-RDPの1 μ mプロセスによる50GHz 動作実証を行う。動作実証のためのチップ試作は、永沢グループで行う。これらにより、SFQ-RDPが実現可能であることを示す。永沢グループでは、「プロセスの高信頼化」に努める。

最終年度に、研究成果をまとめ、将来の0.5 μ m プロセスによるSFQ回路の性能を見積り、10テラフロップスの演算性能をもち、消費電力が3.3W程度のSFQ-RDPが実現可能であることを示す。

(2)新たに追加・修正など変更した研究構想

中間評価において、RDP への数値計算アルゴリズムの効率的なマッピング法、RDP アーキテクチャの有効性を示す根拠データの提示について指摘を受け、村上グループにおける「アプリケーションの分析、RDP 向き計算アルゴリズムの開発」を平成 21 年度半ば以降も継続した。また、SFQ回路設計における設計容易化・効率化のための方法論について指摘を受け、高木グループにおける回路設計支援ツール開発に論理シミュレーションおよびパイプライン動作検証を加えた。

平成23年3月の東日本大震災により、永沢グループにおいてチップ試作ができなくなり、吉川グループにおけるFPU、および、赤池グループにおけるプロトタイプRDPの50GHz動作実証を当初の研究期間で達成することが不可能になった。また、米国におけるSFQの低消費電力回路技術の研究に対抗し、我々の回路技術の優位性を確固たるものにするため、より進んだ低消費電力回路技術の開発が必要となった。このため、研究期間の1年間の延長を申し出、これが認められた。吉川グループおよび赤池グループにおいて、動作実証を平成24年度に後倒し、新たに低消費電力回路技術の開発を追加した。また、永沢グループでは、震災でダメージを受けたSFQ回路製造プロセスの復旧に努めた。

§3 研究実施体制

(1)高木グループ(京都大学、当初名古屋大学)

① 研究参加者

| 氏名 | 所属 | 役職 | 参加時期 |
|-------|----------------------------|----------|------------------------|
| 高木 直史 | 名古屋大学情報科学研究科 京都大学情報学研究科 | 教授 教授 | H18.10~H22.3 H22.4~ |

| | | | |
|--------|----------------------------------------------|------------------------------|-------------------------------------------------------|
| 高木 一義 | 名古屋大学情報科学研究科 京都大学情報学研究科 | 准教授 准教授 | H18.10～H23.3 H23.4～ |
| 田中 雅光 | 名古屋大学情報科学研究科 | 研究員 | H19.4～H23.3 |
| 兼松 英代 | 名古屋大学情報科学研究科 | 技術補佐員 | H18.11～H23.3 |
| 小畑 幸嗣 | 名古屋大学情報科学研究科 | M2～D3 | H18.10～H20.3 |
| 鬼頭 信貴 | 名古屋大学情報科学研究科 京都大学情報学研究科 中京大学情報理工学部 | M1～D3 非常勤研究員 研究員 講師 | H18.10～H21.3 H21.10～H22.5 H22.6～H24.3 H24.4～ |
| 小林 謙太 | 名古屋大学情報科学研究科 | M2 | H19.4～H20.3 |
| 伊藤 祐喜 | 名古屋大学情報科学研究科 | M1～M2 | H19.7～H21.3 |
| 佐藤 元紀 | 名古屋大学情報科学研究科 | M1～M2 | H20.4～H22.3 |
| 竹島 将太 | 名古屋大学情報科学研究科 | M1～M2 | H20.4～H23.3 |
| 日高 一輝 | 名古屋大学情報科学研究科 | M1～M2 | H21.4～H23.3 |
| 川口 隆広 | 名古屋大学情報科学研究科 京都大学情報学研究科 | M1～M2 D1 | H22.4～H24.3 H24.3～ |
| 成瀬 遥平 | 京都大学情報学研究科 | M1～M2 | H23.3～ |
| 大桃 由紀雄 | 京都大学情報学研究科 | M1 | H24.3～ |
| 西村 翔 | 京都大学情報学研究科 | M1 | H24.3～ |

② 研究項目

- ・多層配線プロセスに対応した論理回路設計ツールの開発
- ・SFQ-RDP 用算術演算ユニットの構成法の開発

(2) 村上グループ(九州大学)

① 研究参加者

| 氏名 | 所属 | 役職 | 参加時期 |
|---------------------|-----------------------------------------------------|-------------------------|---------------------------------------------|
| 村上 和彰 | 九州大学システム情報科学研究所 | 教授 | H18.10～ |
| 井上 弘士 | 九州大学システム情報科学研究所 | 准教授 | H19.4～ |
| 本田 宏明 | 九州大学情報基盤開発センター (財)九州先端科学技術研究所 九州大学システム情報科学研究所 | 学術研究員 特任研究員 学術研究員 | H18.10～H20.3 H20.4～H22.9 H22.10～H23.9 |
| 神戸 隆行 | (財)九州先端科学技術研究所 | 特任研究員 | H21.4～H22.3 |
| Farhad Mehdipour | 九州大学システム情報科学研究所 九州大学日本エジプト科学技術連携 センター | 特任准教授 准教授 | H18.11～H22.3 H22.4～ |
| 首藤 里佳 | 九州大学システム情報科学研究所 | 学術研究員 | H19.4～ |
| Hamid Noori | 九州大学システム情報科学研究所 | D1～D2 | H18.10～H19.9 |
| 島崎 慶太 | 九州大学システム情報科学研究所 | M1 | H19.4～H19.9 |
| 片岡 広志 | 九州大学システム情報科学研究所 | M2～D3 | H21.4～ |

② 研究項目・アプリケーションの分析、RDP 向き計算アルゴリズムの開発

- ・RDP アーキテクチャの開発
- ・RDP コンパイラの開発
- ・RDP アーキテクチャの評価、洗練

(3) 吉川グループ(横浜国立大学)

① 研究参加者

| 氏名 | 所属 | 役職 | 参加時期 |
|--------------|-------------|-------|--------------|
| 吉川 信行 | 横浜国立大学工学研究院 | 教授 | H18.10～ |
| 金田 久善 | 横浜国立大学工学研究院 | 助教 | H18.10～ |
| 山梨 裕希 | 横浜国立大学工学府 | D2～D3 | H18.10～H19.9 |
| 朴 熙中 | 横浜国立大学工学府 | M2～D3 | H18.10～H22.1 |
| 疋田 智浩 | 横浜国立大学工学府 | M2 | H18.10～H19.3 |
| 中宮 和徳 | 横浜国立大学工学府 | M1～M2 | H18.10～H20.3 |
| 中禮 浩二 | 横浜国立大学工学府 | M1～M2 | H18.10～H20.3 |
| 武富 一博 | 横浜国立大学工学府 | M1～M2 | H19.4～H21.3 |
| 原 浩史 | 横浜国立大学工学府 | M1～M2 | H19.4～H21.3 |
| 五十嵐 正憲 | 横浜国立大学工学府 | M1～M2 | H19.4～H21.3 |
| 鈴木 英利 | 横浜国立大学工学府 | M1～M2 | H20.4～H22.3 |
| 夏目 侑紀 | 横浜国立大学工学府 | M1～M2 | H20.4～H22.3 |
| 岡本 悠史 | 横浜国立大学工学府 | M1～M2 | H20.4～H22.3 |
| 竹内 尚輝 | 横浜国立大学工学府 | M1～M2 | H20.4～H22.3 |
| Sestu Xuetao | 横浜国立大学工学府 | M2 | H21.4～H22.3 |
| 貝沼 世樹 | 横浜国立大学工学府 | M1～M2 | H21.4～H23.3 |
| 小澤 暖 | 横浜国立大学工学府 | M1～M2 | H21.4～H23.3 |
| 矢口 謙太 | 横浜国立大学工学府 | M1～M2 | H21.4～H23.3 |
| 有田 与希 | 横浜国立大学工学府 | M2 | H22.4～H23.3 |
| 島村 泰浩 | 横浜国立大学工学府 | M1～M2 | H22.4～H24.3 |
| 高橋 佳弘 | 横浜国立大学工学府 | M1～M2 | H22.4～H24.3 |
| 三浦 翔吾 | 横浜国立大学工学府 | M1～M2 | H22.4～H24.3 |
| 彭 析竹 | 横浜国立大学工学府 | M2～D1 | H23.4～ |
| 日名子 和也 | 横浜国立大学工学府 | M1～M2 | H23.4～ |
| 江原 康平 | 横浜国立大学工学府 | M1～M2 | H23.4～ |
| 桑原 啓太 | 横浜国立大学工学府 | M1～M2 | H23.4～ |
| 向山 隆志 | 横浜国立大学工学府 | M1～M2 | H23.4～ |
| 竹内 尚輝 | 横浜国立大学工学府 | D1 | H23.4～ |
| 加藤 泰一 | 横浜国立大学工学府 | M1 | H23.4～ |
| 井上 健太 | 横浜国立大学工学府 | M1 | H23.4～ |
| 佐野 京佑 | 横浜国立大学工学府 | M1 | H23.4～ |
| 高橋 章友 | 横浜国立大学工学府 | M1 | H23.4～ |
| 室 健太郎 | 横浜国立大学工学府 | M1 | H23.4～ |

② 研究項目

- ・多層配線プロセスに適した論理セルの開発
- ・SFQ 算術演算ユニットの高速動作実証

(4) 赤池グループ(名古屋大学)

① 研究参加者

| 氏名 | 所属 | 役職 | 参加時期 |
|-------|--------------------------|-----------------|------------------------|
| 赤池 宏之 | 名古屋大学工学研究科 | 助教 | H18.10～ |
| 藤巻 朗 | 名古屋大学工学研究科 | 教授 | H18.10～ |
| 田中 雅光 | 名古屋大学工学研究科 名古屋大学高等研究院 | 学振特別研究員 特任助教 | H18.10～H19.3 H24.4～ |
| 入江 直樹 | 名古屋大学工学研究科 | M2 | H18.10～H19.3 |

| | | | |
|---------------|------------|-------------|-----------------------|
| 岩崎 真悟 | 名古屋大学工学研究科 | M1～M2 | H18.10～H20.3 |
| 山崎 拓朗 | 名古屋大学工学研究科 | M1～M2 | H18.10～H20.3 |
| Irina Kataeva | 名古屋大学工学研究科 | 研究員 | H19.5～H23.9 |
| 高木 克巳 | 名古屋大学工学研究科 | M1～M2 | H19.4～H21.3 |
| 宮嶋 茂之 | 名古屋大学工学研究科 | M2～D3 | H20.4～H21.3 |
| 笠木 諒 | 名古屋大学工学研究科 | M1～M2 | H20.4～H22.3 |
| 重原 啓介 | 名古屋大学工学研究科 | M1 | H20.4～H21.3 |
| 東 洋介 | 名古屋大学工学研究科 | M1～M2 | H20.4～H22.3 |
| 伊藤 啓太 | 名古屋大学工学研究科 | M1～M2 | H21.4～H23.3 |
| 伊藤 将人 | 名古屋大学工学研究科 | M1～M2 D2 | H21.4～H23.3 H24.4～ |
| 岡田 将和 | 名古屋大学工学研究科 | M1～M2 | H22.4～H24.3 |
| 瀬瀬 智仁 | 名古屋大学工学研究科 | M1～M2 | H22.4～H24.3 |
| 楠本 哲也 | 名古屋大学工学研究科 | M1～M2 | H22.4～H24.3 |
| 北山 敦史 | 名古屋大学工学研究科 | M1～M2 | H23.4～ |
| 松岡 宏弥 | 名古屋大学工学研究科 | M1～M2 | H23.4～ |
| 伊藤 圭介 | 名古屋大学工学研究科 | M1 | H24.4～ |
| 滝波 拓海 | 名古屋大学工学研究科 | M1 | H24.4～ |
| 早川 雄飛 | 名古屋大学工学研究科 | M1 | H24.4～ |

② 研究項目

- ・超伝導多層配線による広帯域フレキシブル超伝導配線技術及び論理セル設計技術の開発
- ・SFQ 回路による再構成可能なデータパスの実証

(5) 永沢グループ(国際超伝導産業技術研究センター)

① 研究参加者

| 氏名 | 所属 | 役職 | 参加時期 |
|--------|--------------------------------|-----------------|-----------------------|
| 永沢 秀一 | (財)国際超伝導産業技術研究センター 超伝導工学研究所 | 主管研究員 | H19.4～ |
| 日野出 憲治 | (財)国際超伝導産業技術研究センター 超伝導工学研究所 | 主管研究員 非常勤研究員 | H19.4～H24.3 H24.4～ |
| 佐藤 哲朗 | (財)国際超伝導産業技術研究センター 超伝導工学研究所 | 主管研究員 | H19.4～ |
| 日高 睦夫 | (財)国際超伝導産業技術研究センター 超伝導工学研究所 | 主管研究員・ 室長 | H19.4～ |
| 北川 佳廣 | (財)国際超伝導産業技術研究センター 超伝導工学研究所 | 研究員 | H19.4～ |
| 人見 幸代 | (財)国際超伝導産業技術研究センター 超伝導工学研究所 | 人材派遣 | H19.4～H19.7 |
| 藤原 完 | (財)国際超伝導産業技術研究センター 超伝導工学研究所 | 学振 特別研究員 | H19.4～H21.3 |
| 村井 雅 | (財)国際超伝導産業技術研究センター 超伝導工学研究所 | 人材派遣 | H19.8～H20.3 |
| 田山 裕子 | (財)国際超伝導産業技術研究センター 超伝導工学研究所 | 人材派遣 | H20.2～H20.10 |

| | | | |
|--------|--------------------------------|------|-------------|
| 中島 さゆり | (財)国際超電導産業技術研究センター 超電導工学研究所 | 人材派遣 | H20.6～H20.9 |
| 原島 栄喜 | (財)国際超電導産業技術研究センター 超電導工学研究所 | 人材派遣 | H21.4～ |
| 尾林 賢郷 | (財)国際超電導産業技術研究センター 超電導工学研究所 | 人材派遣 | H21.4～H23.9 |
| 岩田 比呂志 | (財)国際超電導産業技術研究センター 超電導工学研究所 | 人材派遣 | H23.10～ |

② 研究項目

- ・SFQ 回路高度化のための多層配線プロセス最適化とセルライブラリ構築
- ・SFQ 回路プロセスの高信頼化および SFQ 回路の試作

§ 4 研究実施内容及び成果

4.1 単一磁束量子論理回路設計及び設計支援技術の開発(京都大学(当初 名古屋大学) 高木グループ)

(1)研究実施内容及び成果

本研究グループでは、大規模再構成可能データパス(RDP)を単一磁束量子(SFQ)回路で実現するために、SFQ 論理回路の設計を支援する CAD ツールおよび SFQ-RDP 用算術演算ユニットの構成法に関する研究を行った。

1. 多層配線プロセスに対応した論理回路設計ツールの開発

SFQ 論理回路は、半導体回路とは異なりパルスによる論理表現を用いており、また、スイッチング速度が非常に高速であるため、従来の半導体向けの論理回路設計ツールでは性能のよい回路を得ることが困難である。本研究の開始時点で、SFQ 論理回路の設計は人手で行われていたが、回路の大規模化、配線の多層化のため、回路設計ツールによる支援が必要となっていた。SFQ 論理回路設計ツールには、本プロジェクトで確立する PTL 配線2層をもつニオブ9層 1 μ m プロセス(以降、1 μ m プロセス)の設計ルールを満たし、かつ、正しいタイミングで動作する回路を、迅速に設計する能力が要求される。

論理回路設計ツールの開発に際して、半導体向けの設計ツールをベースとし、SFQ 回路設計に必要な処理を拡張ソフトウェアの形で実現することを基本方針とした。また、SFQ-RDP の設計のために重要な項目から順に開発を行い、手作業による設計を順次自動化していくこととした。まず、現状のセルベース回路設計における課題を明らかにし、設計フローを検討した。その結果、図 4.1.1 に示すような設計フローを提供するため、図中に赤色で示される七つの工程で SFQ 回路に対応するツール群を開発することとした。以下で、各ツールについて説明する。

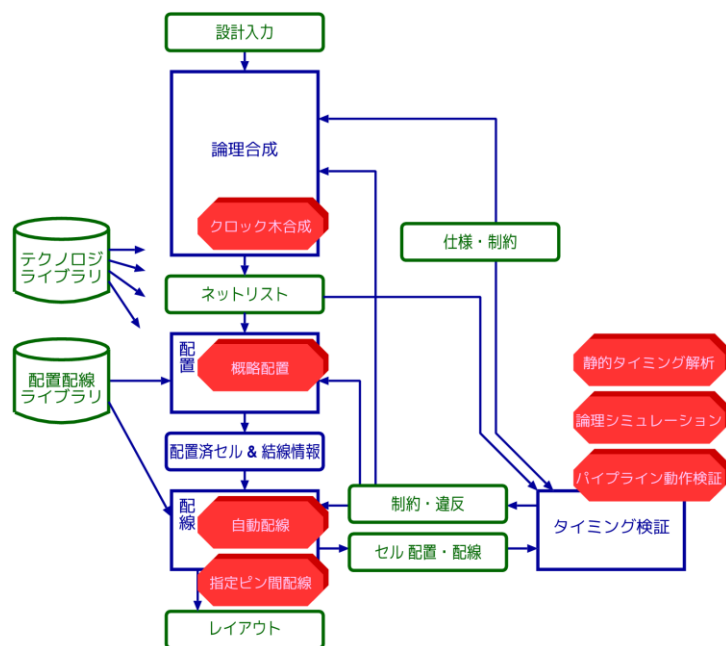


図 4.1.1:SFQ 論理回路設計フローおよび設計ツール群

・自動配線および指定ピン間配線

多層配線プロセスでの回路設計ではセル間の配線が複雑になるため、まず、タイミング調整をとまなう配線設計の自動化を最優先とした。1 μ m プロセスの論理セルおよび配線のパラメータに対応した、SFQ 回路向けの配線手法を開発し、これに基づく配線ツールを作成した。本手法では、各ネットの配線アルゴリズムとして一般によく用いられる A*探索アルゴリズムを採用し、概略配線と詳細配線の工程間で情報のフィードバックを行いながら配線を進める。この手順により、SFQ 回路の厳しいタイミング制約下での配線可能性を向上することができる。

多ピン間自動配線ツールの洗練と並行して、設計者が指定した 2 ピン間の配線を個別に行う簡易なツールを開発した。このツールは、従来の設計手順に簡単に取り込むことができ、セルを個別に調整する必要がある場合に、複雑な配線を設計規則違反や接続の誤りなく設計することができるため、設計生産性の向上に寄与した。

・クロック木合成および概略配置

SFQ 論理回路はパルスで動作するため、各論理ゲートがクロックで駆動されるフロックロッキング方式が用いられる。そこで、与えられた論理回路に対して、各ゲートにクロックを供給するためのスプリッタから成るクロック木構造を合成するアルゴリズムを開発し、ツールを作成した。さらに、クロック木合成に伴い、配線遅延と混雑度を考慮してセルの概略配置を行うツールを開発した。

・静的タイミング解析

SFQ 回路の各論理ゲートの入力端子にパルスが到達するタイミングを、配線遅延およびゲート遅延に基づき静的に解析するツールを作成した。本ツールは回路図上で対話的にパルス到着時刻を表示できるため、タイミング条件が厳しい SFQ 論理回路の設計において動作を確認するために有用である。

・論理シミュレーションおよびパイプライン動作検証

動作タイミング解析のための論理シミュレーションツールを作成した。SFQ 論理回路では、各論理ゲートへのデータおよびクロックパルスの到着順が異なると、異なる論理動作をするため、接続関係とともにパルス到着順を正しく設計することが重要である。本ツールでは、専用の記述言語で記述された、各ゲートにおけるパルス到着順を明記した SFQ 論理回路に対して、論理シミュレーションを行う。これにより、タイミングを厳密に指定した詳細なレイアウト設計を行う前に回路動作を確認できるため、論理レベルのみでの動作検証を行うことができる。これまでの設計環境では不可分であった、レイアウト設計と論理設計を分離し、論理レベルの回路構造や仕様を明確に文書化することができる点で、この記述言語およびツールは有用と考えられる。

また、設計された回路のパイプライン動作検証を行う手法を開発した。SFQ 論理回路は各クロックゲートを 1 段とするパイプライン動作をするが、入力側から出力側へデータが流れる単純な構造だけではなく、一部にループを含む設計を行う点が特徴的である。したがって、回路が実現する論理を組合せ論理回路と同様に扱うことはできず、ループで記憶されている値と信号のタイミングを考慮した論理動作の検証が必要となる。そのため、時刻の情報を持った論理式として与えられた仕様を回路が実現しているかどうかを検証する手法を開発し、ツールを作成した。

クロック木合成ツールおよび概略配置ツールと自動配線ツールを連携して用いて、実際に 8 ビット桁上げ先見加算器を設計し(図 4.1.2)、試作して、評価した。小規模な回路で

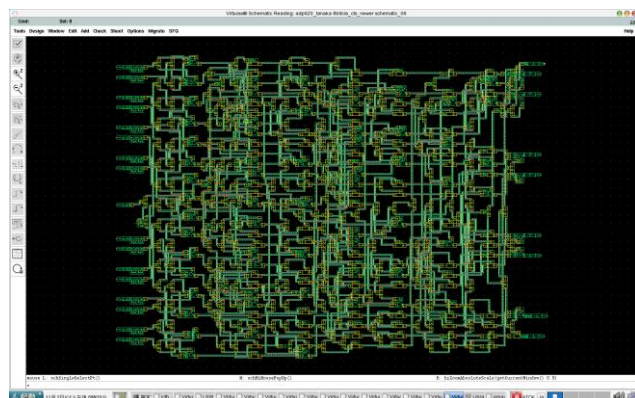


図 4.1.2: ツールを用いて設計した加算器

の予備的な評価ではあるが、提案する設計フローが実際の設計に適用可能であることが確認できた。

SFQ 論理回路の本格的な設計支援ツールは、世界中で見当たらない。本研究により、本格的な設計支援ツールを開発するための基盤技術を確立した。

2. SFQ-RDP 用算術演算ユニットの構成法の開発

吉川グループと協力し、SFQ-RDP に適した算術演算ユニットの構成法を開発した。村上グループでのアーキテクチャ面での検討に基づき、吉川グループおよび赤池グループでの研究成果を考慮に入れて、SFQ 回路向きの構成法を開発し、これを吉川グループでの動作実証研究につなげた。

SFQ 回路の高スループット特性を生かすため、シリアル処理を導入した。シリアル方式の演算器は、パラレル方式に比べ格段にハードウェア量が少ないため、演算器の高密度化に有利であるが、スループット性能が低下する問題もある。データフォーマットを工夫し、種々の回路アーキテクチャやクロッキング方式等を比較評価し、最適と考えられるものを選択した結果、データの入力間隔をデータのビット長程度までに短縮した構成法を得た。これは理論上、シリアル処理の最高スループットを実現している。

まず、RDP 内でのデータフォーマットを決定した。RDP への入出力は IEEE754 浮動小数点演算標準の2進基本フォーマットであるとし、RDP 内では、計算を効率的に行うために、符号・指数部と仮数部をそれぞれ独立のビットシリアルデータとした。図 4.1.3 に示すように、符号・指数部は、先頭が符号ビットで、続いて指数部が最下位より順に並ぶ。仮数部は、最下位より順に並び、隠しビットも明示する。倍精度では、仮数部のビット長(明示する隠しビットを含む) n_F は 53、指数部のビット長 n_E は 11 であり、単精度では、 n_F は 24、 n_E は8、半精度では、 n_F は 11、 n_E は5である。符号は、いずれの場合も1ビットである。シリアルデータのビット長は n_F となる。符号・指数部の後ろ $n_F - n_E - 1$ ビットは0とする。

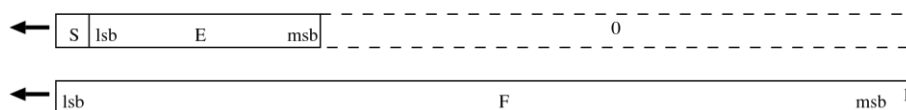


図 4.1.3:RDP 内での浮動小数点データのフォーマット

クロック周波数を高め、浮動小数点加算器(FPA)および浮動小数点乗算器(FPM)のレイテンシを統一するために、コンカレントフロークロッキングを基本とし、要所にクロックフォロデータクロッキングを取り入れることとした。FPA では、仮数部の計算は桁合わせ、加減算、正規化の順に行われる。桁合わせのためのシフトと正規化回路の設計において、演算のスループットを限界まで高めるために、出力データ長を n_F ビットにする工夫を行った。FPM では、スループットを高め、設計のスケラビリティを高めるために、仮数部乗算器の構成にストリックアレイ方式を採用した。1ビットの乗算を行う PE (Processing Element)を n_F 個つないで構成する。演算のスループットを限界まで高めるために、各 PE の間にスイッチを設け、出力データ長を n_F ビットにする工夫を行った。FPA および FPM のレイテンシは $2n_F + 1$ サイクル、最小データ入力間隔は $n_F + 1$ サイクルであり、ビットシリアル演算器として理論上の限界入力データ間隔での演算が可能となっている。これらの構成法に基づき、吉川グループで FPA および FPM を試作し、高速動作実証を行った。

本研究では、動作実証を主眼とし、回路の簡単化のために、丸めは切り捨てとした。IEEE754 標準の四つの丸めモードには、レイテンシを数サイクル伸ばせば、対処可能であると考えられる。また、簡単化のため、正規化数のみを扱い、サブ正規化数(denormalized 数)は扱っていない。サブ正規化数を扱うと回路が複雑になり、レイテンシや最小データ入力間隔が増加するので、RDP 内では指数部を1ビット増やし、正規化数の範囲を拡大して、サブ正規化数の扱いを不要にすることが得策である。

科学技術計算においては、除算や開平も現れる。そこで、浮動小数点除算器および開平器の

構成法を開発した。図 4.1.4 に浮動小数点除算器のブロック図を示す。仮数部除算器は冗長2進数表現を用いた減算シフト型除算アルゴリズムに基づいており、シストリックアレイ型の規則正しいパイプライン構造にすることで、高スループットのシリアル処理を実現している。仮数部計算回路について詳細設計を行い、4ビット仮数部除算器を試作し、19GHz での動作を実証した。浮動小数点除算器のレイテンシはおよそ $6n_F$ サイクル、最小データ入力間隔は n_F+4 サイクルである。浮動小数点開平器も、仮数部開平器はシストリックアレイ型の規則正しい構造であり、レイテンシはおよそ $8n_F$ サイクル、最小データ入力間隔は n_F+4 サイクルである。これらのレイテンシは、FPA および FPM の3ないし4倍である。RDP 内に浮動小数点除算器や開平器を配置する場合、3段ないし4段を占めることになり、計算のマッピングが複雑になる。(現在の CMOS によるパラレル方式の演算器では、10 倍以上の差があり、RDP 内に浮動小数点除算器や開平器を配置することは困難である。) RDP 内に浮動小数点除算器や開平器を配置するかどうかは、さらなる検討が必要である。

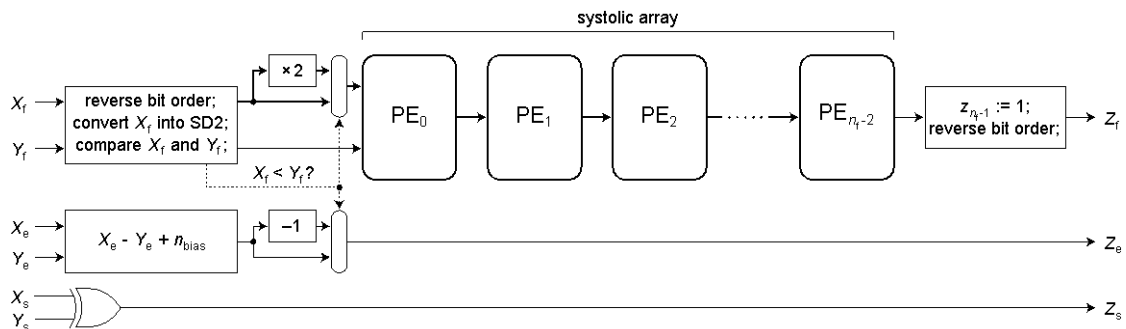


図 4.1.4: SFQ 浮動小数点除算器のブロック図

倍精度になると、ビットシリアル方式では、レイテンシが長くなる。そこで、仮数部をkビットスライスとして、レイテンシをおよそk分の1に短縮し、スループットをおよそk倍にすることを検討した。この場合、基数を 2^k とすることにより、回路の複雑化を抑制できることを示した。ビットシリアル方式に比べ、FPA はハードウェア量の若干の増加で実現でき、FPM は仮数部乗算器のハードウェア量がおよそk倍になる。回路の集積度が向上すれば、kビットスライス方式の導入は検討に値する。

本研究により、世界で初めて、SFQ 回路による浮動小数点演算器の構成法を示した。

3. 研究のまとめ

永沢グループが開発した PTL 多層配線プロセス技術に基づき、赤池グループによる低消費電力回路技術を勘案し、 $0.5\mu\text{m}$ プロセスによる SFQ 回路の性能を見積り、 $0.5\mu\text{m}$ プロセスによる FPU および ORN (ネットワーク) の性能を吉川グループおよび赤池グループで見積った (詳細は各グループで報告)。これらと、村上グループによる、実アプリケーションにおける RDP での浮動小数点演算器の稼働率の評価から、 $0.5\mu\text{m}$ プロセスによる SFQ-RDP の性能を見積った。

1段が 32 個の FPU (FPA と FPM が 16 個ずつ) からなる、32 段の RDP (32x32RDP) を考える。ORN の最大結合距離 (MCL) は5とする。単精度の場合、1 段分の FPU と ORN が約 100 万 JJ で構成でき、1 チップで実現できる。このチップを 32 個用いて、32x32RDP を構成できる。消費電力は約 0.8W となる。ピーク性能は約 4.9TFLOPS であり、浮動小数点演算器の稼働率が 50%強とすると実効性能は約 2.5TFLOPS となる。この SFQ-RDP を4セット用いれば、消費電力は約 3.2W で、10TFLOPS の実効性能が得られる。倍精度の場合は、1 段分が約 150 万 JJ となり、1 チップで実現するには、20mm 角程度の大型のチップが必要である。32x32RDP の消費電力は約 1.4W、ピーク性能は約 2.2TFLOPS、実効性能は約 1.1TFLOPS となる。FPU を仮数部2ビットスライス方式で実現すれば、消費電力は約 2.2W、ピーク性能は約 4.5 TFLOPS、実効性能は約 2.2TFLOPS となる。

(2)研究成果の今後期待される展開

SFQ 論理回路設計ツールに関して、設計フローの提案および個々のツールの開発は当初の目

標準通り進められた。しかし、開発したツールの多数の設計者による利用、および、その評価のフィードバックはまだ十分とは言えず、今後、改善、洗練を進める余地がある。成果物であるツールは、今後の SFQ 論理回路の設計に利用され、ツールの改善、洗練により、大規模 SFQ 論理回路の安定動作に寄与することが期待できる。開発したツールは SFQ 回路向けであるが、基礎となるアルゴリズムや設計手法の開発において得られた知見は、他のデバイスによるパルス論理回路やクロックのタイミングスキューの存在を前提とした高速非同期回路の設計にも応用できる可能性がある。

SFQ 回路の高速性を活かした高性能計算システムには、SFQ 回路による浮動小数点演算器が不可欠である。本研究で開発した SFQ 回路による浮動小数点演算器の構成法は、今後の SFQ 浮動小数点演算器の開発に大きく寄与するものと期待できる。

4.2 再構成可能データパスのアーキテクチャ開発(九州大学 村上グループ)

(1) 研究実施内容及び成果

本研究グループでは、実際の科学技術計算プログラムの解析を行い、大規模再構成可能データパス(RDP)向き計算アルゴリズムを開発するとともに、SFQ-RDP の詳細アーキテクチャの決定を行った。また、RDP 用コンパイラを開発するとともに、RDP のアプリケーションに対する性能評価手法を開発し、性能評価を行い、アーキテクチャを洗練した。

1. アプリケーションの分析、RDP 向き計算アルゴリズムの開発

本研究プロジェクトでは、図 4.2.1 に示すように、従来の CMOS による汎用プロセッサ(GPP)と半導体メモリによる主記憶からなるシステムに、SFQ 回路による RDP(SFQ-RDP)を演算アクセラレータとして付加したコンピュータシステムを想定している。

本研究項目では、まず、定数2階1次偏微分方程式に基づく1次元熱伝導方程式や振動方程式、Poisson 方程式、2次元および3次元の熱伝導方程式に対する差分法計算、2次元 FDTD 計算、Runge-Kutta 法による常微分方程式計算を適用する Coulomb 方程式計算やシンプレクティック力学方程式計算、分子 MD 法、量子化学電子反発積分について、実際の科学技術計算プログラムを対象として、計算の RDP へのマッピングならびに RDP を使用した場合の計算量およびメモリアクセス回数の見積りを行い、データフローグラフ(DFG)の観点から RDP によって効率的な計算が可能であることを示した。また、これらのプログラムから、6~38 入出力数と 9~936 演算数の組合せにて、横広から縦長まで広汎な分布を示す計 24 種類の DFG を生成した。これを2の研究実施項目において RDP 構成を決定するためのアプリケーションのベンチマークとした。

次に、差分法を適用する1~3次元熱伝導方程式や1次元振動方程式、2次元 FDTD 計算について、RDP 向け計算アルゴリズムならびにプログラムを開発した。RDP 向き計算アルゴリズムの開発では、考慮すべき点が二つある。一つは、RDP にマッピングするデータフローグラフ(DFG)のサイズの決定である。RDP による計算対象をプログラムのどの範囲にするか、ループ内部であればループアンローリングやループコラプシングをどの程度行うかにより、抽出 DFG のサイズを決定する必要がある。次の研究実施項目にて報告する RDP サイズを念頭に、マッピング可能な範囲で内部の演算器数が最大となるように DFG サイズを決めた。もう一点は、主記憶とのデータ転送ではラン

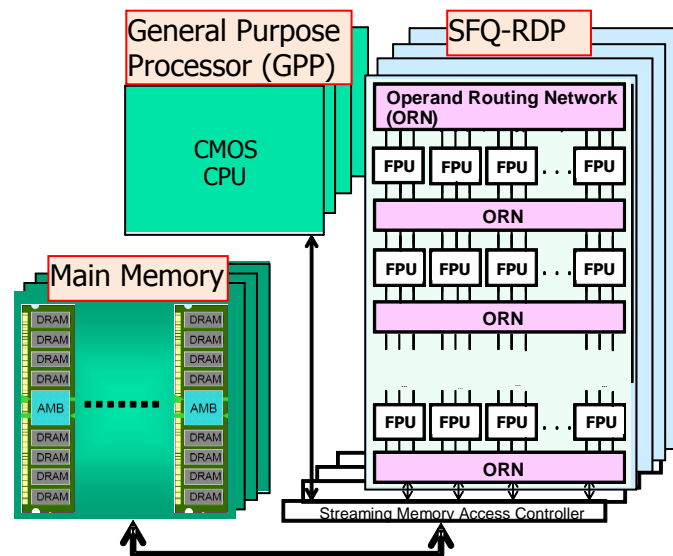


図 4.2.1: RDP をもつコンピュータシステムの全体構成

ダムアクセスを避け、できるだけ連続アクセスが利用可能となるように、マッピングされる DFG に対応して主記憶上でのデータ配置の修正を行うことである。RDP 内にはメモリを持たないシンプルな構成としているため、主記憶のアクセスバンド幅が性能に大きく影響を与える。効率的なデータ転送には連続アクセスの有効利用が必須である。後述のアーキテクチャ洗練の研究実施項目で述べるデータ転送のサポート機構との協調により、1～3次元熱伝導方程式差分法計算では、データ転送はすべて連続アクセスとした。

2. RDP アーキテクチャの開発

前研究項目での種々のアプリケーション分析に基づき、SFQ 回路に関する他のグループでの研究成果を考慮しつつ、SFQ-RDP の詳細アーキテクチャを決定した。具体的な検討項目は、1) RDP の行数と列数、2) 浮動小数点ユニット(FPU)の内部構成、3) 異なった演算種の FPU の RDP 内での配置、4) FPU の行間を接続するオペランドルーティングネットワーク(ORN)の構成、5) ORN の再構成手法、6) メモリコントローラ構成、である。

RDP の各構成要素について候補となるパラメータを変更しつつ、前研究実施項目で定めたベンチマークとなる 24 個の DFG を RDP にマッピングし、必要なハードウェア量の最適化を行うことで詳細アーキテクチャを決定した。結果を図 4.2.2 に示す。FPU は、3入力3出力で演算器(FU)資源とデータスルー資源(TU)を持つ構成とした。FPU 内の FU として加算器と乗算器を用意する場合に、RDP 上における2種類の FPU の配置として、市松模様が最適であるとの結果を得た。ORN 構成としては、赤池グループの詳細な JJ 数見積りの研究成果に基づき、クロスバ多段網構成の場合の FPU 行間の ORN の最大接続距離(MCL)を求めた。再構成手法については、SFQ-RDP ではビットシリアルデータを使用することから、即値レジスタと FPU、ORN、それぞれについて独立のビットシリアルデータ線を用意し RDP の行毎に再構成を行うこととした。

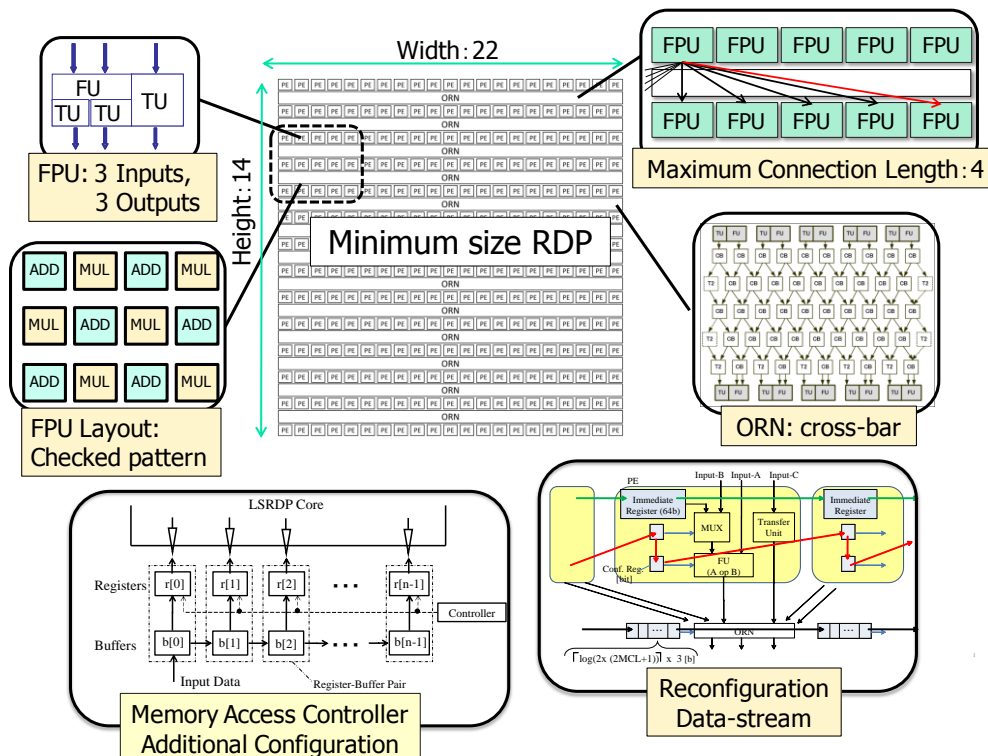


図 4.2.2: SFQ-RDP 詳細アーキテクチャ

また、アプリケーションにおいて RDP での処理対象となる計算の規模に応じて、3種類の RDP サイズ候補を定め、それぞれに対しパラメータを決定した。その結果を表 4.2.1 に示す。

表 4.2.1: 三つのサイズの RDP

| | RDP Architecture Parameters | | | | |
|---------|-----------------------------|----------|-------|--------|---------------------------|
| | #Inputs | #Outputs | Width | Height | Maximum Connection Length |
| RDP - S | 19 | 12 | 22 | 14 | 4 |
| RDP - M | 19 | 12 | 24 | 17 | 5 |
| RDP - L | 38 | 24 | 41 | 34 | 6 |

3. RDP 用コンパイラの開発

SFQ-RDP をもつコンピュータで実際に計算可能とするための RDP 用コンパイラを開発した。SFQ-RDP コンピュータシステムは新規のものであるため、DFG の RDP への効率的なマッピングルーティングツールを含めコンパイラもスクラッチから作成する必要があった。

今回開発したコンパイラの実際のアプリケーションへの適用を示す全体図を図 4.2.3 に示す。コンパイラに対するプログラムソース入力手法として2通り可能とした。まず、通常の GPP 向けプログラムに対し、RDP の計算箇所にてディレクティブ指示を加えたコードを入力とする方法、さらに GPP 向けコードならびに SFQ-RDP による計算対象コードに対し人手により DFG を生成し入力する方法である。前者からも指定箇所からツールにより DFG が生成される。DFG については一旦抽象化された RDP へとマッピングされ、続いて SFQ-RDP 向けの再構成情報としてビットストリームフォーマットのデータが生成される。RDP にオフロードする以外の GPP 向けプログラムコードについては、SFQ-RDP 初期化、RDP-GPP 間メモリアクセス設定、SFQ-RDP 起動、SFQ-RDP 終了用関数を人手により挿入する。その後 GPP 向けにはオブジェクトコードが生成される。

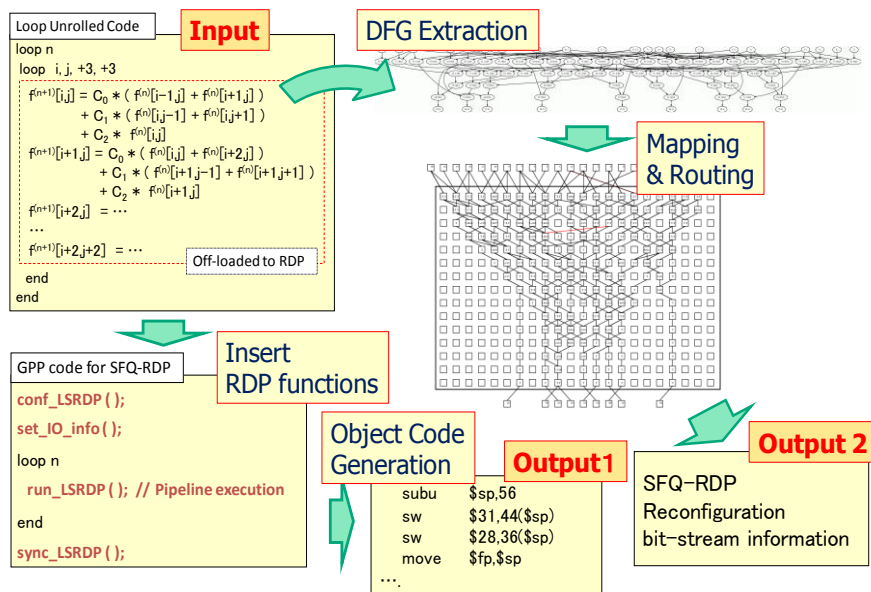


図 4.2.3: RDP コンパイラツール (緑矢印部分)

4. RDP アーキテクチャの評価、洗練

実アプリケーションプログラムを用いた定量的評価を行い、FPU マッピングまでも含めた総合的な評価を実施した。評価を元にアーキテクチャを洗練した。

まず、サイズ L の RDP (幅x高さ=41x34、演算器数=1394) に対する種々の DFG のマッピング結果から、RDP の性能評価を行った。1次元熱伝導方程式の例では DFG をマッピングすると、FPU の使用率は 63%、スルーのみの FPU を除く、演算器の (FU) の使用率は 52% であった。したがって、

ピーク性能に対し、実効性能は 52%となる。

つぎに、アプリケーション実行時間の見積りおよび消費電力当たり性能の見積りを行った。そのための環境を構築した。図 4.2.4 に示すようにプログラム全体の実行時間を GPP 部分と RDP 部分見積りの和として求める。このうち GPP 部分については既存のサイクルアキュレイトなプロセッサシミュレータにより計測する。RDP については RDP メモリバンド幅や動作周波数、RDP サイズ、マッピングされた DFG の入出力データ量を入力とするモデル式を利用する。このモデル式では RDP 実行時間を RDP 内で計算のみに要する時間とメモリアクセスに起因するストール時間、RDP の起動や各種シグナルの送受信に要する時間の和として表現しており、プログラム全体の実行時間に対してボトルネックとなっている部分を定量的に評価可能である。消費電力については、SFQ-RDP、プロセッサ、主記憶と冷凍機の和を対象とした。SFQ-RDP の消費電力は、吉川グループおよび赤池グループによる見積りを基に求めた。

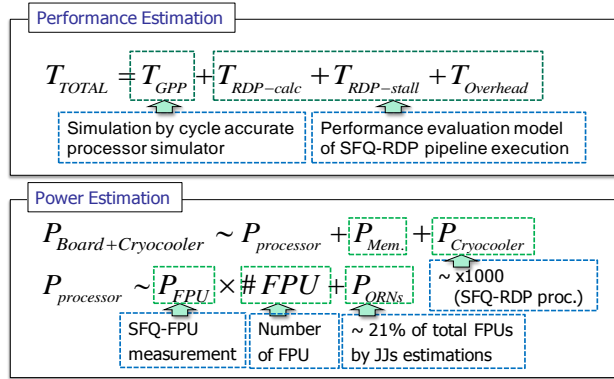


図 4.2.4: 性能ならびに消費電力当たり性能の評価方法

0.5 μ m プロセスを仮定した SFQ-RDP をもつコンピュータの性能を、3.2GHz の GPP、および、近年広く用いられるようになった性能の高いアクセラレータである GP-GPU と比較した。GPU との比較のため、演算は単精度とした。1次元および2次元の熱伝導方程式、1次元振動方程式の計算については、0.5 μ m SFQ-RDP では、実効性能がそれぞれ、210.0GFLOPS、104.9GFLOPS、44.5GFLOPS であり、GPP に比べ、それぞれ、109.2 倍、72.2 倍、79.0 倍となった。2次元および3次元の熱伝導方程式、2次元の FDTD 計算について、実効性能を GP-GPU と比較したところ、いずれも 80%程度となった。解析の結果、SFQ-RDP の性能ではなく、メモリバンド幅がボトルネックになっていることがわかった。RDP 内にはメモリを持たないシンプルな構成でも GP-GPU に匹敵する性能が得られており、今後、超伝導メモリの開発が進み、RDP 内にメモリをもつ構成にすることができれば、GPU 性能を凌駕することは十分に可能であると考えられる。表 4.2.2 に、0.5 μ m プロセスによる SFQ-RDP と GP-GPU の消費電力当たりの実効性能の比較を示す。プロセッサ部の比較では、2000 倍以上効率的である。これにメモリと冷凍機を考慮した場合の消費電力当たりの性能では、1.3 倍程度有利であるとの結果が得られた。

これらの評価に基づき、メモリコントローラ部分にストライドデータ転送のためのサポート機構の追加が必要であるという知見を得た。これについては図 4.2.2 の一部として示している。

表 4.2.2: 0.5 μ m プロセス SFQ-RDP の消費電力当たりの実効性能見積りと GPU との比較 (単精度: GFLOPS/W)

| Application | Processor | | | Board + Cryocooler | | |
|-------------|-----------|------|-------|--------------------|------|-------|
| | SFQ-RDP | GPU | Ratio | SFQ-RDP | GPU | Ratio |
| 3D-Heat | 590 | 0.27 | ~2200 | 0.25 | 0.19 | ~1.3 |
| 2D-Heat | 870 | 0.40 | ~2200 | 0.36 | 0.27 | ~1.3 |
| 2D-FDTD | 390 | 0.20 | ~2000 | 0.17 | 0.13 | ~1.3 |

(2)研究成果の今後期待される展開

本研究により、大規模再構成可能データパス(RDP)が実アプリケーションに対して有効であることが示された。今後、RDP が実用化されれば、本研究で開発したコンパイラや性能評価ツールが広く用いられるものと期待できる。また、本研究で得られた RDP 向きアルゴリズムの開発におけるさ

さまざまな知見は、RDP 向き数値計算プログラムの作成に大いに役立つものと思われる。本研究では RDP 内にはメモリを持たないシンプルな構成を想定したが、今後、超伝導メモリの開発が進み、RDP 内にメモリをもつ構成にすることができれば、さらなる性能の向上が期待できる。

4.3 単一磁束量子算術演算ユニットの開発(横浜国立大学 吉川グループ)

(1)研究実施内容及び成果

本研究グループは、赤池グループと協力して SFQ 論理セルライブラリを開発するとともに、高木グループと協力してSFQ 回路による RDP 用算術演算ユニットの開発を行った。

1. 多層配線プロセスに適した論理セル開発

回路設計の基盤となる多層配線プロセスに適した論理セルライブラリを赤池グループと協力して開発した。Nb 9層最小線幅 $1\mu\text{m}$ プロセス(以下、 $1\mu\text{m}$ プロセス)を利用し、フレキシブルな多層超伝導配線が利用可能な論理ゲートセルライブラリを開発を行った。論理ゲートセルの最適設計、論理ゲートと超伝導配線との接続方法の研究、多層ジョセフソン集積回路の物理パラメータ評価、論理ゲートセルのタイミング評価を行い、多層配線プロセスに適した論理セルライブラリのフルセットを構築した。これらのセルライブラリを用いた小規模回路が 100GHz 以上のクロック周波数で動作することを実証した。詳細については、赤池グループの項で報告する。

現在、SFQ 回路の総バイアス電流量は 1A を超えており、更に大規模な回路の実現のためには総電流量の低減が必要である。我々は、SFQ 回路の大規模化に向け、バイアス電流を複数の回路で共有し、バイアス電流の総量を低減する技術(カレントリサイクル技術)を開発した。そのためには SFQ パルスを異なるグランドプレーン上の回路間で非接触伝送させる必要があるが、3次元超伝導磁気結合構造の正確なパラメータ評価と設計が必要となり、これまでに高速動作の実証例はない。本研究で開発されたカレントリサイクル技術によるバイアス電流低減の実証例を図 4.3.1 に示す。実験により、三つの異なるグランドプレーン上の SFQ 回路間で、 80GHz のクロック周波数でデータ伝送できることを示した。本技術により、チップへの供給電流が大幅に低減され、SFQ 回路の大規模化が容易となる。以上は、新たな研究追加項目として実施された。

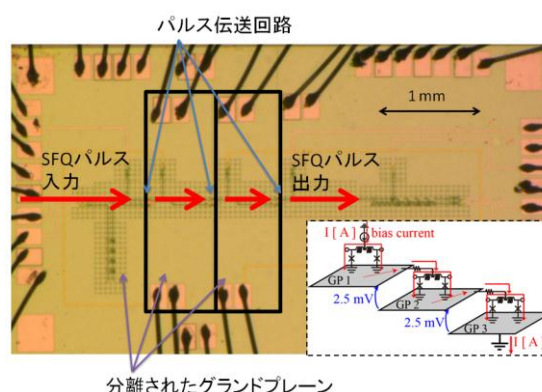


図 4.3.1: カレントリサイクル技術によるバイアス電流の低減($1\mu\text{m}$ プロセス)異なるグランドプレーン上の回路間で 80GHz のパルス伝送を実証した。

2. SFQ 算術演算ユニットの高速動作実証

本プロジェクト開始時において、高速動作が実証された最も複雑な SFQ 演算回路は、8bit マイクロプロセッサであった。SFQ 回路技術を更に発展させ、ハイエンドコンピューティング応用するために、我々は浮動小数点算術演算ユニット(FPU)の高速動作実証を通し、設計基盤技術や回路アーキテクチャ技術の確立を行った。また、そこから得られる演算性能や消費電力等の知見を用いて、本プロジェクトで目指す 10TFLOPS 規模の省電力プロセッサの実現性を検討した。

再構成可能なデータパスの主要構成要素である SFQ FPU は、高木グループと協力して開発した。ビットスライスアーキテクチャ、フレキシブル超伝導配線技術、SFQ に適したクロッキング法、高木グループで開発された回路設計技術、ならびに SFQ FPU 構成法に基づき、SFQ FPU の最適設計を行い、回路性能の向上を図った。

最初に SFQ FPU のデータフォーマットの決定を行った。今回開発した FPU は半精度であり、仮数部 n_F は 11 bit, 指数部 n_E は 5bit, 符号 S は 1bit で構成される。また、クロック周波数を高め、乗算、加算等の各種 FPU のレイテンシを統一するために、同期式のコンカレントフロークロッキングを基本とし、要所に非同期式クロッキング手法を取り入れて設計を行った。

図 4.3.2 に、設計した半精度浮動小数点加算器(FPA)のブロック図を示す。演算は、仮数部の桁合わせ、加減算、正規化という手順で行われる。丸めは、計算の簡略化のために切り捨てとした。桁合わせのためのシフトと正規化回路の設計においては、演算のスループットを限界まで高めるために、出力データ長を n_F ビットとする工夫を行った。

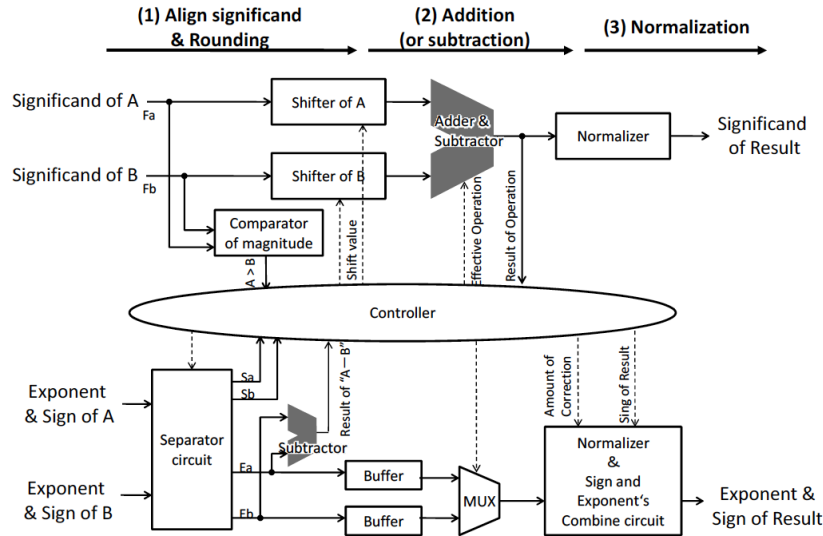


図 4.3.2: SFQ 半精度浮動小数点加算器のブロック図

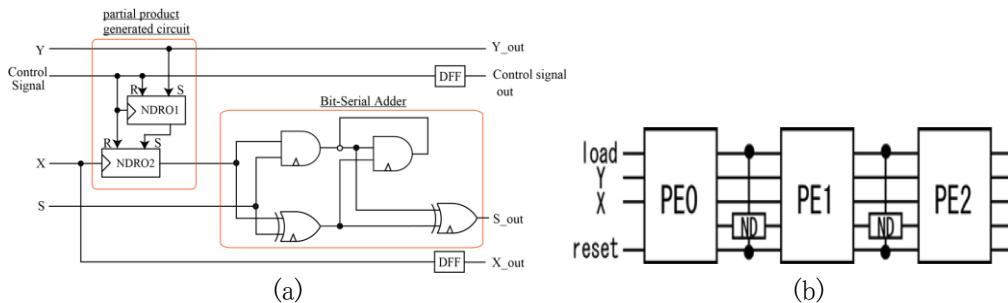


図 4.3.3: SFQ 半精度浮動小数点乗算器用の乗算回路の構成

- (a) シストリック乗算回路を構成するための 1bit 乗算回路(PE)
- (b) PE で構成されたシストリックアレイ乗算回路

図 4.3.3 には、半精度浮動小数点乗算器(FPM)用の乗算回路の構成を示す。乗算器は、計算のスループットを高め、設計のスケーラビリティを高めるためにシストリックアレイ方式を採用した。乗算器は、図 4.3.3(a)に示す 1 ビット乗算回路(PE: Processing Element)を基本単位として構成され、(b)に示すように多ビット乗算器は、それらの1次元アレイで構成される。演算のスループットを限界まで高めるために、各 PE の間にスイッチを設け、出力データ長を n_F ビットとする工夫を行った。

以上の半精度 FPA と FPM をまず、Nb 4 層最小線幅 $2\mu\text{m}$ プロセス(以下、 $2\mu\text{m}$ プロセス)を用いて試作した(図 4.3.4 参照)。実験により、FPA では最高 24GHz、FPM では最高 31.5GHz において回路の正常動作を確認し、中間報告書までに当初予定通りの研究成果を得ることができた。

次に新たに開発した $1\mu\text{m}$ プロセスならびに設計基盤技術を用いて半精度 FPA と FPM を試作した。図 4.3.5 にそれらのチップ写真を示す。試作した FPA と FPM の接合数、回路寸法ならびに最小データ入力間隔、レイテンシを表 4.3.1 に示す。演算ユニットの最小データ入力間隔は n_F+1 であり、ビットシリアル演算器として理論上の限界入力データ間隔での演算が可能となっている。

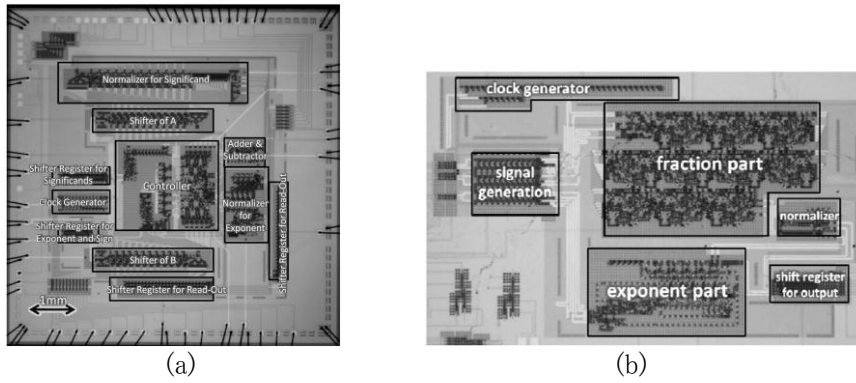


図 4.3.4: 2 μ m プロセスを用いて作製した (a) 半精度浮動小数点加算器(FPA)、
ならびに (b) 乗算器(FPM)のチップ写真

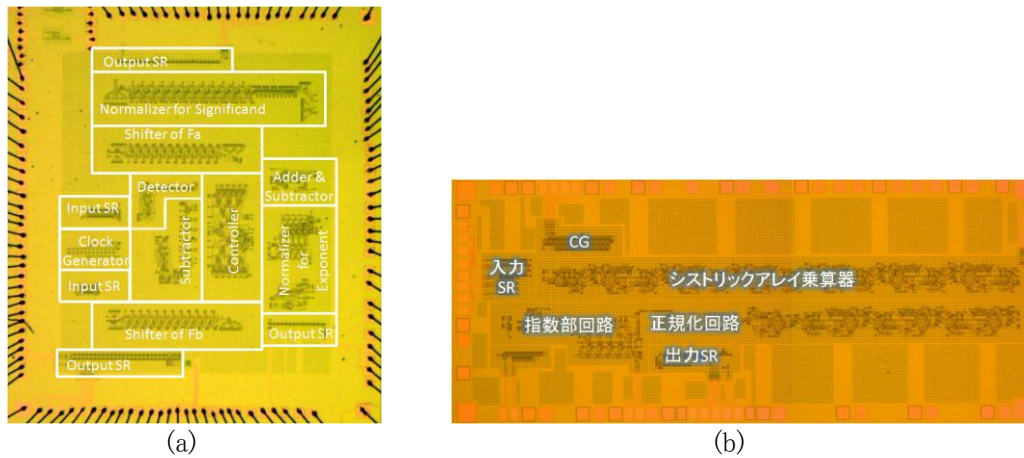


図 4.3.5: 1 μ m プロセスを用いて作製した (a) 半精度浮動小数点加算器(FPA)、
ならびに (b) 乗算器(FPM)のチップ写真

表 4.3.1: 半精度 FPU の各種パラメータ

| | 接合数 | 回路寸法 (mm ²) | 最小データ入力間隔 (クロック) | レイテンシ (クロック) |
|---------|-------|-------------------------|---------------------|-------------------|
| 半精度 FPA | 11917 | 3.2×4.1 | 12 ($n_F + 1$) | 23 ($2n_F + 1$) |
| 半精度 FPM | 10836 | 6.5×1.2 | 12 ($n_F + 1$) | 23 ($2n_F + 1$) |

試作した回路の高速動作試験を行い、回路の正常動作を確認した。図 4.3.6(a)には周波数 50GHz における FPA の各回路ブロックの DC バイアスマージンを示す。図より、各回路ブロックが 50GHz で正常に動作していることが分かる。ただし、設計においてデコーダ回路の論理設計に誤りがあったため、回路の機能には一部誤りがあり、高速動作実証の達成度は 95%である。図 4.3.6 (b)には、最も DC バイアスマージンが小さなシフト回路(上段)の DC バイアスマージンの周波数依存性を示す。図より最高 62GHz で回路が正常に動作していることが分かる。他の全ての回路ブロックについても最高 62GHz までの正常動作を確認した。

半精度 FPM についても正常動作を確認した。仮数部ならびに指数部の最高動作周波数はそれぞれ、62.5GHz、86GHz であった。ただし、本回路においては被乗算数の上位3ビットの入力ができず、ゼロ入力としている。また、全回路の正常な機能動作を別チップにおいて確認した。表 4.3.2 には、半精度 FPU の評価から得られた回路性能ならびに消費電力を示す。表には、回路を単精度と倍精度にスケールアップした際の性能の見積りを示す。これらの見積りは、実際のセルライブラリを用いた詳細回路設計に基づいており、シミュレーションにおいて、50GHz で±20%以上の十分に広いバイアスマージンが得られることを確認した。

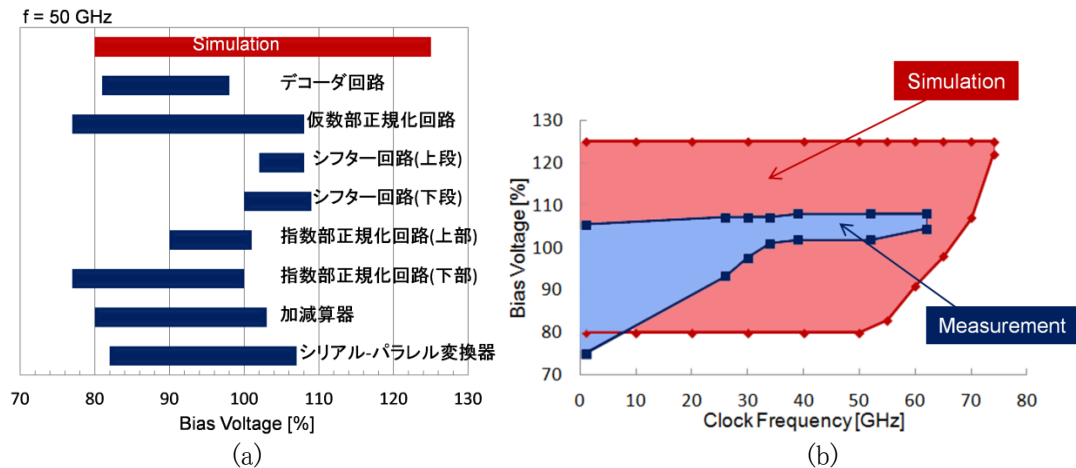


図 4.3.6: 半精度 FPA の DC バイアスマージン
 (a) 各回路ブロックの 50GHz における DC バイアスマージン
 (b) シフタ回路の DC バイアスマージンの周波数依存性

表 4.3.2: 1 μ m プロセスを用いて作製した SFQ FPU の性能の見積り

| | | 最高動作周波数 [GHz] | 接合数 | 回路面積 [mm ²] | 総バイアス電流 [mA] | 消費電力 [mW] |
|-----|------------|---------------|-------|-------------------------|--------------|-----------|
| FPA | 半精度 (16 b) | 62 (実測) | 9668 | 3.2x4.1 | 1152 | 2.9 |
| | 単精度 (32 b) | 71 (シミュレーション) | 15823 | 4.5x6.0 | 1863 | 4.7 |
| | 倍精度 (64 b) | 71 (シミュレーション) | 29500 | 9.7x10.2 | 3470 | 8.7 |
| FPM | 半精度 (16 b) | 62.5 (実測) | 8565 | 6.5x1.2 | 1080 | 2.7 |
| | 単精度 (32 b) | 75 (シミュレーション) | 18001 | 12.6x1.2 | 2315 | 5.8 |
| | 倍精度 (64 b) | 75 (シミュレーション) | 37492 | 26.8x1.2 | 4836 | 12.1 |

本研究成果を基に、将来の 0.5 μ m プロセスを仮定してビットシリアル SFQ FPU の性能を評価した結果を表 4.3.3 に示す。消費電力の見積りには、本プロジェクトで開発した LR バイアス法ならびに臨界電流値の減少による低電力化を仮定している。LR バイアス法ではオンチップ抵抗をインダクタンスに置き換えることにより消費電力を約 20%に削減できる。更に臨界電流値を従来の半分の 50 μ A にすることで消費電力を 50%に削減することができる。表 4.3.3 の結果より、SFQ 回路の性能は電力効率において、現在の半導体回路に対して3桁以上優れていることがわかる。

表 4.3.3: 0.5 μ m プロセスを仮定した場合のビットシリアル SFQ FPU の性能見積り

| | | 動作周波数 [GHz] | 計算性能 [GFLOPS] | 消費電力 [mW] | 電力効率 [GFLOPS/W] | 面積 [mm ²] |
|-----|------------|-------------|---------------|-----------|-----------------|-----------------------|
| FPA | 単精度 (32 b) | 120 | 4.8 | 0.47 | 10200 | 2.0 |
| | 倍精度 (64 b) | 120 | 2.2 | 0.87 | 2500 | 7.4 |
| FPM | 単精度 (32 b) | 120 | 4.8 | 0.58 | 8300 | 1.9 |
| | 倍精度 (64 b) | 120 | 2.2 | 1.21 | 1800 | 4.0 |

(2)研究成果の今後期待される展開

本研究により、新たに開発された 1 μ m 多層配線アドバンスドプロセス、セルライブラリと CAD ツール群、ならびにタイミング設計法と回路アーキテクチャを用いることにより、1万接合規模の FPU が 50GHz 以上のクロック周波数で動作可能であることが実証された。このように複雑かつ高速で動作する超伝導集積回路の設計、プロセス技術は本研究で初めて達成されたものであり、これにより世界を凌駕する超伝導集積回路の基盤技術を確認することができた。また、FPU の回路動作実証を

通して、超伝導回路を用いることにより、半導体回路では達成できない極めて高い電力効率を有する集積回路が実現できることが明らかとなった。以上の基盤技術はFPU以外のあらゆるデジタル回路に対して適応可能であり、本プロジェクトで得られた設計基盤技術を通して、任意の超伝導ハイエンド情報処理装置の詳細で正確な設計と性能の予測が可能となる。

以上の基本技術を次世代の超伝導集積回路プロセスに適応することで、10TFLOPS で動作するデスクサイド RDP システムの実現が可能となる。

4. 4 単一磁束量子再構成可能データパスの開発(名古屋大学 赤池グループ)

(1)研究実施内容及び成果

本研究グループは、SFQ 集積回路における配線技術の高度化を図り、吉川グループと協力して SFQ 論理セルライブラリを開発するとともに、SFQ 回路による RDP プロトタイプの実証を行った。

1. SFQ 回路による再構成可能なデータパスの実証

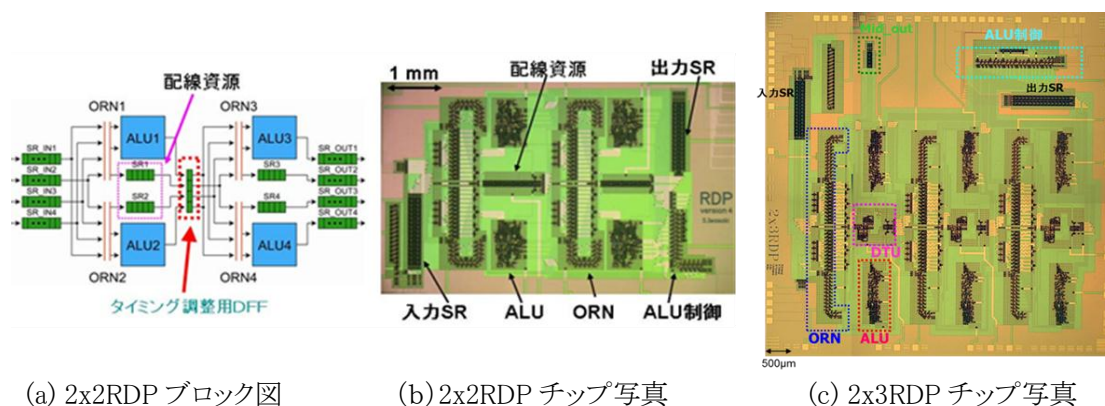
本研究項目は、SFQ 回路による再構成可能データパス(RDP)の実現可能性を示すことを目的としている。つまり RDP を構成する演算部機能及び演算部間ネットワーク(オペランドルーティングネットワーク:ORN)のそれぞれを外部信号により切り替え、RDP の基本動作を確認することにより、SFQ-RDP の実現可能性を示すことである。ただし、SFQ 回路製造設備が不十分なため、高い歩留りで動作させることができる回路の接合数は 10000 個程度に限られる。このことも考慮し、SFQ-RDP の動作実証について、二つの項目の検討を行った。

一つは、演算部として算術論理演算器(ALU)、ORNとしてマルチプレクサ(MUX)型を用いた小規模 SFQ-RDP の開発である。従来のニオブ4層 2 μ m プロセス(以下、2 μ m プロセス)による 25GHz 動作 2 並列 2 段(2x2) SFQ-RDP の実証を中間評価時目標に設定した。さらに、ニオブ9層 1 μ m プロセス(以下、1 μ m プロセス)では、50GHz 動作 2x2SFQ-RDP の実証を経て、50GHz 動作 4x4SFQ-RDP を最終目標とした。もう一つの検討項目は、将来の大規模 SFQ-RDP 実現のための ORN 構成法であり、その決定(中間評価時目標)と回路規模の見積り、小規模プロトタイプ実証を最終目標とした。最終目標に対する達成度は、現時点 90%と自己評価している。2 μ m プロセスを用いた小規模 SFQ-RDP の実証では、2x2SFQ-RDP の早期動作実証に加え、追加目標とした 2x3RDP の動作実証まで中間評価時まで達成した。1 μ m プロセスをの場合、高速化される半面、ジッタ等により、長いデータパスでの誤動作確率が増す。加えて、4x4SFQ-RDP のようにデータパスの並列度が増すと、各データパスの遅延時間の違いの影響を受け、やはり誤動作が助長される。そこで、1 μ m プロセスの配線の高い柔軟度を利用し、クロック供給方法を工夫するとともに、各データパスを等長とした。その結果、最小単位となる 2x2RDP の 45GHz 完全動作の実証に成功し、さらに複雑な 4x4 RDP でも、2 段目までの再構成(8個中5個の ALU の機能変更及び ORN の経路切り替え)と3段目 ORN 経路変更及び一部 ALU 動作確認に成功した。4段目の一部経路からも正常波形が見られる傾向にある。50GHz 動作実証には現時点至っていないが、当初目的である SFQ-RDP の実現可能性は示されたものとする。ORNに関しては、大規模 RDP 用にクロスバ多段網を採用、回路規模見積り、高速 FIFO 付きプロトタイプの 48GHz までの動作実証に成功した。

本研究項目における開発上の課題は、高速 SFQ 回路の大規模化である。SFQ 回路では、論理ゲートの動作が入力される SFQ クロック信号と SFQ データ信号の順序によって決定するため、50GHz においても信号の入力タイミングの制御が必要である。大規模化時の課題は、プロセスばらつきやジョセフソン接合での熱雑音由来のジッタのもとでも正常なタイミングを確保することである。特に SFQ-RDP では、1段あたりの ALU 数増加に伴い、ALU-ORN 間の経路長の差が接続法により大きく異なるため、極めて難しい回路となる。本項目では、等長配線及びタイミング調整用 DFFあるいはシフトレジスタ、FIFO を取り入れることにより解決した。これにより、研究開始当初の SFQ 回路技術(2 μ m プロセスによる接合数 7220、動作周波数 21GHz の SFQ プロセッサ)に対し、現時点、世界最大規模の SFQ 回路(2 μ m プロセス、接合数 14040、23GHz 動作 2x3SFQ-RDP)、あるいは世界最高速大規模 SFQ 回路(1 μ m プロセス、接合数 11458、45GHz 動作 2x2SFQ-RDP)の実現に成功しており、SFQ 回路設計分野において世界をリードしている状況である。なお、上記の

4x4SFQ-RDP の開発において、上記タイミング調整技術をすべて取り入れており、技術的課題は克服されていると考えている。現在判明している誤動作は、各論理ゲート内で起きていることがわかっており、回路作製上の欠陥によるものと推察される。したがって、欠陥の抑制など回路作製上の課題を克服できれば、目標達成が可能であると考えている。なお、類似研究は、2003 年までに終了した 16b MPU の動作を目指した米国 FLUX プロジェクトが該当する可能性があるが、これは動作に至っていない。その後は、低消費電力化回路の研究が米国で主流であり、現時点、小規模回路実証に止まっている。

以下、主要な結果について説明する。まず、前者の SFQ-RDP の動作実証について述べる。試作チップサイズ及び集積度を考慮すると、演算ユニットをできるだけ少ない素子数で構成する必要がある。そのため、SFQ 回路の特長である高スループット特性を活かしたビットシリアル方式を採用し、演算ユニットには ALU を用いた。2 μ m プロセスによる 2x2 SFQ-RDP の設計では、RDP 動作に適した ALU の開発後、2x2 SFQ-RDP の設計を行った(図 4.4.1)。回路には、村上グループの検討結果を受け、配線資源(シフトレジスタ、SR)が各段 2 個搭載されている。総接合数 10839 個、消費電力 3.2mW である。設計上の工夫として、ORN の前にタイミング調整用 DFF を配置した。その結果、23GHz までの完全動作に成功した(平成 19 年度)。次に、中間評価までの追加目標として、2x3 SFQ-RDP の設計に取り組んだ(図 4.4.1(c))。総接合数は世界最大の 14040 個、消費電力は 4.1mW である。設計に際しては、タイミング調整用 DFF に加え、新たに各ブロック間の配線が等長になるようにした。これにより、ALU の一部の機能を除き、2x3 RDP の 23GHz 動作実証に成功した。



(a) 2x2RDP ブロック図

(b) 2x2RDP チップ写真

(c) 2x3RDP チップ写真

図 4.4.1: 2 μ m プロセスによる SFQ-RDP

1 μ m プロセスによる SFQ-RDP については、第一段階として、2x2RDP の設計を行った。ALU は、高速化に耐えうるよう改良を行った。また、各ブロック間は等長配線設計を行い、タイミング調整用 DFF を挿入した。その結果、45GHz までの完全動作に成功した(図 4.4.2)。接合数は 11458 個、消費電力 3.4mW である。チップ性能としては、2012 年現在、世界最速かつ最大級の SFQ 回路である。次に、4x4RDP の設計を行った(図 4.4.3)。各ブロック間は等長配線設計を行い、タイミング調整用にシフトレジスタを用いた。これにより、RDP の各段の評価が可能となる。接合数 28528 個(世界最大)、消費電力 8.4mW である。現時点、低速試験において、3段目までの測定評価が進んでいるところである。試作した際のチップの欠陥密度の関係から、ALU 制御信号の伝送不良、及び ORN 内一部論理ゲートの動作不良が見られたものの、そのほかは正常に動作している。データパスの並列度の高さから、タイミング制御が最も難しい SFQ 回路動作に成功したことで、SFQ-RDP の実現可能性は十分に示すことができたと考える。なお、コンカレントフロックロッキングを用いていることから、タイミング制御の難しさは基本的に高速動作と同じとなる。したがって、高速動作も十分見込まれる結果と考えている。なお、4段目以降も含め引き続き測定を継続中である。

次に、大規模 RDP 用 ORN の検討について述べる。検討の第一段階として、ORN 構成法としてマルチプレクサ(MUX)型及びクロスバ多段網を比較検討した。その結果、MUX 型を実証用小規模 SFQ-RDP 用、クロスバ多段網を大規模 RDP 用として用いることに決定した。また、大規模化におい

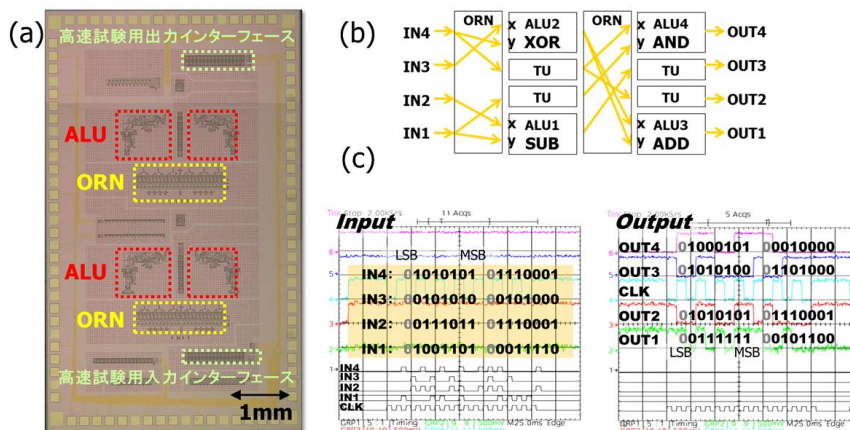


図 4.4.2: 1 μ m プロセスによる 2x2 SFQ-RDP (a)チップ写真 (b)構成パターン (c)入出力波形

て重要となるタイミング調整回路として高速 FIFO を開発し、小規模な ORN+高速 FIFO のプロタイプを開発、48GHz までの動作に成功した。また、大規模 RDP の 1 段当たりの ORN の回路規模を見積った。仮定した大規模 RDP のアーキテクチャは、村上グループの検討結果を反映したものである。単位演算ユニット部は、3 入力 3 出力の FPU である。ORN 後段に FIFO を配置することを仮定した下、各種規模の RDP に対して見積った一段当たりの ORN の回路規模を、表 4.4.1 に示す。消費電力の見積りにおいては、低消費電力化技術の導入も考慮した。また、プロセスとしては次世代の 0.5 μ m プロセスを仮定した。RDP の規模に依存するが、大規模 RDP の場合、消費電力が 17mW 程度になることがわかった。

2. 多層配線プロセス用論理セルライブラリ開発

本項目は、1 μ m プロセスであるニオブ9層多層配線プロセスに対応した論理セルライブラリを開発するものである。この Nb 層数9層まで多層化された 1 μ m プロセスは、

世界で類を見ない全く新しいものであり、そのデバイス構造の決定から論理セル設計の基本指針に至るまで、世界初の試みである。デバイス構造は、赤池、永沢両グループの検討結果に基づき決定し、セル設計基本指針は、赤池、吉川、高木、永沢各グループ独自の観点からの検討結果に基づき、決定した。また、セルライブラリは平成 21 年度までに、吉川グループと共同で開発し、現在、各グループの高性能大規模 SFQ 回路設計に用いられている。一方、赤池グループの追加事項としての低消費電力回路技術対応論理セル開発も、基本論理セル開発とそれを用いた ALU の動作実証まで達成した。従って、目標達成度は、100%以上と判断する。なお、類似研究との比較は、世界の超伝導回路作製プロセスにおいて、現時点、多層化されているプロセスは本研究の 1 μ m プロセスのみであり、対応するセルライブラリは現存しない。従って、類似研究はない状況である。ただ

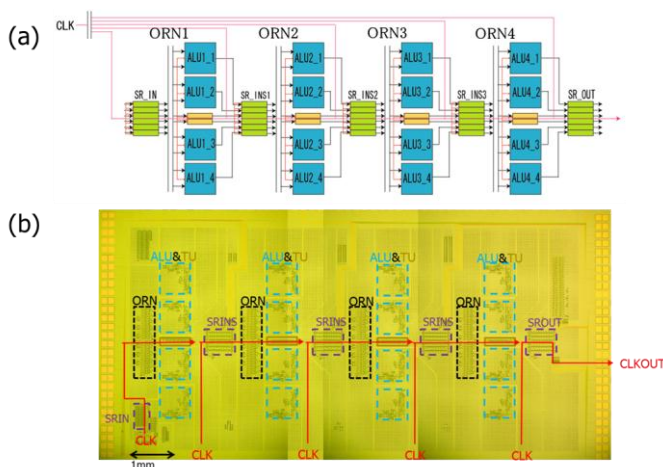


図 4.4.3: 1 μ m プロセスによる 4x4 SFQ-RDP (a)回路ブロック図 (b)チップ写真

表 4.4.1: 一段当たりの ORN 回路規模の見積り

| | ORN 複雑度 M | MCL | JJ 数 | 消費電力 (mW) | 面積 (mm ²) |
|--------|--------------|-----|--------|--------------|--------------------------|
| RDP/S | 22 | 4 | 253527 | 6.3 | 45 |
| RDP/M1 | 24 | 5 | 334782 | 8.4 | 59 |
| RDP/M2 | 32 | 5 | 447426 | 11.2 | 79 |
| RDP/L | 41 | 6 | 673643 | 16.8 | 119 |

し、現在、世界的にも多層化の検討が開始されており、プロセスが確立された後は、類似研究が出てくるものと思われる。また、本論理セルライブラリの完成は、高性能大規模 SFQ 回路設計の基盤技術の一つを確立させたと同時に、大規模 SFQ 回路の実現に今後大きく貢献するものと考えられる。一方、低消費電力化技術については、本年 10 月開催の 2012 応用超伝導会議(ASC12、米国)にて、消費電力 7.2μW、20GHz 動作の 8b 加算器の報告があった。回路規模等異なるため単純比較は難しいものの、我々の低消費電力回路技術とほぼ同程度のものと推察される。

以下、各事項を説明する。配線技術の高度化を含む多層配線プロセス用論理セルライブラリの開発については、まず、論理セルライブラリの設計指針(図 4.4.4)を決定した。多層配線プロセス(1μm プロセス)のデバイス構造は、世界的にみても最も複雑かつ高度化されたもので、従来のデバイス構造と全く異なっている。従って、この設計指針は、駆動電流磁場効果、受動配線高度化、磁場トラップ排除用モート効果、プロセス歩留り、デバイスパラメータ抽出、設計ツール適用

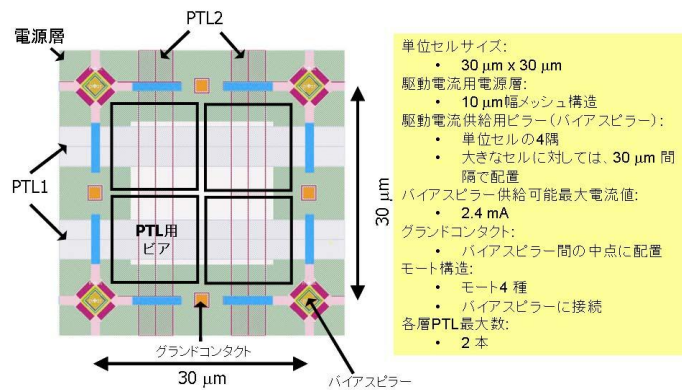


図 4.4.4: 1μm プロセス用論理セル設計指針

性等の赤池、永沢、吉川、高木各グループの検討結果を踏まえた上で決定した。この設計指針に基づき、赤池、吉川、高木グループと共同で論理セルライブラリの開発を行い、フルセットを平成 21 年度までに完成させた。各グループの 1μm プロセスによる回路設計は、このセルライブラリを用いて行われている。

1μm プロセスの有効性について、回路面積及び消費電力の観点から従来の 2μm プロセスと比較評価した。112GHz の動作実証に成功した 4x4 スイッチに基づく比較では、回路面積を 19%に縮小可能であることが分かった(図 4.4.5)。ALU の比較では、多層配線プロセスの導入により接合数が削減、消費電力が 75%程度に抑えられた。これらのことから、多層配線プロセスの導入により、高集積化及び低消費電力化につながることを明らかにした。

平成 23 年度に新しく追加した課題である低消費電力回路技術対応論理セル開発においては、その基本論理ゲートのミニマムセットを開発、そのセルを用いて設計した ALU の 28GHz 動作を確認した。消費電力は 25μW であり従来比 1/10 を達成した。今回、1μm プロセスの設計ルールに従い、ジョセフソン接合の最小臨界電流値を従来通り 100μA とし、駆動電圧を従来比 1/10 とした。このため、最高動作周波数が低い値となった。しかし、ジョセフソン電流値を従来比 1/2、駆動電圧を従来比 1/5 にすることにより、従来の SFQ と変わらない高速動作を消費電力 1/10 で実現できることが数値計算の結果からわかっている。従って、従来の高速動作性を維持した状態での低消費電力回路技術の有効性を実証できたといえる。

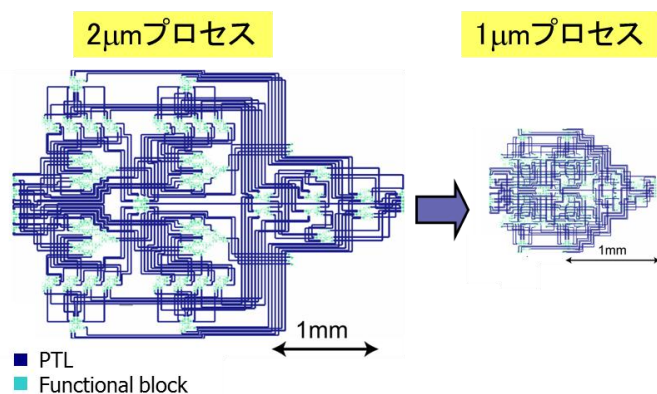


図 4.4.5: 2μm プロセスと 1μm プロセスによる回路面積比較

(2)研究成果の今後期待される展開

本研究で開発した 1μm プロセスは配線専用層を有するなど、配線の柔軟性、高い磁場排除効果などから世界の追随を許さない技術となっている。これに基づくセルライブラリは、極めて競争力

が高く、既に世界の幾つかの研究機関から使用の申し出がある。今後、このセルライブラリは、低消費電力技術を取り入れたセルも取り込む予定である。これら2種のセルライブラリは、今後、SFQ技術開発の中心的セルライブラリとなると考えられる。一方、SFQ-RDPの実証に関しては、複雑な高速大規模 SFQ 回路設計技術の確立につながる大きな成果を得ており、今後、プロセス技術の進展とともに SFQ 回路の大規模化が進むものと推測される。また、RDPアーキテクチャ自身も SFQ の特徴を活かせる極めて重要なものであるため、SFQによるHPC開発において重要な地位を占める可能性がある。本プロジェクトで一部開発した低消費電力化技術を用いての SFQ-RDP のさらなる低省電力化の実証が、さらにその地位を確かなものにすると思われ。一方、SFQ 回路設計技術のスピノフとして、検出器分野で重要な地位を占める極低温超伝導検出器の周辺信号処理回路など小規模極低温低消費電力回路への応用が期待される。

4.5 単一磁束量子回路プロセスの高度化及び高信頼化(国際超伝導産業技術研究センター永沢グループ)

(1)研究実施内容及び成果

本研究グループは、ニオブ9層 1 μm プロセスを確立するとともに、吉川グループ、赤池グループと協力して、1 μm プロセス用セルライブラリを主にプロセス的な側面から開発した。また、1 μm プロセス、および従来の 2 μm プロセスの信頼性を向上し、これらのプロセスを用いて、各種 SFQ 回路の試作を行った。

1. SFQ 回路高度化のための多層配線プロセス最適化とセルライブラリ構築

本プロジェクトスタート時点では、SFQ 回路はニオブ4層最小接合径 2 μm のプロセス(2 μm プロセス)で試作されており、SFQ 回路の動作速度の高速化、回路面積の縮小が求められていた。一方、平坦化法を用いたニオブ9層最小接合径 1 μm プロセスの開発はなされていたが、本格的な SFQ 回路を作製するには至っていなかった。このニオブ9層構造では、下から電源層、ゲート層、配線層の順番で配置されていた。この構造では、磁場を発生する電源層とゲート層が隣接しているため、回路動作信頼性に問題があった。また、ゲート層に含まれるジョセフソン接合(JJ)形成後、平坦化を含む多くのプロセスを行う必要があり、これによる JJ 特性劣化が問題となっていた。

吉川グループ、赤池グループと密接に連携を取りながら、上記問題点を解決し、且つ SFQ-RDP 回路の開発に必要な超伝導集積回路のデバイス構造を検討した。最終的に、図 4.5.1 に示すデバイス構造のニオブ9層 1 μm プロセス(以下、1 μm プロセス)を開発した。このデバイス構造は、JJ、抵抗(RES)、主グランド面等からなる最上部のアクティブ層と、最下部の電源層(DCP)と、中間部のストリップライン構造をした X、Y 方向の超伝導受動配線層(PTL)から構成される。この構造の特徴は、第1に、アクティブ層で構成される磁場に敏感なゲート回路と電源層との間に、主グランド面と共に PTL 層を構成する複数のグランド面(GND1、GND2、GND3)を配置することにより、バイアス電流に起因した磁場の影響を大幅に低減できる。第2に、JJ を終盤の工程で作製できるため、JJ 形成後の工程による JJ ダメージを軽減できる。第3に、ゲート回路直下に PTL 配線層や電源層を任意に配置できるため、従来の 2 μm プロセスに比べてより集積度の高い SFQ 回路が可能になる。第4に、JJ の臨界電流密度を 2 μm プロセス比4倍の 10 kA/cm² に増やし、従来比2倍の回路動作を可能にしている。

但し、JJ のトンネルバリアは、厚さ1nm程度のAl酸化膜であり、

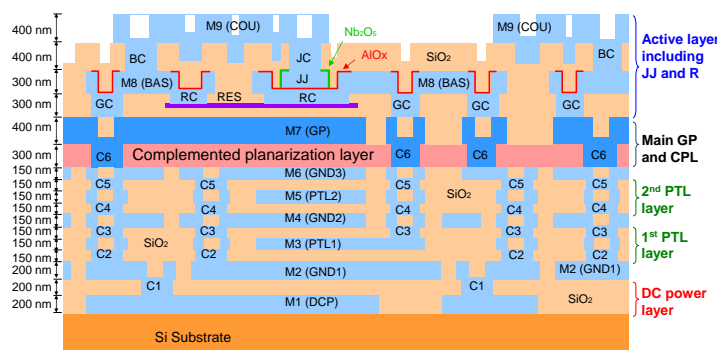


図 4.5.1: ニオブ9層 1 μm プロセスのデバイス構造
 接合(JJ):Nb/AlOx/Nb, Nb層:M1-M9, 抵抗(RES):
 Mo, コンタクト:C1-C6, GC, RC, BC, JC, 絶縁層:SiO₂

JJ 下地には nm オーダーの平坦性が要求される。この構造では、JJ 直下に配線やコンタクトパターンが配置された場合に、これらのパターンによる凹凸に起因して JJ 特性が劣化するという問題があった。この問題を解決するため、図 4.5.1 の M6 と M7 層間の SiO₂ 絶縁膜平坦化プロセスに完全平坦化と呼ばれる手法を新たに導入した。

図 4.5.2 に完全平坦化のプロセス工程を示す。カルデラ平坦化(図の(a)~(d))と呼ばれる我々が開発した平坦化方法後に残る僅かな段差を、再度 SiO₂ を成膜して CMP を行うことにより、数 nm 以下の平坦性を実現している。この完全平坦化により JJ への下部構造の影響を除去することが出来た。図 4.5.3 に 1 μ m プロセスにより作製したデバイスの断面 SEM 写真を示す。良好な平坦性が得られていることが分かる。これにより、ゲート層と PTL 層を完全に独立してレイアウトできるようになり、設計の自由度が大きく向上した。以上により当初の研究構想は 100%達成できた。

また、1 μ m プロセスに対応したセルライブラリの構造をプロセス的な側面から検討し、吉川グループ、赤池グループと協力してより信頼性の高いセルライブラリの開発を行った。主に、磁束トラップの影響を除去するための最適なモート構造と、最下部の電源層から最上部のアクティブ層にバイアス電流を供給するためのバイアスピラーの構造を検討した。複数のグラウンド面を貫くバイアスピラー周りのモートと、セルを囲むように配置した細長いモートとを合わせた構造が、磁束トラップの影響除去に最も効果的であることが分かった。図 4.5.4 に、基本セルのモート配置及びバイアスピラー断面構造の概略図を示す。バイアスピラーは、DCP 層から上部の BAS 層までコンタクトを図の様に積層して構成する。これら最適モート構造とバイアスピラー構造を 1 μ m プロセス用セルに採用した。

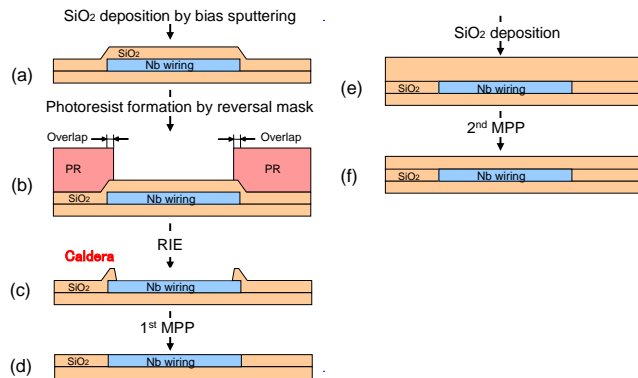


図 4.5.2: 完全平坦化のプロセス工程
(a)~(d):カルデラ平坦化、(e), (f):追加平坦化

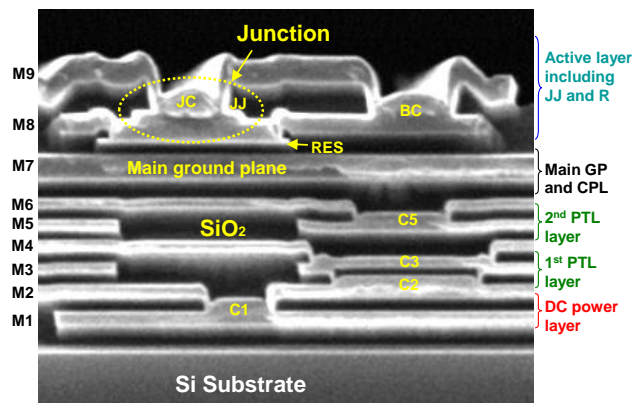


図 4.5.3: 1 μ m プロセスのデバイス構造断面 SEM 写真

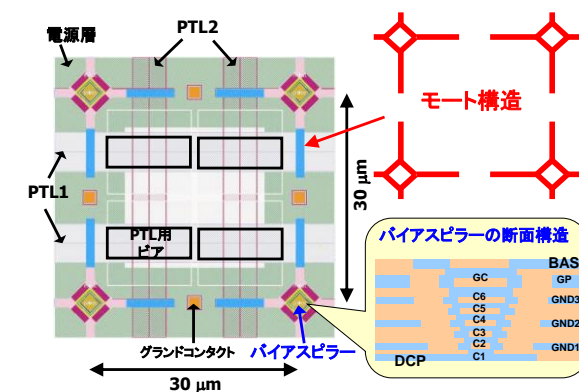


図 4.5.4: 基本セルのモート構造とバイアスピラー

2. SFQ 回路プロセスの高信頼化および SFQ 回路の試作

2 μ m プロセス及び 1 μ m プロセス用いて、吉川グループ、赤池グループで設計した SFQ 回路のチップに加えて、プロセス評価チップとシフトレジスタ (SR) チップを毎回試作した。プロセス評価チップは、JJ、RES、コンタクト等の各種素子特性や欠陥を評価し、SR チップは、SFQ 回路の欠陥評価や回路規模依存性などを評価する。この両チップを用いて、プロセスの問題点の把握と対策を行い、プロセスの信頼性向上に努めた。ここでは 1 μ m プロセスの信頼性評価について報告する。

図 4.5.5 は、1 μ m プロセス用プロセス評価チップである。チップ周辺部には低温評価用の JJ、抵抗、コンタクトパターンが配置されている。その他の大部分の領域には、各種素子特性及び層間リークや断線などの各種欠陥評価を行うパターンが配置されており、室温オートプローバを用いて金属層を形成するごとに測定評価を行うので、プロセスのどの工程で欠陥が発生したかも容易に分かる。最後のニオブ層が形成された段階では、測定箇所はチップあたり 312 箇所になり、1 ウェハにつき 10 チップ測定するため、1 ウェハ当たり 3000 以上になる。図 4.5.6 に、プローバで測定した各種欠陥の推移を示す。2010 年 7 月から 2012 年 7 月までの結果を示す。装置故障等のプロセス環境変化に起因して一時的に欠陥数が増大することはあったが、プロセスの改善努力により、全体的には欠陥数は減少傾向にある。良好な試作ではウェハあたりの欠陥数は 10 個以下になっている。

1 μ m プロセス評価用 SR のチップを図 4.5.7 に示す。回路規模依存性を評価するために、16 ビットから 2560 ビットまでの 6 種類の SR をそれぞれ複数個、左右対称に配置している。表 4.5.1 に、各 SR の構成を示す。2560 ビットと 1280 ビットがそれぞれ 4 回路、その他は 2 回路ずつ配置されているため、1 チップ当りの JJ 数は約 7 万個になる。各ウェハで、6 箇所のチップを測定しているため、ウェハあたりの測定回路数は 16 ビットから 640 ビットの SR は各 12 回路、1280 ビットと 2560 ビットの SR は、各 24 回路になる。

SR の歩留りの推移を図 4.5.8 に示す。2010 年 7 月の試作から 2012 年 7 月までの試作の測定結果である。試作ごとに、回路規模ごとの歩留りを示した。プロセス評価チップの欠陥数推移も折れ線グラフで合わせて示した。二つの推移に相関が見られることが分かる。プロセス評価チップで欠陥数の大きいウェハは、SR 歩留りが急激に劣化し、SR 歩留りを向上するには欠陥数を一定水準以下に維持することが重要であることが分かった。しかし、SR 動作イールドはチップ間で大きなバラツキがあることが分かった(図 4.5.9

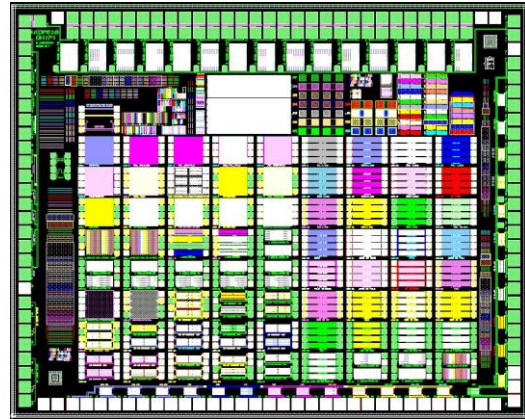


図 4.5.5: 1 μ m プロセス用評価チップ (8.5 \times 7mm)

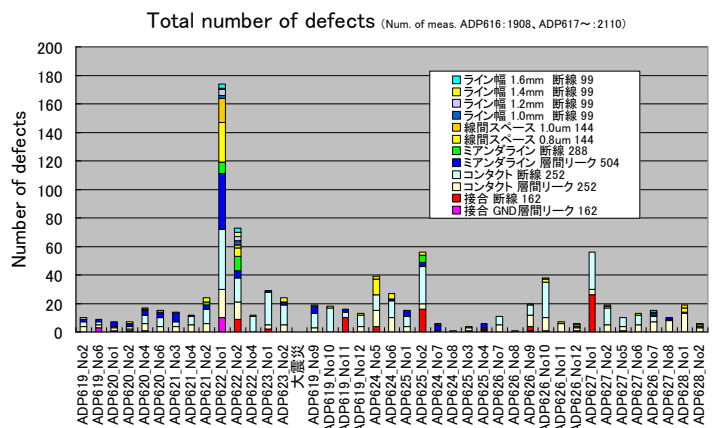


図 4.5.6: プロセス評価チップの欠陥数の推移

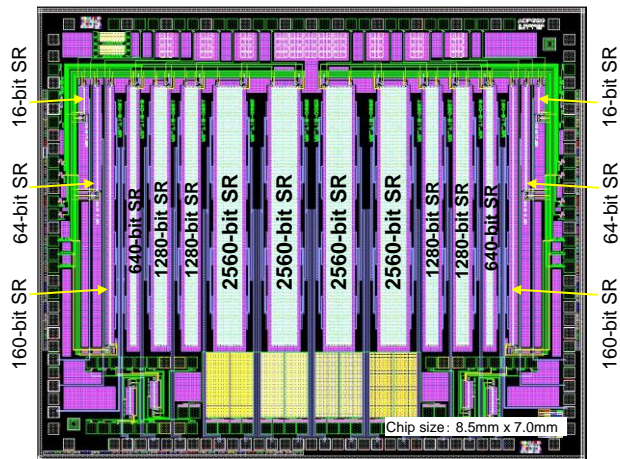


図 4.5.7: 1 μ m プロセス評価用シフトレジスタ (SR)

表 4.5.1: 1 μ m プロセス評価用 SR の構成

| 容量 (bit) | Array 構成 | 接合数 | SR-bias (mA) | 回路数 |
|----------|----------|-------|--------------|-----|
| 16 | 16 x 1 | 90 | 2.75 | 2 |
| 64 | 64 x 1 | 282 | 11 | 2 |
| 160 | 160 x 1 | 666 | 28 | 2 |
| 640 | 160 x 4 | 2589 | 110 | 2 |
| 1280 | 160 x 8 | 5153 | 220 | 4 |
| 2560 | 160 x 16 | 10240 | 440 | 4 |

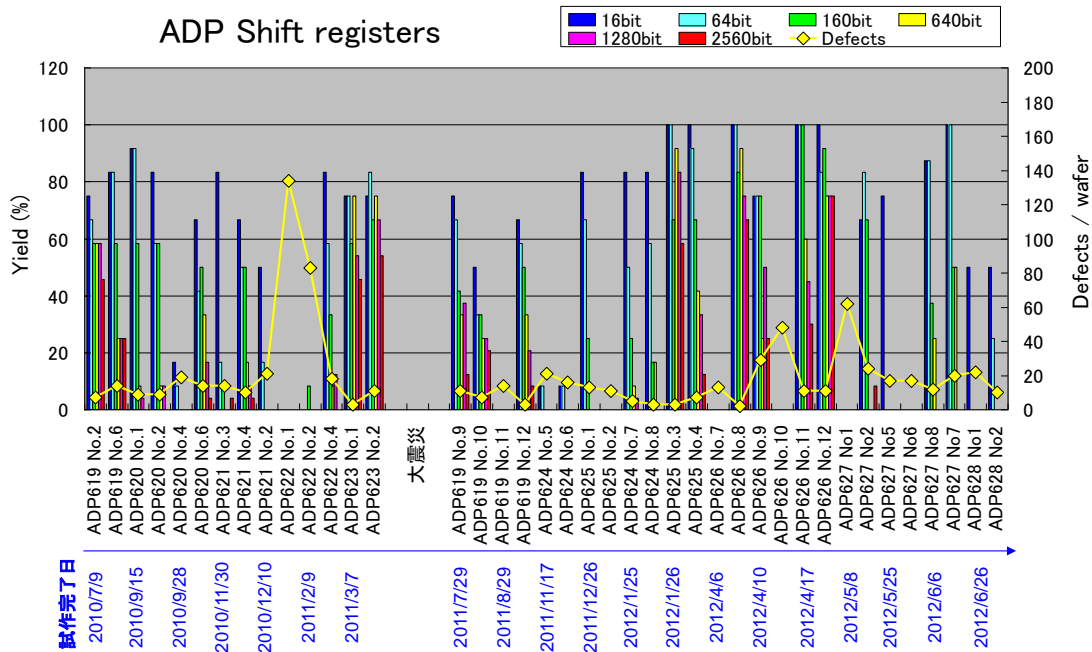


図 4.5.8: シフトレジスタ (SR) 動作イールドの推移と欠陥数の相関

(a)。検討の結果、このバラツキの原因は、ウェハ内のパターン解像度バラツキに主に起因していることが分かり、膜厚分布が少ないウェハ選別や露光条件改善の結果、全てのチップで高い動作イールドが得られ、改善の効果が見られた(図 4.5.9(b))。また、図 4.5.9 (a)のウェハでは、100%のイールドのチップも得られた。このことは、チップ当たり約 7 万 JJ の SFQ 回路が一つの欠陥もなく正常動作していることを表しており、欠陥率低減、信頼性向上の面で大きな進展があった。これにより、1 チップ上 5 万 JJ 以上の SR 動作を実証するという当初目標をクリアすることができた。本成果はチップ当たり 10 万 JJ 規模の SFQ 回路実現につながるものとする。

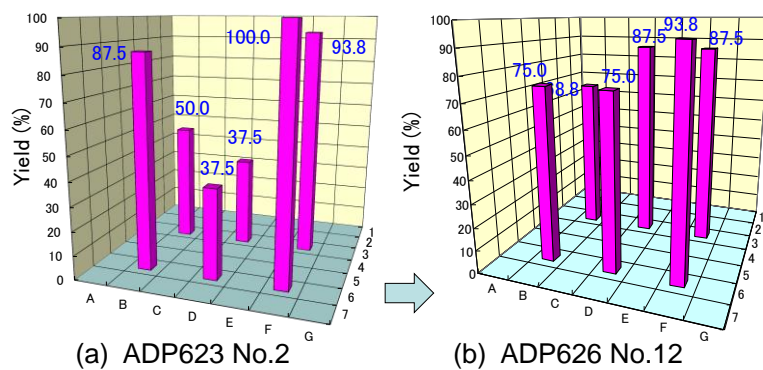


図 4.5.9: シフトレジスタ (SR) の動作イールドのウェハ内のチップ位置依存性(図で手前がウェハのオリフラ側)

表 4.5.2: 次世代超伝導製造プロセス (Next) の性能見積

| | Standard | ADP | Next |
|---------|--------------------------------|--------------------------------|--------------------------------|
| Nb層数 | 4 | 9 | 12 |
| 最小接合サイズ | 2 μm | 1 μm | 0.5 μm |
| 臨界電流密度 | 2.5 kA/cm^2 | 10 kA/cm^2 | 40 kA/cm^2 |
| セルサイズ | 40 \times 40 μm^2 | 30 \times 30 μm^2 | 15 \times 15 μm^2 |
| チップサイズ | 5 \times 5 mm^2 | 10 \times 10 mm^2 | 15 \times 15 mm^2 |
| 接合数/チップ | $\sim 10^4$ | $\sim 10^5$ | $\sim 10^6$ |

本研究成果に基づいて、次世代の超伝導製造プロセスの見積り(表 4.5.2)を行った。今回開発した 1 μm プロセスで、チップ当たり 10 万 JJ を可能にする製造プロセスの目処がたった。現在半導体では一般的に使われている KrF などの露光技術を用いることで 0.5 μm プロセスが実現可能であると考えらる。0.5 μm プロセスでは、セルサイズの縮小とチップサイズの拡大により、チップ当たり 100 万 JJ を集積した回路の作製が可能であるという見通しが得られた。

(2) 研究成果の今後期待される展開

本研究の成果であるニオブ9層 1 μ m プロセスは、現時点において世界最高の超伝導プロセス技術であり、超伝導デバイス技術に関して日本の優位性を示すものである。実際、米国の NIST や Hypres といった世界の研究機関からも注目され、使用を前提とした共同研究の申し出も来ている。また、この技術は、様々な超伝導関連デバイスを開発する基本技術でもあり、現在も様々な分野に波及、展開されている。具体的には、電気標準用カレントコンパレータ回路(ICCC)の作製、衛星搭載X線天体観測用超伝導検出器多重読み出しSQUIDの開発、磁気光学イメージング法を用いた超伝導体中への磁場侵入の研究、超伝導 Qubit の周辺回路の開発などに本研究の成果が利用されている。

本研究により、SR 動作歩留りを劣化させる二大原因が、プロセス欠陥とパターン露光解像度の不安定性にあることを突き止めた。現状のクラス 10000 のクリーンルーム環境と製造設備においても 10 万 JJ 規模の SFQ 回路の実現の見通しが得られたので、今後、クラス 100 程度のクリーンルーム環境と KrF など半導体プロセスでは一世代以上前のプロセス装置でも一新されれば、100 万 JJ 規模の 0.5 μ m プロセスは大きな支障はなく達成されるものと思われる。

§ 5 成果発表等

(1)原著論文発表 (国内(和文)誌 0 件、国際(欧文)誌 33 件)

1. F. Mehdipour, H. Noori, M. S. Zamani, K. Inoue, and K. Murakami: "Improving Performance and Energy Saving in a Reconfigurable Processor via Accelerating Control Data Flow Graphs", IEICE Transactions on Information and Systems, vol. E90-D, no.12, pp.1956-1966, Dec. 2007.
2. S. Iwasaki, M. Tanaka, Y. Yamanashi, H. Park, H. Akaike, A. Fujimaki, N. Yoshikawa, N. Takagi, K. Murakami, H. Honda and K. Inoue: "Design of a reconfigurable data-path prototype in the single-flux-quantum circuit", Superconductor Science and Technology, vol. 20, no. 11, pp. S328-S331, Nov. 2007.
3. H. Akaike, A. Fujimaki, S. Nagasawa, Y. Kitagawa, and M. Hidaka, "Effects of the film thickness of a ground plane in the SFQ circuits with a dc-power layer", Superconductor Science and Technology, vol. 20, no. 11, pp. S336-S340, Nov. 2007.
4. F. Mehdipour, H. Noori, H. Honda, K. Inoue, and K. J. Murakami, "A gravity-directed temporal partitioning approach," IEICE Electronics Express, vol. 5, no. 10, pp. 366-373, May 2008.
5. K. Nakamiya, N. Yoshikawa, A. Fujimaki, H. Terai, Y. Hashimoto, "Direct measurements of propagation delay of single-flux-quantum circuits by time-to-digital converters," IEICE Electronics Express, vol. 5, no. 9, pp.332-337, May 2008.
6. H. Park, Y. Yamanashi, K. Taketomi, N. Yoshikawa, A. Fujimaki, N. Takagi, "Novel serial-parallel converter using SFQ logic circuits," Physica C, vol. 468, pp. 1977-1982, Sep. 2008.
7. T. Satoh, K. Hinode, S. Nagasawa, Y. Kitagawa, M. Hidaka, N. Yoshikawa, H. Akaike, A. Fujimaki, K. Takagi, and N. Takagi: "Planarization Process for Fabricating Multi-layer Nb Integrated Circuits Incorporating Top Active Layer," IEEE Trans. Appl. Supercond., vol. 19, issue 3, part 1, pp. 167-170, June 2009. (doi: 10.1109/TASC.2009.2018188)
8. H. Akaike, K. Shigehara, A. Fujimaki, T. Satoh, K. Hinode, S. Nagasawa, and M. Hidaka: "The Effects of a DC Power Layer in a 10-Nb-Layer Device for SFQ LSIs", IEEE Trans. Appl. Supercond., vol. 19, issue 3, part 1, pp. 594-597, June 2009. (doi:10.1109/TASC.2009.2018033)
9. K. Fujiwara, S. Nagasawa, Y. Hashimoto, M. Hidaka, N. Yoshikawa, M. Tanaka, H. Akaike, A. Fujimaki, K. Takagi, and N. Takagi: "Research on Effective Moat

- Configuration for Nb Multi-Layer Device Structure”, *IEEE Trans. Appl. Supercond.*, vol. 19, issue 3, part 1, pp. 603-606, June 2009. (doi:10.1109/TASC.2009.2018545)
10. K. Takagi, M. Tanaka, S. Iwasaki, R. Kasagi, I. Kataeva, S. Nagasawa, T. Satoh, H. Akaike, and A. Fujimaki: “SFQ Propagation Properties in Passive Transmission Lines Based on a 10-Nb-Layers Structure”, *IEEE Trans. Appl. Supercond.*, vol. 19, issue 3, part 1, pp. 617-620, June 2009. (doi:10.1109/TASC.2009.2019130)
 11. H. Park, Y. Yamanashi, K. Taketomi, N. Yoshikawa, M. Tanaka, K. Obata, Y. Itou, A. Fujimaki, N. Takagi, K. Takagi, and S. Nagasawa: “Design and Implementation and On-Chip High-Speed Test of SFQ Half-Precision Floating-Point Adders,” *IEEE Trans. Appl. Supercond.*, vol. 19, issue 3, part 1, pp. 634-639, June 2009. (doi:10.1109/TASC.2009.2019070)
 12. M. Tanaka, K. Obata, K. Takagi, N. Takagi, A. Fujimaki, and N. Yoshikawa: “A High-Throughput Single-Flux Quantum Floating-Point Serial Divider Using the Signed-Digit Representation,” *IEEE Trans. Appl. Supercond.*, vol. 19, issue 3, part 1, pp. 653-656, June 2009. (doi:10.1109/TASC.2009.2018537)
 13. H. Hara, K. Obata, H. Park, Y. Yamanashi, K. Taketomi, N. Yoshikawa, , M. Tanaka, A. Fujimaki, N. Takagi, K. Takagi, and S. Nagasawa: “Design, Implementation and On-Chip High-Speed Test of SFQ Half-Precision Floating-Point Multiplier,” *IEEE Trans. Appl. Supercond.*, vol. 19, issue 3, part 1, pp. 657-660, June 2009. (doi:10.1109/TASC.2009. 2018039)
 14. I. Kataeva, H. Akaike, A. Fujimaki, N. Yoshikawa, N. Takagi, K. Inoue, H. Honda, and K. Murakami: “An Operand Routing Network for an SFQ Reconfigurable Data-Paths Processor,” *IEEE Trans. Appl. Supercond.*, vol. 19, issue 3, pp. 665-669, June 2009. (doi:10.1109/TASC.2009.2018534)
 15. S. Nagasawa, T. Satoh, K. Hinode, Y. Kitagawa, M. Hidaka, H. Akaike, A. Fujimaki, K. Takagi, N. Takagi, N. Yoshikawa: “New Nb multi-layer Fabrication Process for Large-Scale SFQ Circuits,” *Physica C*, vol. 469, no. 15-20, pp. 1578-1584, Oct. 2009. (doi:10.1016/j.physc.2009.05.219)
 16. H. Akaike, M. Tanaka, K. Takagi, I. Kataeva, R. Kasagi, A. Fujimaki, K. Takagi, M. Igarashi, H. Park, Y. Yamanashi, N. Yoshikawa, K. Fujiwara, S. Nagasawa, M. Hidaka, and N. Takagi: “Design of Single Flux Quantum cells for a 10-Nb-layer process”, *Physica C.*, vol. 469, no. 15-20, pp. 1670-1673, Oct. 2009. (doi:10.1016/j.physc.2009.05.041)
 17. M. Tanaka, H. Akaike, A. Fujimaki: “Control of return current flows in the single-flux-quantum circuits using positive/negative bias supply lines,” *Physica C.*, vol. 469, no. 15-20, pp. 1666-1669, Oct. 2009. (doi:10.1016/j.physc.2009.05.040)
 18. H. Park, Y. Yamanashi, N. Yoshikawa, M. Tanaka, and A. Fujimaki: “Design of Fast Digit-Serial Adder Using SFQ Logic Circuits”, *IEICE Electronics Express*, vol. 6, no. 19, pp. 1408-1413, Oct. 2009. (doi:10.1587/elex.6.1408)
 19. F. Mehdipour, H. Noori, K. Inoue, and K. Murakami, ”Rapid Design Space Exploration of a Reconfigurable Instruction-Set Processor”, *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E92-A, no. 12, pp. 3182-3192, Dec. 2009. (doi:10.1587/transfun.E92.A.3182)
 20. Y. Okamoto, H. Jin, K. Yaguchi, Y. Yamanashi, and N. Yoshikawa, “Access Time Measurement of 64-kb Josephson-CMOS Hybrid Memories using SFQ Time-to-Digital Converter,” *IEICE Electron. Express*, vol. 7, no. 4, pp.320-325, Feb. 2010. (doi:10.1587/elex.7.320)
 21. N. Takagi, M. Tanaka: “Comparisons of Synchronous-Clocking SFQ Adders,” *IEICE Trans. Electron.* vol. E93-C, no. 4, pp. 429-434, Apr. 2010 (doi:10.1587/

- transele.E93.C.429)
22. M. Tanaka, K. Obata, Y. Ito, S. Takeshima, M. Sato, K. Takagi, N. Takagi, H. Akaike, A. Fujimaki: "Automated Passive-transmission-line Routing Tool for Single-flux-quantum Circuits Based on A* Algorithm," IEICE Trans. Electron. vol. E93-C, no. 4, pp. 435-439, Apr. 2010 (doi: 10.1587/transele.E93.C.435)
 23. Y. Yamanashi, T. Kainuma, N. Yoshikawa, I. Kataeva, H. Akaike, A. Fujimaki, M. Tanaka, N. Takagi, S. Nagasawa, M. Hidaka, "100 GHz Demonstrations Based on the Single-Flux-Quantum Cell Library for the 10 kA/cm² Nb Multi-Layer Process," IEICE Trans. Electron., vol. E93-C, no. 4, pp. 440-444, Apr. 2010. (doi:10.1587/transele.E93.C.440)
 24. H. Noori, F. Mehdipour, K. Inoue, K. Murakami: "Improving performance and energy efficiency of embedded processors via post-fabrication instruction set customization," The Journal of Supercomputing, 10, Nov. 2010, pp. 1-27. (doi: 10.1007/s11227-010-0505-0)
 25. F. Mehdipour, H. Honda, K. Inoue, H. Kataoka, and K. Murakami: "A Design Scheme for a Reconfigurable Accelerator Implemented by Single-Flux Quantum Circuits," Journal of Systems Architecture - Embedded Systems Design 57, pp.169-179, Jan. 2011. (doi:10.1016/j.sysarc.2010.07.009).
 26. K. Takagi, Y. Ito, S. Takeshima, M. Tanaka, N. Takagi: "Layout-Driven Skewed Clock Tree Synthesis for Superconducting SFQ Circuits," IEICE Trans. Electron., vol. E94-C, no. 3, pp.288-295, Mar. 2011. (doi: 10.1587/transele.E94.C.288)
 27. M. Tanaka, H. Akaike, A. Fujimaki, Y. Yamanashi, N. Yoshikawa, S. Nagasawa, K. Takagi, N. Takagi, "100-GHz Single-Flux-Quantum Bit-Serial Adder Based on 10-kA/cm² Niobium Process," IEEE Trans. Appl. Supercond. vol. 21, issue 3, part 1, June 2011, pp.792-796. (DOI: 10.1109/TASC.2010.2101034)
 28. I. Kataeva, H. Akaike, A. Fujimaki, S. Nagasawa, and N. Takagi, "Clock Line Considerations for an SFQ Large Scale Reconfigurable Data Paths Processor," IEEE Trans. Appl. Supercond. vol.21, issue 3, part 1, June 2011, pp.809-813. (DOI:10.1109/TASC.2010.2092402)
 29. F. Miyaoka, T. Kainuma, Y. Shimamura, Y. Yamanashi, N. Yoshikawa, "High-Speed Test of a Radix-2 Butterfly Processing Element for Fast Fourier Transforms Using SFQ Circuits," IEEE Trans. Appl. Superconductivity, vol. 21, issue 3, part 1, June 2011, pp. 823-826. (DOI: 10.1109/TASC.2010.2094175)
 30. T. Kainuma, Y. Shimamura, F. Miyaoka, Y. Yamanashi, N. Yoshikawa, A. Fujimaki, K. Takagi, N. Takagi, S. Nagasawa, "Design and Implementation of Component Circuits of an SFQ Half-Precision Floating-Point Adder Using 10-kA/cm² Nb Process," IEEE Trans. Appl. Superconductivity, vol. 21, issue 3, part 1, June 2011, pp. 827-830. (DOI: 10.1109/TASC.2010.2096374)
 31. D. Ozawa, Y. Yamanashi, N. Yoshikawa, "Design and Evaluation of Multi-Flux-Quantum Drivers Using Under-Damped Josephson Junctions," IEEE Trans. Appl. Superconductivity, vol. 21, issue 3, part 1, June 2011, pp. 835-838. (DOI: 10.1109/TASC.2010.2096453)
 32. H. Jin, K. Kuwabara, Y. Yamanashi, N. Yoshikawa: "Investigation of Robust CMOS Amplifiers for Josephson-CMOS Hybrid Memories," Physics Procedia, vol. 36, pp. 229-234, 2012. (DOI:10.1016)
 33. I. Kataeva, H. Akaike, A. Fujimaki, N. Yoshikawa, N. Takagi, "Experimental demonstration of an operand routing network prototype employing clock control and data synchronization," Physics Procedia, vol. 36, pp. 349-353, 2012. (DOI: 10.1016)

(2)その他の著作物(総説、書籍など)

1. 吉川信行:「単一磁束量子回路を用いた超高速マイクロプロセッサの開発とその展望」, 電子情報通信学会論文誌 C, vol. J91-C, pp. 183-193, 2008年3月.
2. 高木直史, 田中雅光:「超伝導単一磁束量子集積回路の技術動向と超伝導コンピュータの展望」, 電子情報通信学会誌 vol. 93, no. 4, pp. 310-315, 2010年4月.
3. 吉川信行:「超伝導検出器が拓く新分野」, 電気学会論文誌 A, vol. 131, No. 1, pp. 34-37, 2011年1月.
4. 吉川信行:「高速情報処理を実現する単一磁束調子(SFQ)回路」, 未来材料, Vol. 12, No. 8, pp. 1-4, 2012年8月.

(3)国際学会発表及び主要な国内学会発表

① 招待講演 (国内会議 4件、国際会議 31件)

1. 高木直史(名古屋大学), 村上和彰, 藤巻朗, 吉川信行, 井上弘士, 本田宏明:「単一磁束量子回路による大規模再構成可能データパスをもつプロセッサ」, 電子情報通信学会超伝導エレクトロニクス研究会, SCE2006-36, 超電導工学研究所(東京), 2007年1月26日.
2. 藤巻朗(名古屋大学):「単一磁束量子エレクトロニクスの新展開」:電子情報通信学会超伝導エレクトロニクス研究会, SCE2006-37, 超電導工学研究所(東京), 2007年1月26日.
3. M. Hidaka (ISTEC), S. Nagasawa, K. Hinode and T. Satoh: “Advanced fabrication process for Nb single flux quantum circuits,” 11th International Superconductive Electronics Conference (ISEC'07), I-I01, Washington D.C., USA, June 12, 2007.
4. A. Fujimaki (Nagoya Univ.): “Recent Progress in SFQ LSI Technology”, 8th European Conference on Applied Superconductivity (EUCAS'07), Brussels, Belgium, Sept. 2007.
5. A. Fujimaki (Nagoya Univ.): “Superconducting Electronics in Japan”, US Workshop on Superconducting Electronics, Lakeville, CT USA., Oct. 2007
6. F. Mehdipour (Kyushu Univ.), H. Noori, K. Inoue, and K. Murakami: “High Performance, Low Power Reconfigurable Processor for Embedded Systems”, International SoC Design Conference (ISOCC'07), pp.51-55, Oct. 2007.
7. N. Takagi (Nagoya Univ.), K. Murakami, A. Fujimaki, N. Yoshikawa, K. Inoue, and H. Honda: “A Desk-Side Supercomputer with RSFQ Reconfigurable Data-Paths”, 日本学術振興会 超伝導エレクトロニクス第146委員会 創立25周年記念シンポジウム, タワーホール船堀(東京), 2007年10月18日
8. N. Yoshikawa (Yokohama National Univ.): “Superconductor Electronics based on Single-Flux-Quantum Circuit Technology,” East Asia Symposium on Superconductor Electronics, 11-15, Delhi, India, Dec. 2007.
9. I. Kataeva (Nagoya Univ.), S. Iwasaki, H. Akaike, A. Fujimaki, N. Yoshikawa, N. Takagi and K. Murakami: “Demonstration of the key components of an SFQ Reconfigurable Data-Paths Processor: an Operand Routing Network and a 2x2 RDP prototype”, Superconducting SFQ VLSI Workshop 2008 (SSV2008), I2, Yokohama National University, Yokohama, Japan, Mar. 17, 2008.
10. M. Tanaka (Nagoya Univ.), K. Obata, Y. Yamanashi, H. Park, S. Iwasaki, K. Taketomi, K. Takagi, K. Takagi, N. Takagi, A. Fujimaki, and N. Yoshikawa: “CORE1: Review and Recent Developments in Bit-serial SFQ Microprocessors”, Superconducting SFQ VLSI Workshop 2008 (SSV2008), I3, Yokohama National University, Yokohama, Japan, Mar. 17, 2008.
11. N. Yoshikawa (Yokohama National Univ.): “RSFQ projects in Japan,” 5th FLUXONICS RSFQ design workshop, Ilmenau, Germany, June 2008.
12. A. Fujimaki (Nagoya Univ.), S. Iwasaki, K. Takagi, R. Kasagi, I. Kataeva, H. Akaike, M. Tanaka, N. Takagi, N. Yoshikawa, K. Murakami, “Demonstration of

- an SFQ-Based Accelerator Prototype for a High-Performance Computer,” 2008 Applied Superconductivity Conference (ASC2008), 2EZ01, Chicago, Aug 2008.
13. H. Park (Yokohama National Univ.), Y. Yamanashi, K. Taketomi, N. Yoshikawa, M. Tanaka, K. Obata, Y. Ito, A. Fujimaki, N. Takagi, K. Takagi, S. Nagasawa, “Design and Implementation of SFQ Half-Precision Floating-Point Adders,” 2008 Applied Superconductivity Conference (ASC2008), 4EB01, Chicago, August 2008.
 14. F. Mehdipour, H. Noori, H. Honda, K. Inoue, and K. J. Murakami, “Performance Evaluation of a Reconfigurable Instruction Set Processor,” International SoC Design Conference (ISOCC2008), Busan, Nov 2008.
 15. S. Nagasawa (ISTEC), T. Satoh, K. Hinode, Y. Kitagawa, M. Hidaka, H. Akaike, A. Fujimaki, K. Takagi, N. Takagi, N. Yoshikawa, “New Nb multi-layer Fabrication Process for Large-Scale SFQ Circuits,” International Symposium on Superconductivity 2008 (ISS2008), FD-22-INV, Tsukuba, Oct 2008.
 16. N. Yoshikawa (Yokohama National Univ.), H. Park, H. Hara, K. Taketomi, Y. Yamanashi, I. Kataeva, R. Kasagi, S. Iwasaki, H. Akaike, A. Fujimaki, M. Tanaka, K. Obata, Y. Ito, K. Takagi, N. Takagi, H. Honda, K. Inoue, K. Murakami, S. Nagasawa, M. Hidaka, “Recent development of Large-Scale reconfigurable data-paths using RSFQ Circuits,” 21th International Symposium on Superconductivity (ISS2008), FD-25-INV, Tsukuba, Oct 2008.
 17. F. Mehdipour (Kyushu Univ.), H. Honda, H. Kataoka, K. Inoue, and K. Murakami (Kyushu Univ.): “Optimizing the Architectures of SFQ-RDP (Single Flux Quantum-Reconfigurable Datapath),” Superconducting SFQ VLSI Workshop (SSV2009), I2, Fukuoka, Japan, Jun. 15, 2009.
 18. A. Fujimaki (Nagoya Univ.), R. Kasagi, K. Takagi, I. Kataeva, H. Akaike, M. Tanaka, N. Takagi, N. Yoshikawa, K. Murakami: “Demonstration of 2x3 Reconfigurable-data-path Processors with 14000 Josephson Junctions,” 12th International Superconductive Electronics Conference (ISEC’09), SP-O4, Fukuoka, Japan, Jun. 17, 2009.
 19. A. Fujimaki (Nagoya Univ.): “RSFQ Circuit Design for Detector Applications Including Japanese RSFQ Activities,” 6th FLUXONICS RSFQ design workshop, Ilmenau, Germany, July. 2009.
 20. N. Yoshikawa (Yokohama National Univ.), H. Park, H. Hara, Y. Yamanashi, A. Fujimaki, K. Takagi, N. Takagi, M. Hidaka: “Recent Developments in Floating-Point Processors using Single-Flux-Quantum Circuits,” 9th European Conference on Applied Superconductivity (EUCAS2009), Dresden, Germany, Sep. 13-17, 2009.
 21. N. Yoshikawa (Yokohama National Univ.), T. Kainuma, H. Park, Y. Yamanashi, A. Fujimaki, N. Takagi and K. Takagi: “Component Design and Test of 50-GHz Half-Precision Floating-Point Adders and Multipliers,” EUROFLUX 2009 International Conference, Avignon, France, Sep. 20-23, 2009.
 22. N. Yoshikawa (Yokohama National Univ.), T. Kainuma, H. Park, Y. Yamanashi, A. Fujimaki, N. Takagi and K. Takagi: “High-Speed Floating-Point Processors based on Single-Flux-Quantum Circuit Technology,” Asian Conference of Applied Superconductivity and Cryogenics (ACASC2009), Matsue, Japan, December 6-8, 2009.
 23. 吉川信行 (横浜国立大): 「超伝導テラヘルツ信号処理技術」, 応用物理学学会超伝導分科会第 41 回研究会, 大阪大学中之島センター (大阪), 2010 年 6 月 24 日.
 24. A. Fujimaki (Nagoya Univ.): “Recent Progress in Single Flux Quantum Integrated Circuits,” International Conference on Superconductivity and Magnetism (ICSM2010), PLN003, Antalya, April 30, 2010.
 25. M. Tanaka (Nagoya Univ.), H. Akaike, A. Fujimaki, Y. Yamanashi, N. Yoshikawa, S. Nagasawa, K. Takagi, N. Takagi: “100-GHz single-flux-quantum

- bit-serial adder based on 10-ka/cm² niobium process,” Applied Superconductivity Conference (ASC2010), 3EY01, Washington D.C., USA, Aug. 4, 2010.
26. Y. Shimamura (Yokohama National Univ.), T. Kainuma, F. Miyaoka, Y. Yamanashi, N. Yoshikawa, A. Fujimaki, N. Takagi, and K. Takagi, “50 GHz operation of SFQ floating-point multiplier using 10 kA/cm² Nb process,” 2010 Applied Superconductivity Conference (ASC2010), 4EY-01, Washington DC, USA, Aug. 5, 2010.
 27. M. Tanaka (Nagoya Univ.), S. Takeshima, K. Hidaka, K. Takagi, N. Takagi, M. Ito, M. Okada, I. Kataeva, H. Akaike, A. Fujimaki, T. Kainuma, Y. Shimamura, Y. Yamanashi, N. Yoshikawa, K. Murakami, S. Nagasawa: “Design Automation and High-Speed Demonstration of Single-Flux-Quantum Large-Scale Reconfigurable Data-Path Accelerator Circuits,” 23rd International Symposium on Superconductivity (ISS2010), FD-15-INV, Tsukuba, Nov. 3, 2010.
 28. M. Okada (Nagoya Univ.), I. Kataeva, M. Tanaka, H. Akaike, A. Fujimaki, N. Yoshikawa, S. Nagasawa, N. Takagi, “45 GHz operation of Single-Flux-Quantum Reconfigurable Data-Path Processor with 11000 Josephson Junctions,” Superconductivity Centennial Conference, 1-EB-I2, The Hague, The Netherlands, Sept. 19, 2011.
 29. A. Fujimaki (Nagoya Univ.): “Energy consumption in RSFQ circuits driven by low rail voltages,” 7th Fluxonics RSFQ Design Workshop, Ilmenau, Germany, Sept. 26, 2011.
 30. N. Takagi (Kyoto Univ.): “An Energy-Efficient High-Performance Processor with Reconfigurable Data-Paths Using RSFQ Circuits,” 24th International Symposium on Superconductivity (ISS2011), FD-13-INV, Tokyo, Japan, Oct. 26, 2011.
 31. A. Fujimaki (Nagoya Univ.): “Recent progress of superconductor digital electronics in Japan,” JSPS International Symposium on Superconductive Electronics, Kyoto, Japan, Oct. 31, 2011.
 32. A. Fujimaki (Nagoya Univ.): “Large-scale reconfigurable data path processors based on the single flux quantum logic circuit,” Laboratory for Physical Sciences Seminar, College Park, USA, March 7, 2012.
 33. M. Hidaka (ISTEC), “Implementation of Josephson Junctions and Josephson Integrated Circuits”, International Conference on Superconductivity and Magnetism (ICSM2012), Istanbul, Turkey, May 1, 2012.
 34. A. Fujimaki (Nagoya Univ.), T. Takinami, A. Kitayama, M. Ito, M. Tanaka, “Rapid Single Flux Quantum Circuits with Reduced Power-Delay Product,” 11th International Symposium on High Temperature Superconductors in High Frequency Fields (HTSHFF 2012), Matsushima, Japan, May 31, 2012.
 35. M. Hidaka (ISTEC), S. Nagasawa, K. Hinod, T. Satoh, “Device yield in Nb-nine-layer circuit fabrication process”, Applied Superconductivity Conference (ASC2012), Portland, USA, October 8, 2012.
- ② 口頭発表 (国内会議 107 件、国際会議 38 件)
1. H. Park (Yokohama National Univ.), Y. Yamanashi, N. Yoshikawa, A. Fujimaki, M. Tanaka, H. Terai, S. Yorozu: “Design of Bit-Slice Adders Using RSFQ Logic Circuits”, 2006 Applied Superconductivity Conference (ASC2006), 3EY03, Seattle, Washington, USA, Sept. 2006.
 2. 朴熙中(横浜国立大), 山梨裕希, 吉川信行: 「SFQ 論理回路を用いた 4-b ビット・スライス・アダーの設計」, 電子情報通信学会 超伝導エレクトロニクス研究会, SCE2006-32, 超伝導工学研究所(東京), 2007 年 1 月 26 日.

3. 武富一博(横浜国立大), 朴熙中, 山梨裕希, 吉川信行:「SFQ 回路による FFT 変換回路用バタフライ演算器の設計」, 2007 年電子情報通信学会総合大会, C-8-7, 名城大学(名古屋市), 2007 年 3 月 22 日.
4. 原浩史(横浜国立大), 吉川信行:「SFQ 回路を用いた FIFO Buffer の動作実証」, 2007 年電子情報通信学会総合大会, C-8-8, 名城大学(名古屋市), 2007 年 3 月 22 日.
5. 山梨裕希(横浜国立大), 朴熙中, 吉川信行, 田中雅光, 岩崎真悟, 藤巻 朗, 高木直史:「単一磁束量子回路を用いた浮動小数点加算器の設計」, 2007 年電子情報通信学会総合大会, C-8-10, 名城大学(名古屋市), 2007 年 3 月 22 日.
6. 小畑幸嗣(名古屋大), 高木一義, 高木直史:「冗長2進表現を用いたシストリック SFQ 除算器」, 2007 年電子情報通信学会総合大会, C-8-11, 名城大学(名古屋市), 2007 年 3 月 22 日.
7. 朴熙中(横浜国立大), 吉川信行, 「高速 SFQ ビット・シリアル乗算器」, 2007 年電子情報通信学会総合大会, C-8-12, 名城大学(名古屋市), 2007 年 3 月 22 日.
8. 赤池宏之(名古屋大), 藤巻朗:「グラウンド面に配置された SFQ 回路用バイアス線の有効性評価」, 2007 年春季 第 54 回応用物理学関係連合講演会, 青山学院大学(神奈川県相模原市), 2007 年 3 月 27 日.
9. 高木克巳(名古屋大), 寺部雅能, 赤池宏之, 藤巻朗:「受動伝送線路が能動線路に与える影響の評価」, 2007 年春季 第 54 回応用物理学関係連合講演会, 青山学院大学(神奈川県相模原市), 2007 年 3 月 27 日.
10. 島崎慶太(九州大), 長野孝昭, 本田宏明, ファルハド メディパー, 井上弘士, 村上和彰:「大規模再構成可能データバスにおけるオンチップ・ネットワーク・アーキテクチャの検討」, 情報処理学会計算機アーキテクチャ研究会, 2007-ARC-173, 富士通研究所(川崎市), 2007 年 6 月 1 日.
11. H. Akaike (Nagoya Univ.), A. Fujimaki, S. Nagasawa, Y. Kitagawa, and M. Hidaka: “Effects of the film thickness of a ground plane in the SFQ circuits with a dc-power layer”, 11th International Superconductive Electronics Conference (ISEC'07), O-A04, Washington, D.C. USA, June 11, 2007.
12. H. Hara (Yokohama National Univ.), Y. Nobumori, N. Yoshikawa, A. Fujimaki, Y. Hashimoto, and H. Terai: “Asynchronous High-Speed Operation of RSFQ First-In First-Out Buffers”, 11th International Superconductivity Conference (ISEC'07), O-S03, Washington, D.C. USA, June 13, 2007.
13. H. Park (Yokohama National Univ.), Y. Yamanashi, K. Taketomi, N. Yoshikawa, A. Fujimaki, and N. Takagi: “Fast Bit-Serial Multipliers Using RSFQ Logic Circuits,” 11th International Superconductivity Electronics Conference (ISEC'07), O-S04, Washington D.C., USA, June 13, 2007.
14. 朴熙中(横浜国立大), 山梨裕希, 武富一博, 田中雅光, 岩崎真悟, 小畑幸嗣, 吉川信行, 藤巻朗, 高木直史:「SFQ 多機能バッファ」, 2007 年電子情報通信学会エレクトロニクスソサイエティ大会, C-8-7, 鳥取大学(鳥取市), 2007 年 9 月 11 日.
15. 田中雅光(名古屋大), 小畑幸嗣, 高木一義, 高木直史:「単一磁束量子回路による冗長2進表現を用いたシストリック開平器の設計」, 2007 年電子情報通信学会エレクトロニクスソサイエティ大会, C-8-9, 鳥取大学(鳥取市), 2007 年 9 月 11 日.
16. 小畑幸嗣(名古屋大), 古田卓也, 高木一義, 高木直史:「シストリックアーキテクチャに基づく高スループットSFQビットシリアル浮動小数点乗算器」, 2007 年電子情報通信学会エレクトロニクスソサイエティ大会, C-8-10, 鳥取大学(鳥取市), 2007 年 9 月 11 日.
17. 山梨裕希(横浜国立大), 朴熙中, 武富一博, 吉川信行, 岩崎真悟, 藤巻朗, 田中雅光, 小畑幸嗣, 高木直史:「パイプライン導入による単一磁束量子浮動小数点加算器の性能向上」, 2007 年電子情報通信学会エレクトロニクスソサイエティ大会, C-8-11, 鳥取大学(鳥取市), 2007 年 9 月 11 日.
18. F. Mehdipour (九州大), H. Noori, H. Honda, K. Inoue, and K. J. Murakami: “A Hybrid Design Space Exploration Approach for a Coarse-Grained Reconfigurable Accelerator”,

電子情報通信学会 VLSI 設計自動化研究会・コンピュータシステム研究会・リコンフィギュラブルシステム研究会, VLD2007-133・CPSY2007・RECONF2007-79, 慶應義塾大学(横浜市), 2008 年 1 月 17 日.

19. F. Mehdipour (Kyushu Univ.), H. Noori, M. S. Zamani, K. Inoue, and K. Murakami: "Design Space Exploration for a Coarse Grain Accelerator", 13th Asia and South Pacific Design Automation Conference (ASPDAC'08), 8B-3, pp.685-690, COEX, Seoul, Korea, Jan. 24, 2008.
20. 朴熙中(横浜国立大), 山梨裕希, 武富一博, 吉川信行, 田中雅光, 小畑幸嗣, 伊藤祐喜, 藤巻朗, 高木直史, 高木一義:「SFQ 半精度浮動小数点加算器の設計と試作」, 電子情報通信学会超伝導エレクトロニクス研究会, SCE2007-31, 機械振興会館(東京都), 2008 年 1 月 25 日.
21. 原浩史(横浜国立大), 小畑幸嗣, 朴熙中, 山梨裕希, 武富一博, 吉川信行, 田中雅光, 伊藤祐喜, 藤巻朗, 高木直史, 高木一義:「SFQ 半精度浮動小数点乗算器の設計と試作」, 電子情報通信学会超伝導エレクトロニクス研究会, SCE2007-32, 機械振興会館(東京都), 2008 年 1 月 25 日.
22. S. Nagasawa (ISTEC), T. Satoh, K. Hinode, Y. Kitagawa, M. Hidaka, H. Akaike, A. Fujimaki, K. Takagi, N. Takagi, and N. Yoshikawa: "New Nb Multi-layer Fabrication Process for Superconducting SFQ VLSI Circuits", Superconducting SFQ VLSI Workshop 2008 (SSV2008), A1-1, Yokohama National University, Yokohama, Japan, Mar. 17, 2008.
23. K. Takagi (Nagoya Univ.), N. Takagi, M. Tanaka, K. Obata, and Y. Ito: "Computer-Aided Design of Superconducting SFQ Digital Circuits", Superconducting SFQ VLSI Workshop 2008 (SSV2008), A2-3, Yokohama National University, Yokohama, Japan, Mar. 17, 2008.
24. H. Park (Yokohama National Univ.), Y. Yamanashi, H. Hara, K. Taketomi, N. Yoshikawa, M. Tanaka, K. Obata, Y. Itou, A. Fujimaki, N. Takagi, and K. Takagi: "Design and Implementation of the SFQ Floating Point Units", Superconducting SFQ VLSI Workshop 2008 (SSV2008), A2-5, Yokohama National University, Yokohama, Japan, Mar. 17, 2008.
25. H. Honda (Kyushu Univ.), H. Kataoka, F. Mehdipour, K. Inoue, and K. Murakami: "Development and Performance Evaluation of a Large Scale Re-configurable Data Path Processor", Superconducting SFQ VLSI Workshop 2008 (SSV2008), A2-6, Yokohama National University, Yokohama, Japan, Mar. 17, 2008.
26. 永沢秀一 (ISTEC), 佐藤哲朗, 日野出憲治, 北川佳廣, 日高睦夫, 藤巻朗, 赤池宏之, 高木一義, 高木直史, 吉川信行:「超伝導 SFQ 回路のための新 Nb 多層プロセス」, 2008 年電子情報通信学会総合大会, C-8-7, 九州工業大学・北九州市立大学・早稲田大学合同(北九州市), 2008 年 3 月 20 日.
27. 朴熙中(横浜国立大), 山梨裕希, 武富一博, 田中雅光, 伊藤祐喜, 小畑幸嗣, 吉川信行, 藤巻朗, 高木直史:「SFQ 半精度浮動小数点加算器の設計と試作」, 2008 年電子情報通信学会総合大会, C-8-17, 九州工業大学・北九州市立大学・早稲田大学合同(北九州市), 2008 年 3 月 20 日.
28. 原浩史(横浜国立大), 小畑幸嗣, 朴熙中, 山梨裕希, 武富一博, 吉川信行, 田中雅光, 高木一義, 藤巻朗, 高木直史:「SFQ 半精度浮動小数点乗算器の設計と試作」, 2008 年電子情報通信学会総合大会, C-8-18, 九州工業大学・北九州市立大学・早稲田大学合同(北九州市), 2008 年 3 月 20 日.
29. 岩崎真悟(名古屋大), 笠木諒, 田中雅光, 高木克巳, 赤池宏之, 藤巻朗, 高木直史, 吉川信行, 村上和彰:「単一磁束量子回路における 2 並列 2 段の再構成可能なデータパスの動作実証」, 2008 年電子情報通信学会総合大会, 九州工業大学・北九州市立大学・早稲田大学合同(北九州市), 2008 年 3 月 20 日.
30. 田中雅光(名古屋大), 小畑幸嗣, 高木一義, 高木直史:「単一磁束量子回路のフロアプ

- ラン設計支援に向けた配線遅延時間の推定」, 2008 年電子情報通信学会総合大会, C-8-22 九州工業大学・北九州市立大学・早稲田大学合同(北九州市), 2008 年 3 月 20 日.
31. 赤池宏之(名古屋大), 重原啓介, 藤巻 朗, 永沢秀一:「新多層構造デバイスの電源層の評価」, 2008 年春季第 55 回応用物理学関係連合講演会, 28p-NA-2, 日本大学理工学部(千葉県船橋市), 2008 年 3 月 28 日.
 32. 佐藤哲朗(ISTEC), 日野出憲治, 永沢秀一, 北川佳廣, 日高睦夫:「アクティブ層を最上層に配置した Nb 系多層回路構造の作製と評価」, 2008 年春季第 55 回応用物理学関係連合講演会, 28p-NA-1, 日本大学(船橋市), 2008 年 3 月 28 日.
 33. 藤原完(ISTEC), 永沢秀一, 橋本義仁, 日高睦夫:「複数グランド面を有する Nb 多層構造における効果的なモートの検討」, 2008 年春季第 55 回応用物理学関係連合講演会, 28p-NA-3, 日本大学(船橋市), 2008 年 3 月 28 日.
 34. 高木克巳(名古屋大), 田中雅光, 岩崎真悟, 笠木諒, 赤池宏之, 藤巻朗:「多層化プロセスを用いた受動線路の送受信特性の評価」, 2008 年春季第 55 回応用物理学関係連合講演会, 28p-NA-4, 日本大学理工学部(千葉県船橋市), 2008 年 3 月 28 日.
 35. 近藤勝耶(横浜国立大), 吉川信行, 山梨裕希, 朴 熙中, 武富一博:「ジョセフソンインダクタンスを用いた PTL 配線用遅延素子の検討」, 2008 年春季第 55 回応用物理学関係連合講演会, 28p-NA-6, 日本大学理工学部(千葉県船橋市), 2008 年 3 月 28 日.
 36. M. Tanaka (Nagoya Univ.), K. Obata, K. Takagi, N. Takagi, A. Fujimaki, N. Yoshikawa: “A high-throughput single-flux-quantum floating-point serial divider using the signed-digit representation,” 2008 Applied Superconductivity Conference (ASC2008), 2EZ02, Chicago, August 2008.
 37. H. Hara (Yokohama National Univ.), H. Park, Y. Yamanashi, K. Taketomi, N. Yoshikawa, K. Obata, M. Tanaka, N. Takagi, K. Takagi, A. Fujimaki, S. Nagasawa: “Design and Implementation of SFQ Half-Precision Floating-Point Multipliers”, 2008 Applied Superconductivity Conference (ASC2008), 2EZ03, Chicago, August 2008.
 38. I. Kataeva (Nagoya Univ.), H. Akaike, A. Fujimaki, N. Takagi, N. Yoshikawa, K. Inoue, H. Honda, K. Murakami: “An Operand Routing Network for an SFQ Reconfigurable Data-Paths Processor”, 2008 Applied Superconductivity Conference (ASC2008), 2EZ07, Chicago, August 2008.
 39. 高木克巳(名古屋大), 田中雅光, 笠木諒, 赤池宏之, 藤巻朗:「Nb10 層構造プロセスにおけるピアホールを含めた受動線路の SFQ 伝播特性」, 第 69 回応用物理学学会学術講演会, 4p-F-7, 春日井市, 2008 年 9 月.
 40. 田中雅光(名古屋大), 小畑幸嗣, 伊藤祐喜, 竹島将太, 佐藤元紀, 高木一義, 高木直史, 赤池宏之, 藤巻朗:「A*アルゴリズムに基づく単一磁束量子回路受動線路配線ツールの実装と評価」, 電子情報通信学会 2008 ソサイエティ大会, C-8-9, 川崎市, 2008 年 9 月.
 41. 笠木諒(名古屋大), 田中雅光, 高木克巳, カタエバイリナ, 伊藤啓太, 赤池宏之, 藤巻朗, 高木直史, 吉川信行, 村上和彰:「単一磁束量子回路における再構成可能なデータパスの拡張性の検討」, 電子情報通信学会 2008 ソサイエティ大会, C-8-10, 川崎市, 2008 年 9 月.
 42. 朴熙中(横浜国立大), 山梨裕希, 原浩史, 武富一博, 貝沼世樹, 田中雅光, 伊藤祐喜, 吉川信行, 藤巻朗, 高木直史:「SFQ 半精度浮動小数点演算器の回路面積の削減に関する検討」, 電子情報通信学会 2008 ソサイエティ大会, C-8-11, 川崎市, 2008 年 9 月.
 43. 原浩史(横浜国立大), 小畑幸嗣, 朴熙中, 山梨裕希, 武富一博, 吉川信行, 田中雅光, 藤巻朗, 高木直史, 高木一義, 「SFQ 半精度浮動小数点乗算器の試作と動作実証」, 電子情報通信学会 2008 ソサイエティ大会, C-8-12, 川崎市, 2008 年 9 月.
 44. 永沢秀一(ISTEC), 佐藤哲朗, 日野出憲治, 北川佳廣, 日高睦夫, 藤巻朗, 赤池宏之, 高木一義, 高木直史, 吉川信行:「Nb 多層プロセスを用いて試作したシフトレジスタの測

- 定評価」, 電子情報通信学会 2008 年ソサイエティ大会, C-8-13, 川崎市, 2008 年 9 月.
45. 片岡広志(九州大), 本田宏明, Farhad Mehdipour, 井上弘士, 村上和彰:「科学技術計算を対象とした大規模再構成可能データベースの性能評価」, 電子情報通信学会コンピュータシステム研究会, CPSY2008-35, 広島市, 2008 年 10 月.
 46. M. Tanaka (Nagoya Univ.), H. Akaike, A. Fujimaki, “Control of return currents in the single-flux-quantum circuits using positive/negative bias supply lines,” 21th International Symposium on Superconductivity (ISS2008), FD-26, Tsukuba, Oct 2008.
 47. 田中雅光(名古屋大), 小畑幸嗣, 高木一義, 高木直史, 吉川信行:「再構成可能なデータベースに向けた単一磁束量子浮動小数点除算器の実証」, 電子情報通信学会超電導エレクトロニクス研究会, SCE2008-27, つくば市, 2008 年 10 月.
 48. 竹島将太(名古屋大), 田中雅光, 高木一義, 高木直史:「多層配線単一磁束量子回路のための自動配線手法」, 電子情報通信学会超電導エレクトロニクス研究会, SCE2008-29, つくば市, 2008 年 10 月.
 49. 藤原完(ISTEC), 永沢秀一, 日高睦夫, 吉川信行, 田中雅光, 赤池宏之, 藤巻朗, 高木一義, 高木直史:「Nb 多層デバイス構造用セルライブラリに向けた最適なモート構造の検討」, 電子情報通信学会超電導エレクトロニクス研究会, SCE2008-31, つくば市, 2008 年 10 月.
 50. F. Mehdipour (Kyushu Univ.), H. Noori, B. Javadi, H. Honda, K. Inoue, and K. Murakami, “A combined analytical and simulation-based model for performance evaluation of a reconfigurable instruction set processor,” The 14th Asia and South-Pacific Design Automation Conference (ASPDAC2009), pp.564-569, Jan. 2009.
 51. H. Honda(九州大), F. Mehdipour, H. Kataoka, K. Inoue, and K. Murakami, “A design procedure for a large-scale reconfigurable data-path,” 情報処理学会計算機アーキテクチャ・ハイパフォーマンスコンピューティング合同研究発表会, ARC182HPC119 (HOKKE-2009), 札幌市, 2009 年 2 月.
 52. 山梨裕希(横浜国立大), 原浩史, 武富一博, 鈴木英利, 五十嵐正憲, 夏目侑紀, 吉川信行, 藤巻朗, 赤池宏之, 高木直史:「10 kA/cm² Nb プロセス用単一磁束量子セルライブラリの構築」, 電子情報通信学会 2009 総合大会, C-8-6, 松山市, 2009 年 3 月.
 53. 笠木諒(名古屋大), 田中雅光, 高木克己, カタエバイリナ, 伊藤将人, 赤池宏之, 藤巻朗, 高木直史, 吉川信行, 村上和彰:「単一磁束量子回路を用いた 2 並列 3 段の再構成可能なデータベースの検討」, 電子情報通信学会 2009 総合大会, C-8-7, 松山市, 2009 年 3 月.
 54. 高木克己(名古屋大), 田中雅光, 笠木諒, 伊藤将人, カタエバイリナ, 赤池宏之, 藤巻朗:「アドバンスドプロセス 2 における 4x4SFQ スイッチ回路の動作実証」, 電子情報通信学会 2009 総合大会, C-8-8, 松山市, 2009 年 3 月.
 55. 貝沼世樹(横浜国立大), 朴熙中, 武富一博, 原浩史, 山梨裕希, 吉川信行, 藤巻朗, 高木直史, 高木一義:「アドバンスドプロセスを用いた SFQ 半精度浮動小数点加算器の高速化に関する検討」, 電子情報通信学会 2009 総合大会, C-8-9, 松山市, 2009 年 3 月.
 56. 原浩史(横浜国立大), 小畑幸嗣, 朴熙中, 山梨裕希, 武富一博, 吉川信行, 田中雅光, 藤巻朗, 高木直史, 高木一義:「SFQ 浮動小数点乗算器の同期化および動作実証」, 電子情報通信学会 2009 総合大会, C-8-10, 松山市, 2009 年 3 月.
 57. 田中雅光(名古屋大), 高木一義, 高木直史:「演算回路に向けた単一磁束量子多値論理回路の検討」, 第 56 回応用物理学関係連合講演会, 31p-ZQ-10, つくば市, 2009 年 3 月.
 58. F. Mehdipour (Kyushu Univ.), H. Honda, H. Kataoka, K. Inoue, and K. Murakami: “An Accelerator Based on Single-Flex Quantum Circuits for a High-Performance Reconfigurable Computer,” Workshop on Accelerators for

- High-performance Architectures (WAHA09), Yorktown, USA, Jun. 8, 2009.
59. M. Tanaka (Nagoya Univ.), K. Takagi, N. Takagi, Y. Yamanashi, N. Yoshikawa: "High- Throughput Arithmetic Circuits based on Systolic Architecture for SFQ Reconfigurable Data-Path," Superconducting SFQ VLSI Workshop (SSV2009), O4, Kyushu, Japan, Jun. 15, 2009.
 60. I. Kataeva (Nagoya Univ.), H. Akaike, A. Fujimaki, N. Yoshikawa, N. Takagi: "A Crossbar Switch for Routing of 2-bit Wide Data Streams," Superconducting SFQ VLSI Workshop (SSV2009), O5, Kyushu, Japan, Jun. 15, 2009.
 61. Y. Yamanashi (Yokohama National Univ.), T. Kainuma, M. Igarashi, H. Hara, K. Taketomi, H. Park, H. Suzuki, Y. Natsume, N. Yoshikawa, H. Akaike, M. Tanaka, K. Takagi, I. Kataeva, R. Kasagi, M. Itoh, A. Fujimaki, S. Nagasawa, M. Hidaka: "100 GHz Demonstrations Based on the Single-Flux-Quantum Cell Library for the 10 kA/cm² Nb Multi-Layer Process," 12th International Superconductive Electronics Conference (ISEC'09), SP-O6, Kyushu, Japan, Jun. 17, 2009.
 62. 田中雅光(名古屋大), 高木一義, 高木直史:「単一磁束量子回路による冗長2進表現を用いたシストリックシリアル指数計算回路」, 電子情報通信学会 2009年ソサイエティ大会, C-8-2, 新潟大学(新潟市), 2008年9月18日.
 63. 伊藤将人(名古屋大), 田中雅光, 笠木諒, 岡田将和, カタエバイリナ, 赤池宏之, 藤巻朗:「アドバンスプロセス2におけるバイアス電流供給法が回路動作に与える影響」, 電子情報通信学会 2009年ソサイエティ大会, C-8-3, 新潟大学(新潟市), 2008年9月18日.
 64. 笠木諒(名古屋大), 田中雅光, 伊藤将人, カタエバイリナ, 赤池宏之, 藤巻朗(名大):「アドバンスプロセス2を用いた単一磁束量子回路によるALUの設計と評価」, 電子情報通信学会 2009年ソサイエティ大会, C-8-4, 新潟大学(新潟市), 2008年9月18日.
 65. 貝沼世樹(横浜国立大), 朴熙中, 山梨裕希, 吉川信行, 藤巻朗, 高木直史, 高木一義:「10 kA/cm² Nb プロセスを用いたSFQ半精度浮動小数点加算器のコンポーネント回路の設計」, 電子情報通信学会 2009年ソサイエティ大会, C-8-5, 新潟大学(新潟市), 2008年9月18日.
 66. I. Kataeva(名古屋大), H. Akaike, A. Fujimaki: "A Clock Line for a Large Scale Reconfigurable Data Paths Processor," 電子情報通信学会超伝導エレクトロニクス研究会, SCE2009-18, 機械振興会館(東京都), 2009年10月20日.
 67. 貝沼世樹(横浜国立大), 島村泰浩, 宮岡史滋, 山梨裕希, 吉川信行, 藤巻朗, 高木直史, 高木一義:「Nb アドバンスプロセスを用いた単一磁束量子浮動小数点演算器の設計」, 電子情報通信学会超伝導エレクトロニクス研究会, SCE2009-19, 機械振興会館(東京都), 2009年10月20日.
 68. 片岡広志(九州大), 本田宏明, Farhad Mehdipour, 井上弘士, 村上和彰:「大規模再構成可能データパスを用いた実行前処理削減手法の提案」, 第178回 計算機アーキテクチャ研究会, 第123回 ハイパフォーマンスコンピューティング研究会 (HOKKE-17), 北海道大学(札幌市), 2009年12月1日.
 69. Farhad Mehdipour(九州大), Hiroaki Honda, Hiroshi Kataoka, Koji Inoue, and Kazuaki Murakami: "Developing an architecture for a single-flux quantum based reconfigurable accelerator," 電子情報通信学会 集積回路研究会, ICD2009-111, vol.109, no.405, pp.99-104, Jan. 2010.
 70. 伊藤将人(名古屋大), 田中雅光, 笠木諒, 岡田将和, カタエバイリナ, 赤池宏之, 藤巻朗:「Nb8層プロセスを用いた受動線路の設計と回路応用」, 電子情報通信学会 2010年総合大会, C-8-10, 東北大学(仙台市), 2010年3月17日.
 71. 貝沼世樹(横浜国立大), 宮岡史滋, 島村泰浩, 山梨裕希, 吉川信行:「SFQ回路を用いたResettable Muller-Cゲートの提案」, 電子情報通信学会 2010年総合大会, C-8-12, 東北大学(仙台市), 2010年3月17日.

72. 田中雅光(名古屋大), 高木一義, 高木直史:「可変遅延素子を用いた単一磁束量子可変長シフトレジスタ」, 電子情報通信学会 2010 年総合大会, C-8-14, 東北大学(仙台市), 2010 年 3 月 17 日.
73. 島村泰浩(横浜国立大), 貝沼世樹, 宮岡史滋, 山梨裕希, 吉川信行, 藤巻朗, 高木直史, 高木一義:「10 kA/cm² Nb アドバンストプロセスを用いた SFQ 半精度浮動小数点乗算器の設計」, 電子情報通信学会 2010 年総合大会, C-8-15, 東北大学(仙台市), 2010 年 3 月 17 日.
74. 岡田将和(名古屋大), 笠木諒, 田中雅光, 伊藤将人, カタエバイリナ, 赤池宏之, 藤巻朗, 高木直史, 吉川信行, 村上和彰:「アドバンストプロセス 2.1 を用いた 2 並列 2 段の SFQ-RDP の検討」, 電子情報通信学会 2010 年総合大会, C-8-16, 東北大学(仙台市), 2010 年 3 月 17 日.
75. H. Kataoka (Kyushu Univ.), H. Honda, F. Mehdipour, K. Inoue and K. Murakami, “Reducing Preprocessing Overhead Times in a Reconfigurable Accelerator of Finite Difference Applications,” 2010 Symposium on Application Accelerators in High Performance Computing (SAAHPC’10), Tennessee, Jul. 13-15, 2010.
76. 宮岡史滋(横浜国立大), 貝沼世樹, 島村泰浩, 山梨裕希, 吉川信行:「SFQ 回路を用いたバタフライ演算回路の高速測定」, 電子情報通信学会超伝導エレクトロニクス研究会 SCE2010-17, 機械振興会館(東京都), 2010 年 7 月 22 日.
77. 鬼頭信貴(京都大), 田中雅光, 高木一義, 高木直史:「単一磁束量子論理回路のための故障モデルとテストパターン生成手法の検討」, 電子情報通信学会超伝導エレクトロニクス研究会, SCE2010-19, 機械振興会館(東京都), 2010 年 7 月 22 日.
78. 田中雅光(名古屋大), 赤池宏之, 藤巻朗, 高木一義, 吉川信行, 永沢秀一, 高木直史:「バイアス電源の高電圧化による単一磁束量子回路の高速化の検討」, 電子情報通信学会超伝導エレクトロニクス研究会, SCE2010-20, 機械振興会館(東京都), 2010 年 7 月 22 日.
79. 伊藤将人(名古屋大), カタエバイリナ, 岡田将和, 額額智仁, 田中雅光, 赤池宏之, 藤巻朗:「ISTEC 10-kA/cm² Nb アドバンストプロセス 2 を用いた 4x4 スイッチの動作実証」, 電子情報通信学会超伝導エレクトロニクス研究会, SCE2010-21, 機械振興会館(東京都), 2010 年 7 月 22 日.
80. 島村泰浩(横浜国立大), 貝沼世樹, 宮岡史滋, 山梨裕希, 吉川信行, 藤巻朗, 高木一義, 高木直史:「10 kA/cm² Nb Process を用いた SFQ 浮動小数点乗算器の 50 GHz での動作評価」, 電子情報通信学会超伝導エレクトロニクス研究会 SCE2010-22, 機械振興会館(東京), 2010 年 7 月 22 日.
81. M. Ito (Nagoya Univ.), I. Kataeva, R. Kasagi, M. Okada, T. Koketsu, M. Tanaka, S. Nagasawa, H. Akaike, A. Fujimaki: “Demonstration of a 4x4 SFQ switch fabricated with a 10kA/cm² Nb multi-layer process,” 2010 Applied Superconductivity Conference (ASC2010), 3EY-03, Washington D.C., Aug. 4, 2010.
82. I. Kataeva (Nagoya Univ.), H. Akaike, A. Fujimaki, S. Nagasawa, N. Takagi: “Clock line considerations for an SFQ large scale reconfigurable data paths processor,” 2010 Applied Superconductivity Conference (ASC2010), 4EY-02, Washington D.C., Aug. 5, 2010.
83. F. Miyaoka (Yokohama National Univ.), T. Kainuma, Y. Shimamura, Y. Yamanashi, and N. Yoshikawa: “High-speed test of a radix-2 butterfly processing element for the Fast Fourier Transform using SFQ circuits,” 2010 Applied Superconductivity Conference (ASC2010), 4EY-05, Washington DC, USA, Aug. 5, 2010.
84. T. Kainuma (Yokohama National Univ.), Y. Yamanashi, N. Yoshikawa, A. Fujimaki, N. Takagi, and K. Takagi: “Design and implementation of component

- circuits of an SFQ half-precision floating-point adder using 10 kA/cm² Nb process,” 2010 Applied Superconductivity Conference (ASC2010), 4EY-06, Washington DC, USA, Aug. 5, 2010.
85. 宮岡史滋(横浜国立大), 島村泰浩, 貝沼世樹, 山梨裕希, 吉川信行, 永沢秀一:「SFQ FFT プロセッサ用バタフライ演算回路の高速測定」, 2010 年電子情報通信学会ソサイエティ大会, C-8-10, 大阪府立大学(堺市), 2010 年 9 月 14 日.
 86. 岡田将和(名古屋大), Irina Kataeva, 伊藤将人, 田中雅光, 赤池宏之, 藤巻朗, 吉川信行, 永沢秀一, 高木直史:「アドバンスプロセスを用いた SFQ-RDP 用コンポーネント回路の動作評価」, 2010 年電子情報通信学会ソサイエティ大会, C-8-12, 大阪府立大学(堺市), 2010 年 9 月 14 日.
 87. 伊藤将人(名古屋大), 田中雅光, 額額智仁, 岡田将和, カタエバイリナ, 赤池宏之, 藤巻朗, 永沢秀一:「アドバンスプロセスを用いた 4x4 スイッチ回路の 112 GHz での動作実証」, 電子情報通信学会 2010 年ソサイエティ大会, C-8-13, 大阪府立大学(堺市), 2010 年 9 月 14 日.
 88. 貝沼世樹(横浜国立大), 島村泰浩, 宮岡史滋, 吉川信行, 藤巻朗, 高木一義, 高木直史, 永沢秀一:「10 kA/cm² Nb プロセスを用いた SFQ 半精度浮動小数点加算器のコンポーネント回路の動作実証」, 2010 年電子情報通信学会ソサイエティ大会, C-8-14, 大阪府立大学(堺市), 2010 年 9 月 14 日.
 89. 島村泰浩(横浜国立大), 貝沼世樹, 宮岡史滋, 山梨裕希, 吉川信行, 藤巻朗, 高木一義, 高木直史, 永沢秀一:「10 kA/cm² Nb Process を用いた SFQ 浮動小数点乗算器コンポーネント回路の動作評価」, 2010 年電子情報通信学会ソサイエティ大会, C-8-15, 大阪府立大学(堺市), 2010 年 9 月 14 日.
 90. 田中雅光(名古屋大), 高木一義, 藤巻朗:「大規模単一磁束量子回路向け動的消費エネルギー計算ツールの検討」, 2010 年電子情報通信学会ソサイエティ大会, C-8-16, 大阪府立大学(堺市), 2010 年 9 月 14 日.
 91. Kazuyoshi Takagi (Nagoya Univ.), Motoki Sato, Masamitsu Tanaka, Naofumi Takagi: “A Verification Method of Pipeline Processing Behavior of Superconducting Single-Flux-Quantum Pulse Logic Circuits,” The 16th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2010), Taipei, Taiwan, Oct. 18-19, 2010.
 92. 岡田将和(名古屋大), カタエバ イリナ, 伊藤将人, 田中雅光, 赤池宏之, 藤巻朗, 吉川信行, 永沢秀一, 高木直史:「10 kA/cm² プロセスを用いた 2 並列 2 段単一磁束量子再構成可能なデータパスの動作実証」, 電子情報通信学会超伝導エレクトロニクス研究会, SCE2010-33, 機械振興会館(東京都), 2010 年 10 月 19 日.
 93. 宮岡史滋(横浜国立大), 島村泰浩, 貝沼世樹, 山梨裕希, 吉川信行:「10 kA/cm² Nb Process を用いた SFQ バタフライ演算回路の要素回路の動作評価」, 電子情報通信学会超伝導エレクトロニクス研究会 SCE2010-34, 機械振興会館(東京都), 2010 年 10 月 19 日.
 94. 矢口謙太(横浜国立大), 桑原啓太, 陳賢珠, 山梨裕希, 吉川信行:「Josephson-CMOS ハイブリッドメモリのアクセスタイムのアドレス依存性の測定」, 電子情報通信学会超伝導エレクトロニクス研究会 SCE2010-35, 機械振興会館(東京都), 2010 年 10 月 19 日.
 95. 竹島将太(名古屋大), 高木一義, 田中雅光, 高木直史:「多層配線単一磁束量子回路のための遅延余裕割り当てに基づく配線順序を考慮した配線手法」, 電子情報通信学会 VLD 研究会, VLD2010-137, 沖縄県男女共同参画センター(沖縄県), 2011 年 3 月 4 日.
 96. 矢口謙太(横浜国立大), 桑原啓太, 陳賢珠, 吉川信行:「SFQ/CMOS ハイブリッドメモリの多ビットデータ入力化の検討」, 2011 年電子情報通信学会総合大会, C-8-11, 東京都立大学(東京都), 2011 年 3 月 14 日.
 97. 島村泰浩(横浜国立大), 貝沼世樹, 宮岡史滋, 山梨裕希, 吉川信行, 藤巻朗, 高木一

- 義, 高木直史, 永沢秀一:「ISTEC 10 kA/cm² Nb プロセスを用いた単一磁束量子浮動小数点乗算器の改良と動作評価」, 2011年電子情報通信学会総合大会, C-8-12, 東京都立大学(東京都), 2011年3月14日.
98. 岡田将和(名古屋大), Irina Kataeva, 伊藤将人, 田中雅光, 赤池宏之, 藤巻朗, 吉川信行, 高木直史:「10 kA/cm² Nb プロセスを用いた SFQ-RDP の 45 GHz 動作」, 2011年電子情報通信学会総合大会, C-8-13, 東京都市大学(東京都), 2011年3月15日.
99. 宮岡史滋(横浜国立大), 島村泰浩, 貝沼世樹, 山梨裕希, 吉川信行:「高臨界電流密度プロセスを用いた SFQ FFT プロセッサ用バタフライ演算回路の要素回路の動作実証」, 2011年電子情報通信学会総合大会, C-8-14, 東京都立大学(東京都), 2011年3月14日.
100. 川口隆広(名古屋大), 高木一義, 田中雅光, 高木直史:「クロック入力が必要な論理ゲートを用いた SFQ 論理回路の構成法」, 2011年電子情報通信学会総合大会, C-8-15, 東京都市大学(東京都), 2011年3月15日.
101. 鬼頭信貴(京都大), 高木一義, 高木直史:「SFQ 論理回路のタイミング明示化表現法と論理シミュレーション」, 2011年電子情報通信学会総合大会, C-8-16, 東京都市大学(東京都), 2011年3月15日.
102. 日高一輝(名古屋大), 高木一義, 高木直史:「単一磁束量子回路のためのマルチサイクルパスを考慮した遅延素子削減手法」, 2011年電子情報通信学会総合大会, C-8-17, 東京都市大学(東京都), 2011年3月15日.
103. 鬼頭信貴(京都大), 高木一義, 高木直史:「単一磁束量子論理回路のためのタイミング故障のモデル化とテスト手法の検討」, 電子情報通信学会ディペンダブルコンピューティング研究会, DC2010-73, 宮古島マリンターミナル(沖縄県), 2011年3月18日.
104. F. Mehdipour (Kyushu Univ.), H. Honda, H. Kataoka, K. Inoue, K. Murakami, “Routing architecture and algorithms for superconductivity circuits-based computing hardware,” 24th Canadian Conference on Electrical and Computer Engineering (CCECE2011), May 2011.
105. 成瀬遥平(京都大), 鬼頭信貴, 高木直史:「SFQ 回路を用いた高スループットなビットスライス乗算器」, 電子情報通信学会超伝導エレクトロニクス研究会, SCE2011-9, 機械振興会館(東京), 2011年7月13日.
106. F. Mehdipour (Kyushu Univ.), H. Honda, K. Inoue, K. Murakami, “Hardware and Software Requirements for Implementing a High-Performance Superconductivity Circuits-Based Accelerator,” The 3rd Asia Symposium on Quality Electronic Design (ASQED2011), Jul. 2011.
107. 日野出憲治(ISTEC), 佐藤哲朗, 永沢秀一, 日高睦夫:「Nb SFQ プロセス評価用シフトレジスタ回路の動作解析」, 2011年秋季第72回応用物理学会学術講演会, 31a-ZM-9, 山形大学小白川キャンパス(山形市), 2011年8月29日.
108. 陳賢珠(横浜国立大), 桑原啓太, 山梨裕希, 吉川信行, Thomas Ortlepp, Theodre Van Duzer:「Josephson/CMOS Interface 用 CMOS 増幅器の特性評価」, 2011年秋季第72回応用物理学会学術講演会, 31a-ZM-1, 山形大学小白川キャンパス(山形市), 2011年8月31日.
109. 江原康平(横浜国立大), 山梨裕希, 吉川信行:「SFQ回路の直列バイアス供給のためのドライバ・レシーバの最適化」, 2011年秋季第72回応用物理学会学術講演会, 31a-ZM-6, 山形大学小白川キャンパス(山形市), 2011年8月31日.
110. 彭析竹(横浜国立大), 山梨裕希, 吉川信行:「Josephson latching driver の BER のシミュレーションと最適化」, 2011年秋季第72回応用物理学会学術講演会, 31a-ZM-10, 山形大学小白川キャンパス(山形市), 2011年8月31日.
111. 永沢秀一(ISTEC), 日野出憲治, 佐藤哲朗, 日高睦夫, 藤巻朗, 赤池宏之, 吉川信行, 高木一義, 高木直史:「Nb-9層アドバンスドプロセスを用いて試作したシフトレジスタの測定評価」, 2011年電子情報通信学会ソサイエティ大会, C-8-1, 北海道大学(札幌市),

2011年9月13日.

112. 桑原啓太(横浜国立大), 陳賢珠, 山梨裕希, 吉川信行:「SFQ/CMOS ハイブリッドメモリにおける Josephson Latching Driver の評価と検討」, 2011年電子情報通信学会ソサイエティ大会, C-8-2, 北海道大学(札幌市), 2011年9月13日.
113. 島村泰浩(横浜国立大), 日名子和也, 山梨裕希, 吉川信行, 藤巻朗, 高木一義, 高木直史, 永沢秀一:「ISTEC 10 kA/cm² Nb プロセスを用いた単一磁束量浮動小数点乗算器内のクロック供給法の改善と評価」, 2011年電子情報通信学会ソサイエティ大会, C-8-3, 北海道大学(札幌市), 2011年9月13日.
114. 島村泰浩(横浜国立大), 吉川信行, Ortlepp Thomas:「コラッツ問題を処理するための単一磁束量子プロセッサの設計」, 2011年電子情報通信学会ソサイエティ大会, C-8-5, 北海道大学(札幌市), 2011年9月13日.
115. M. Tanaka (Nagoya Univ.), S. Takeshima, K. Takagi, H. Akaike, A. Fujimaki, N. Yoshikawa, S. Nagasawa, N. Takagi: “Multi-Layered Single-Flux-Quantum Circuits Designed Using Timing-Driven Automatic Routing,” Superconductivity Centennial Conference, 1-EB-07, The Hague, The Netherlands, Sept. 19, 2011.
116. Y. Shimamura (Yokohama National Univ.), Y. Yamanashi, N. Yoshikawa, A. Fujimaki, N. Takagi, K. Takagi: “Design and implementation of SFQ Floating-Point Multiplier and Adder Using 10 kA/cm² Nb Process,” International Superconductivity Electronics Conference (ISEC2011), 1-EB-08, The Hague, The Netherlands, Sept. 19, 2011.
117. N. Yoshikawa (Yokohama National Univ.), F. Miyaoka, K. Hinago, Y. Shimamura, Y. Yamanashi: “100-GHz high-speed demonstration of circuit components of FFT processors using 10 kA/cm² Nb process,” International Superconductivity Electronics Conference (ISEC2011), 2-EA-O15, The Hague, The Netherlands, Sept. 20, 2011.
118. Y. Shimamura (Yokohama National Univ.), N. Yoshikawa, Y. Yamanashi: “SFQ Logic Cells Directly Connectable to Passive Transmission Lines,” 7th FLUXONICS RSFQ design workshop 2011, Ilmenau, Germany, Sept. 27, 2011.
119. K. Ehara (Yokohama National Univ.), N. Yoshikawa, Y. Yamanashi: “Current Recycling Technique for SFQ Circuits,” 7th FLUXONICS RSFQ design workshop 2011, Ilmenau, Germany, Sept. 27, 2011.
120. H. Jin (Yokohama National Univ.), N. Yoshikawa, Y. Yamanashi: “High-Speed CMOS Amplifiers for Josephson-CMOS Interfaces,” 7th FLUXONICS RSFQ design workshop 2011, Ilmenau, Germany, Sept. 27, 2011.
121. 永沢秀一(ISTEC), 日野出憲治, 佐藤哲朗, 日高睦夫, 藤巻朗, 赤池宏之, 吉川信行, 高木一義, 高木直史:「大規模SFQ回路のためのNb多層アドバンスドプロセスの開発」, 電子情報通信学会超伝導エレクトロニクス研究会, SCE2011-18, 機械振興会館(東京都), 2011年10月12日.
122. H. Honda (Kyushu Univ.), F. Mehdipour, H. Kataoka, K. Inoue, K. J. Murakami: “Performance Evaluations of Finite Difference Applications Realized on a Single Flux Quantum Circuits-based Reconfigurable Accelerator,” The 2011 Asia-Pacific Signal and Information Processing Association Annual Summit and Conference (APSIPA ASC2011), Oct. 2011.
123. K. Hinode (ISTEC), T. Satoh, S. Nagasawa, M. Hidaka: “Malfunction Analysis on SFQ Shift Resistor Circuits,” International Symposium on Superconductivity (ISS2011), Tokyo, Japan, Oct. 24, 2011.
124. K. Takagi (Kyoto Univ.), N. Takagi: “Design Algorithms for Superconducting SFQ Logic Circuits,” Superconducting SFQ VLSI Workshop (SSV2011), O2, Kyoto, Japan, Nov. 1, 2011.
125. N. Kito (Kyoto Univ.), K. Takagi, N. Takagi, “Timing-Aware Description Methods and Gate-Level Simulation of SFQ Logic Circuits,” Superconducting

- SFQ VLSI Workshop (SSV2011), O7, Kyoto, Japan, Nov. 1, 2011.
- 126.S. Nagasawa (ISTEC), K. Hinode, T. Satoh, M. Hidaka: "Evaluation of Advanced Fabrication Process using both Diagnostic Chips and Shift Resister Chips," Superconducting SFQ VLSI Workshop (SSV Workshop 2011), O12, Kyoto, Japan, Nov.1, 2011.
 - 127.T. Kawaguchi (Nagoya Univ.), K. Takagi, N. Takagi: "Design of SFQ Circuits Using Clockless Logic Gates," Superconducting SFQ VLSI Workshop (SSV 2011), O13, Kyoto, Japan, Nov. 1, 2011.
 - 128.永沢秀一 (ISTEC):「ニオブ集積回路プロセス信頼性向上手法の導入とその効果」, 第32回 SRL 研究報告会, (財)国際超電導産業技術研究センター, 2011年11月30日.
 - 129.川口隆広 (名古屋大), 高木一義, 高木直史:「単一磁束量子回路の設計検証のための時刻付き論理式の等価性判定手法」, 電子情報通信学会 VLD 研究, VLD2011-135, ビーコンプラザ(別府市), 2012年3月7日.
 - 130.N. Kito (Kyoto Univ.), K. Takagi, N. Takagi, "Timing-aware description methods and gate-level simulation of single flux quantum logic circuits," 17th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2012), Oita, Japan, Mar. 8-9, 2011.
 - 131.江原康平(横浜国立大), 高橋章友, 山梨裕希, 吉川信行:「Nb9 層 1 μ m プロセスを用いた SFQ 回路の直列バイアス用ドライブ・レシーバ回路の開発」, 2012 年春季 第 59 回応用物理学会関係連合講演会, 18a-B7-11, 早稲田大学早稲田キャンパス(東京都), 2012 年 3 月 18 日.
 - 132.加藤泰一(横浜国立大), 島村泰浩, 日名子和也, 吉川信行, 藤巻朗, 高木一義, 高木直史, 永沢秀一:「10 kA/cm² Nb プロセスを用いた SFQ 半精度浮動小数点加算器の設計と測定評価」, 2012 年電子情報通信学会総合大会, C-8-10, 岡山大学(岡山市), 2012 年 3 月 22 日.
 - 133.早川雄飛(名古屋大), 岡田将和, Irina Kataeva, 田中雅光, 赤池宏之, 藤巻朗:「FIFO を搭載した再構成可能なデータパスを有する単一磁束量子回路の検討」, 2012 年電子情報通信学会総合大会, C-8-11, 岡山大学(岡山市), 2012 年 3 月 22 日.
 - 134.桑原啓太(横浜国立大), 陳賢珠, 山梨裕希, 吉川信行:「SFQ/CMOS ハイブリッドメモリにおける CMOS メモリ回路の設計と評価」, 2012 年電子情報通信学会総合大会, C-8-12, 岡山大学(岡山市), 2012 年 3 月 22 日.
 - 135.大桃由紀雄(京都大), 成瀬遥平, 鬼頭信貴, 高木直史, 高木一義:「SFQ 回路を用いたビットスライス浮動小数点加算器」, 電子情報通信学会超伝導エレクトロニクス研究会 SCE2012-11, 機械振興会館(東京都), 2012 年 7 月 19 日.
 - 136.成瀬遥平(京都大), 鬼頭信貴, 高木直史:「SFQ 回路を用いた 2 ビット・ビットスライス浮動小数点乗算器の設計」, 電子情報通信学会超伝導エレクトロニクス研究会 SCE2012-12, 機械振興会館(東京都), 2012 年 7 月 19 日.
 - 137.高橋章友(横浜国立大), 江原康平, 山梨裕希, 吉川信行:「SFQ 回路の低電流化に向けた電流リサイクル用パルス伝送回路の検討」, 2012 電子情報通信学会ソサイエティ大会, C-8-7, 富山大学(富山市), 2012 年 9 月 11 日.
 - 138.桑原啓太(横浜国立大), 陳賢珠, 山梨裕希, 吉川信行:「64-kb SFQ/CMOS ハイブリッドメモリの設計と動作実証」, 2012 電子情報通信学会ソサイエティ大会, C-8-9, 富山大学(富山市), 2012 年 9 月 11 日.
 - 139.早川雄飛(名古屋大), 田中雅光, 赤池宏之, 藤巻朗:「4 並列 4 段の単一磁束量子再構成可能データパスの検討」, 2012 電子情報通信学会ソサイエティ大会, C-8-12, 富山大学(富山市), 2012 年 9 月 11 日.
 - 140.加藤泰一(横浜国立大), 日名子和也, 吉川信行, 藤巻朗, 高木一義, 高木直史, 永沢秀一:「10 kA/cm² Nb プロセスを用いた SFQ 半精度浮動小数点加算器の測定と評価」, 2012 電子情報通信学会ソサイエティ大会, C-8-13, 富山大学(富山市), 2012 年 9 月 11 日.

141. 彭析竹(横浜国立大), 島村泰浩, 山梨裕希, 吉川信行, 藤巻朗, 高木一義, 高木直史, 永沢秀一:「ISTEC 10 kA/cm² Nb プロセスを用いた単一磁束量子半精度浮動小数点乗算器の動作実証」, 2012 電子情報通信学会ソサイエティ大会, C-8-14, 富山大学(富山市), 2012 年 9 月 11 日.
142. 陳賢珠(横浜国立大), 桑原啓太, 山梨裕希, 吉川信行:「SFQ Digital 読み出しのための高感度 CMOS 増幅器の特性評価」, 第73回応用物理学関係連合講演会, 13a-A2-6, 愛媛大学・松山大学(松山市), 2012 年9月 13 日.
143. 江原康平(横浜国立大), 高橋章友, 山梨裕希, 吉川信行:「Nb9 層 1 μ m プロセスを用いた直列バイアス SFQ 回路の高速信号伝達実証」, 第73回応用物理学関係連合講演会, 13a-A2-12, 愛媛大学・松山大学(松山市), 2012 年9月 13 日.
144. A. Fujimaki (Nagoya Univ.), M. Okada, M. Tanaka, H. Akaike, S. Nagasawa, N. Yoshikawa, K. Murakami, N. Takagi; “Design and demonstration of high-speed RSFQ processors with large-scale reconfigurable data paths,” 2012 Applied Superconductivity Conference (ASC2012), 3EE-01, Portland, Oct. 10, 2012.
145. H. Honda (Kyushu Univ.), F. Mehdipour, N. Yoshikawa, H. Kataoka, K. Inoue, A. Fujimaki, N. Takagi, K. J. Murakami: “Evaluating Performance of Scientific Applications Realized on a Single-Flux-Quantum-Based Accelerator,” 2012 Applied Superconductivity Conference (ASC2012), 3EE05, Portland, U.S.A., Oct. 10, 2012.

③ ポスター発表 (国内会議 6 件、国際会議 46 件)

1. S. Iwasaki (Nagoya Univ.), M. Tanaka, Y. Yamanashi, H. Park, H. Akaike, A. Fujimaki, N. Yoshikawa, N. Takagi, K. Murakami, H. Honda and K. Inoue: “Design of a reconfigurable data-path prototype in the single-flux-quantum circuit”, 11th International Superconductive Electronics Conference (ISEC'07), P-B02, Washington, D.C. USA, June 11, 2007.
2. Y. Yamanashi (Yokohama National Univ.), H. Park, K. Taketomi, N. Yoshikawa, A. Fujimaki, and N. Takagi: “Design and Implementation of Single-Flux-Quantum Floating-Point Adders,” 11th International Superconductivity Electronics Conference (ISEC'07), P-B03, Washington, D.C. USA, June 11, 2007.
3. 佐藤哲朗 (ISTEC), 日野出憲治, 永沢秀一, 日高睦夫:「下層段差構造上への Nb/AlO_x/Nb 接合の形成」, 2007 年秋季第 68 回応用物理学学会学術講演会, 4a-ZH-6, 北海道工業大学(札幌市), 2007 年 9 月 4 日.
4. 赤池宏之(名古屋大), 藤巻朗:「電源層を用いた超伝導多層構造デバイスのグランド面膜厚効果」, 2007 年秋季第 68 回応用物理学学会学術講演会, 4a-ZH-7, 北海道工業大学(札幌市), 2007 年 9 月 4 日.
5. 武富一博(横浜国立大), 山梨裕希, 朴熙中, 中宮和徳, 中禮浩二, 五十嵐正憲, 原浩史, 吉川信行:「大規模 SFQ 論理回路の歩留まり向上のための磁気シールド構造の検討」, 2007 年秋季第 68 回応用物理学学会学術講演会, 4a-ZH-8, 北海道工業大学(札幌市), 2007 年 9 月 4 日.
6. 高木克巳(名古屋大), 田中雅光, 岩崎真吾, 赤池宏之, 藤巻朗:「長距離受動伝送線路の伝搬特性の評価」, 2007 年秋季第 68 回応用物理学学会学術講演会, 4a-ZH-9, 北海道工業大学(札幌市), 2007 年 9 月 4 日.
7. H. Park (Yokohama National Univ.), Y. Yamanashi, K. Taketomi, N. Yoshikawa, K. Fujiwara, and N. Takagi: “Multifunctional Buffers Using SFQ Logic Circuits”, 20th International Symposium on Superconductivity (ISS2007), FDP-73, pp. 325, Tsukuba, Japan, Nov. 2007.
8. H. Hara (Yokohama National Univ.), Y. Yamanashi, H. Park, K. Churei, K. Nakamiya, M. Igarashi, K. Taketomi, N. Yoshikawa, A. Fujimaki, Y. Hashimoto, and H. Terai: “Examination of Bias-Current Shielding Structure of SFQ Logic

- Cells for The Large Circuit Yield,” 20th International Symposium on Superconductivity (ISS2007), FDP-76, pp. 326, Tsukuba, Japan, Nov. 2007.
9. H. Akaike (Nagoya Univ.), R. Kasagi, and A. Fujimaki: “Critical currents of single externally shunted Nb/AlOx/Nb junctions with and without connections to a ground plane,” Superconducting SFQ VLSI Workshop 2008 (SSV2008), P1-2, Yokohama National University, Yokohama, Japan, Mar. 17, 2008.
 10. K. Fujiwara (ISTEC), S. Nagasawa, Y. Hashimoto, and M. Hidaka: “Research of Effective Moats for Nv Multi-layer Device Structure,” Superconducting SFQ VLSI Workshop 2008 (SSV2008), P1-4, Yokohama National University, Yokohama, Japan, Mar. 17, 2008.
 11. T. Satoh (ISTEC), K. Hinode, S. Nagasawa, Y. Kitagawa, M. Hidaka, N. Yoshikawa, H. Akaike, A. Fujimaki, K. Takagi, and N. Takagi: “Fabrication and Estimation of Nb SFQ VLSI Circuit Structure Incorporating the Top Active Layer”, Superconducting SFQ VLSI Workshop 2008 (SSV2008), P1-5, Yokohama National University, Yokohama, Japan, Mar. 17, 2008.
 12. K. Takagi (Nagoya Univ.), M. Tanaka, I. Kataeva, S. Iwasaki, R. Kasagi, S. Nagasawa, T. Sato, H. Akaike, and A. Fujimaki: “Numerical Analysis of SFQ Propagation Properties in Via-Holes for Passive Transmission Lines Based on a 10-Nb-Layers Structure,” Superconducting SFQ VLSI Workshop 2008 (SSV2008), P2-1, Yokohama National University, Yokohama, Japan, Mar. 17, 2008.
 13. Y. Ito (Nagoya Univ.), K. Obata, S. Takeshima, M. Sato, M. Tanaka, K. Takagi, and N. Takagi: “Development of a Wire Routing Tool for Superconducting SFQ Digital Circuits”, Superconducting SFQ VLSI Workshop 2008 (SSV2008), P2-2, Yokohama National University, Yokohama, Japan, Mar. 17, 2008.
 14. K. Kondo (Yokohama National Univ.), Y. Yamanashi, H. Park, and N. Yoshikawa: “Delay Elements for Passive Transmission Lines Using Josephson Inductance”, Superconducting SFQ VLSI Workshop 2008 (SSV2008), P2-5, Yokohama National University, Yokohama, Japan, Mar. 17, 2008.
 15. H. Park (Yokohama National Univ.), Y. Yamanashi, K. Taketomi, N. Yoshikawa, M. Tanaka, K. Obata, Y. Itou, A. Fujimaki, N. Takagi, and K. Takagi: “Design and Implementation of the SFQ Half-Precision Floating Point Adder”, Superconducting SFQ VLSI Workshop 2008 (SSV2008), P2-9, Yokohama National University, Yokohama, Japan, Mar. 17, 2008.
 16. H. Hara (Yokohama National Univ.), K. Obata, H. Park, Y. Yamanashi, N. Yoshikawa, M. Tanaka, Y. Itou, A. Fujimaki, N. Takagi, and K. Takagi: “Design and Implement of SFQ Half-Precision the Floating-Point Multiplier”, Superconducting SFQ VLSI Workshop 2008 (SSV2008), P2-10, Yokohama National University, Yokohama, Japan, Mar. 17, 2008.
 17. H. Akaike (Nagoya Univ.), K. Shigehara, A. Fujimaki, T. Satoh, K. Hinode, S. Nagasawa, M. Hidaka: “The Effects of DC Power Layers in a 10-Nb-Layer Device for SFQ LSIs,” 2008 Applied Superconductivity Conference (ASC2008), 2EPA03 , Chicago, Aug 2008.
 18. T. Satoh (ISTEC), K. Hinode, S. Nagasawa, Y. Kitagawa, M. Hidaka, N. Yoshikawa, H. Akaike, A. Fujimaki, K. Takagi, N. Takagi: ”Multi-layer Nb Integrated Circuit Structure Incorporating the Top Active Layer,” 2008 Applied Superconductivity Conference (ASC2008), 2EPB04, Chicago, Aug 2008.
 19. K. Fujiwara (ISTEC), S. Nagasawa, Y. Hashimoto, M. Hidaka, N. Yoshikawa, M. Tanaka, H. Akaike, A. Fujimaki, K. Takagi, and N. Takagi: “Research of effective moats for Nb multi-layer device structure,” 2008 Applied Superconductivity Conference (ASC2008), 2EPA05, Chicago, Aug 2008.
 20. K. Takagi (Nagoya Univ.), M. Tanaka, I. Kataeva, S. Iwasaki, R. Kasagi, H. Akaike, A. Fujimaki, S. Nagasawa, T. Sato: “SFQ Propagation Properties in

- Passive Transmission Lines Based on a 10-Nb-Layers Structure,” 2008 Applied Superconductivity Conference (ASC2008), 3EPC02, Chicago, Aug 2008.
21. H. Akaike (Nagoya Univ.), M. Tanaka, K. Takagi, I. Kataeva, R. Kasagi, A. Fujimaki, K. Takagi, M. Igarashi, H. Park, Y. Yamanashi, N. Yoshikawa, K. Fujiwara, S. Nagasawa, M. Hidaka, and N. Takagi: “SFQ cell design for a Nb-10-layer process,” 21th International Symposium on Superconductivity (ISS 2008), FDP-20, Tsukuba, Oct 2008.
 22. I. Kataeva (Nagoya Univ.), H. Akaike, A. Fujimaki, N. Yoshikawa, N. Takagi, K. Murakami: “An Operand Routing Network for an SFQ-RDP processor: new design and experimental results,” 21th International Symposium on Superconductivity (ISS2008), FDP-22, Tsukuba, Oct 2008.
 23. S. Takeshima (Nagoya Univ.), K. Takagi, M. Tanaka, and N. Takagi: “Automated Routing Method for Multi-layered SFQ Circuits,” Superconducting SFQ VLSI Workshop (SSV2009), P5, Fukuoka, Japan, Jun. 15, 2009.
 24. M. Sato (Nagoya Univ.), K. Takagi, M. Tanaka, N. Takagi: “Verification Method of Pipeline Processing Behavior of SFQ Circuits,” Superconducting SFQ VLSI Workshop (SSV2009), P6, Fukuoka, Japan, Jun. 15, 2009.
 25. R. Kasagi (Nagoya Univ.), K. Takagi, M. Ito, M. Tanaka, H. Akaike, and A. Fujimaki: “Timing Issues in Large-Scale RDP Processors,” Superconducting SFQ VLSI Workshop (SSV2009), P7, Fukuoka, Japan, Jun. 15, 2009.
 26. T. Kainuma (Yokohama National Univ.), H. Suzuki, Y. Yamanashi, N. Yoshikawa, M. Tanaka, and A. Fujimaki: “Evaluation of Logic-Level Simulation using the Single-Flux-Quantum Cell Library for the 10 kA/cm² Nb Multi-Layer Process,” Superconducting SFQ VLSI Workshop (SSV2009), P8, Fukuoka, Japan, Jun. 15, 2009.
 27. I. Kataeva (Nagoya Univ.), H. Akaike, A. Fujimaki, N. Yoshikawa, K. Takagi, N. Takagi, K. Murakami: “Enhanced Flexibility of an Operand Routing Network for an SFQ-RDP Processor,” 12th International Superconductive Electronics Conference (ISEC’09), SP-P12, Fukuoka, Japan, Jun. 18, 2009.
 28. H. Akaike (Nagoya Univ.), M. Tanaka, K. Takagi, I. Kataeva, R. Kasagi, M. Itoh, A. Fujimaki, M. Igarashi, H. Park, Y. Yamanashi, N. Yoshikawa, K. Fujiwara, S. Nagasawa, T. Satoh, M. Hidaka, K. Takagi, and N. Takagi: “Single-flux-quantum Cells and Circuits Based on a Nb Multi-layer Process,” 12th International Superconductive Electronics Conference (ISEC’09), SP-P13, Fukuoka, Japan, Jun. 18, 2009.
 29. Y. Yamanashi (Yokohama National Univ.), T. V. Duzer, N. Yoshikawa: “New Design to Show the Advantage of a Twisted-Pair Bias Supply Line for Large-Scale Josephson Circuits”, 12th International Superconductive Electronics Conference (ISEC’09), SP-P16, Fukuoka, Japan, Jun. 18, 2009.
 30. M. Tanaka (Nagoya Univ.), K. Obata, Y. Ito, S. Takeshima, M. Sato, K. Takagi, N. Takagi, H. Akaike, A. Fujimaki: “An Automated Passive-transmission-line Routing Tool for Single-flux-quantum Circuits Based on the A* Algorithm,” 12th International Superconductive Electronics Conference (ISEC’09), SP-P19, Fukuoka, Japan, Jun. 18, 2009.
 31. Y. Natsume (Yokohama National Univ.), M. Igarashi, D. Ozawa, Y. Yamanashi, N. Yoshikawa: “High-Density Integration of Single-Flux-Quantum Circuits using Josephson Inductance”, 12th International Superconductive Electronics Conference (ISEC’09), SP-P25, Fukuoka, Japan, Jun. 18, 2009.
 32. S. Nagasawa (ISTEC), T. Satoh, K. Hinode, Y. Kitagawa, M. Hidaka, H. Akaike, A. Fujimaki, N. Takagi, K. Takagi, N. Yoshikawa: “Nb Multi-layer Device Fabrication Technology,” 12th International Superconductive Electronics Conference (ISEC’09), SP-P36, Fukuoka, Japan, Jun. 19, 2009.
 33. T. Kainuma (Yokohama National Univ.), H. Park, K. Taketomi, H. Hara, Y.

- Yamanashi, N. Yoshikawa, M. Tanaka, Y. Ito, A. Fujimaki, N. Takagi, K. Takagi, and S. Nagasawa: "Design and High-speed Tests of Component Circuits of an SFQ Half-precision Floating-point Adder using 10 kA/cm² Nb Process," 12th International Superconductive Electronics Conference (ISEC'09), SP-P43, Fukuoka, Japan, Jun. 19, 2009.
34. T. Kainuma (Yokohama National Univ.), H. Park, Y. Yamanashi, N. Yoshikawa, A. Fujimaki, N. Takagi, K. Takagi: "Design of component circuits of an SFQ half-precision floating-point adder using 10 ka/cm² Nb process," 22th International Symposium of Superconductivity (ISS2009), FDP-44, Tsukuba, Japan, Nov. 2009.
 35. I. Kataeva (Nagoya Univ.), H. Akaike, and A. Fujimaki: "Clocking considerations for an SFQ Reconfigurable Data Paths processor," Superconducting SFQ VLSI Workshop (SSV2010), P5, Yokohama, Japan, Jan. 13, 2010.
 36. M. Tanaka (Nagoya Univ.), K. Takagi, and N. Takagi: "Miniaturization of SFQ Floating-point Processing Units Using Variable-length Shift-registers," Superconducting SFQ VLSI Workshop (SSV2010), P7, Yokohama, Japan, Jan. 13, 2010.
 37. R. Kasagi (Nagoya Univ.), M. Tanaka, I. Kataeva, M. Ito, H. Akaike, and A. Fujimaki: "Evaluation of an SFQ-ALU circuit based on the Advanced Process 2," Superconducting SFQ VLSI Workshop (SSV2010), P16, Yokohama, Japan, Jan. 13, 2010.
 38. M. Ito (Nagoya Univ.), M. Tanaka, I. Kataeva, R. Kasagi, M. Okada, T. Koketsu, H. Akaike, and A. Fujimaki: "A 4x4 SFQ switch circuit based on a Nb multi-layer process," Superconducting SFQ VLSI Workshop (SSV2010), P17, Yokohama, Japan, Jan. 13, 2010.
 39. M. Sato (Nagoya Univ.), M. Tanaka, K. Takagi, and N. Takagi: "A Verification Method for Pipeline Processing Behavior of Single-Flux-Quantum Circuits by Equivalence Checking of Timed Logic Formulae," Superconducting SFQ VLSI Workshop (SSV2010), P19, Yokohama, Japan, Jan. 13, 2010.
 40. T. Kainuma (Yokohama National Univ.), F. Miyaoka, Y. Shimamura, Y. Yamanashi, and N. Yoshikawa: "Proposal of Resettable Muller-C gates Using Single-Flux-Quantum Circuits," Superconducting SFQ VLSI Workshop (SSV 2010), P23, Yokohama, Japan, Jan. 13, 2010.
 41. Y. Shimamura (Yokohama National Univ.), T. Kainuma, F. Miyaoka, H. Park, Y. Yamanashi, and N. Yoshikawa: "Design of SFQ Half-Precision Floating-Point Multipliers Using 10 kA/cm² Nb Multi-Layer Proces," Superconducting SFQ VLSI Workshop (SSV2010), P28, Yokohama, Japan, Jan. 13, 2010.
 42. F. Mehdipour (Kyushu Univ.), H. Honda, H. Kataoka, K. Inoue, I. Kataeva, K. Murakami, H. Akaike, and A. Fujimaki: "Mapping Scientific Applications on a Large-Scale Data-Path Accelerator Implemented by Single-Flux Quantum (SFQ) Circuits," Proceedings of Design, Automation & Test in Europe, pp.993-996, Mar. 2010.
 43. D. Ozawa (Yokohama National Univ.), Y. Natsume, Y. Yamanashi, and N. Yoshikawa: "Design and Implementation of Multi-flux drivers using High Beta_c Junctions," 2010 Applied Superconductivity Conference, Washington DC, USA, Aug 05, 2010, 4EPA-01.
 44. K. Yaguchi (Yokohama National Univ.), Y. Okamoto, H. Jin, H. Park, Y. Yamanashi, N. Yoshikawa, and T. V. Duzer: "Implementation of Josephson-CMOS hybrid memories with bit-serial data input/output ports," 2010 Applied Superconductivity Conference, Washington DC, USA, Aug. 5, 2010, 4EPA-02.
 45. Y. Shimamura (Yokohama National Univ.), N. Yoshikawa, T. Ortlepp: "Analysis

- of computational energy efficiency in single flux quantum electronics by implementing an integer-based hardware-algorithm,” International Superconductivity Electronics Conference (ISEC2011), The Hague, The Netherlands, Sept. 19, 2011, 1-EA-P15.
46. K. Ehara (Yokohama National Univ.), Y. Yamanashi, N. Yoshikawa: “Investigation of bias-current-supply methods for serially biased SFQ circuits,” International Superconductivity Electronics Conference (ISEC2011), The Hague, The Netherlands, Sept. 20, 2011, 2-EA-P15.
 47. H. Jin (Yokohama National Univ.), K. Yaguchi, Y. Yamanashi, N. Yoshikawa: “Investigation of Robust CMOS Amplifiers for Josephson-CMOS Hybrid Memories,” International Superconductivity Electronics Conference (ISEC2011), The Hague, The Netherlands, Sept. 20, 2011, 2-EA-P17.
 48. I. Kataeva (Nagoya Univ.), H. Akaike, A. Fujimaki, N. Yoshikawa, N. Takagi: “Experimental Demonstration of an Operand Routing Network Prototype Employing Clock Control and Data Synchronization Scheme.,” Superconductivity Centennial Conference, 4-EA-P14, The Hague, The Netherlands, Sept. 22, 2011.
 49. H. Jin (Yokohama National Univ.), K. Yaguchi, Y. Yamanashi, N. Yoshikawa, T. V. Duzer: “Access Time Measurement of Josephson-CMOS Hybrid Memory Systems with an SFQ Bit-Serial Data-Input Port,” International Superconductivity Electronics Conference (ISEC2011), The Hague, The Netherlands, Sept. 22, 2011, 4-EA-P16.
 50. S. Nagasawa (ISTEC), K. Hinode, T. Satoh, M. Hidaka, M. Maezawa,” ISTE/AIST Process Line for Low Temperature Electronics Devices”, 超伝導発見 100 周年国際シンポジウム(日本学術振興会超伝導エレクトロニクス第 146 委員会), 京都市, 2011 年 10 月 31 日.
 51. 日野出憲治(ISTEC), 永沢秀一, 佐藤哲朗, 日高睦夫:「SFQ 集積回路歩留まり低下原因の分析」, 第 32 回 SRL 研究報告会, (財)国際超電導産業技術研究センター, 2011 年 11 月 30 日.
 52. 彭析竹(横浜国立大学), 山梨裕希, 吉川信行:「Josephson latching driver における接合バラスキの影響と入力部の検討」, 2012 年春季第 59 回応用物理学会関係連合講演会, 17p-GP-7, 早稲田大学早稲田キャンパス(東京都), 2012 年 3 月 17 日.

(4)知財出願

- ①国内出願 (0 件)
- ②海外出願 (0 件)
- ③その他の知的財産権
なし

(5)受賞・報道等

- ①受賞
なし
- ②マスコミ(新聞・TV等)報道
 1. 「演算回路 超電導で 45 ギガ実現一名大、次世代スパコン向け」
日刊工業新聞、2010 年 10 月 14 日.
- ③その他
なし

(6)成果展開事例

①実用化に向けての展開
なし

②社会還元的な展開活動

●電気標準用 ICCC 回路の作製

CCC (Cryogenic Current Comparator)は、電流を高精度に比較、増倍するデバイスであり、抵抗の国家標準校正に使用されている。しかし CCC はコーヒー缶ほどの大きさがあり冷凍機による冷却が不可能なうえに、一月ほどの時間をかけて手作業で作るしかなく、抵抗標準展開のボトルネックとなっている。ICCC (Integrated CCC)は、集積回路プロセスを用いて基板上に CCC を作製するものであり、これが実現されれば CCC を量産することが可能となる。本プロジェクトで開発された平坦化ニオブ積層プロセスを応用した ICCC 開発が、ISTEC と産業技術総合研究所の計測標準部門によって行われている。

●衛星搭載 X 線天体観測用超伝導検出器多重読み出し SQUID 開発

衛星搭載 X 線天体観測は、宇宙の謎を探るためになくてはならないツールである。次世代の X 線天体観測用に超伝導検出器の開発が進められているが、この検出器からの多重読み出しを行うための高性能超伝導量子干渉計 (Superconductive Quantum Interference Device: SQUID) 開発が、本プロジェクトで開発したプロセスを応用して、ISTEC と JAXA 宇宙科学研究所と共同で進められている。

●磁気光学イメージング法を用いた超伝導体中への磁場侵入研究

磁気光学イメージング法を用いることにより、超伝導薄膜中への磁束侵入のメカニズムを探る研究が東京大学で行われている。ISTEC は本プロジェクトで開発したプロセスを応用して、磁気光学イメージング実験のための多層ニオブ構造試料を作製し、東京大学に提供している。

●HYPRES 社からのデバイス作製依頼

米国の超伝導デジタル開発で中心的な役割を果たしている HYPRES 社の副社長 Gupta 氏から、ニオブ 9 層最小接合径 1 μ m プロセスを用いた SFQ AD コンバータ回路試作の打診があった。HYPRES 社自身が超伝導回路のファンドリーサービスを行っており、ISTEC とはライバル関係にある。この打診があったことは、ISTEC プロセスが海外で高く評価されていることの証左であると考えられる。

●米国 Stony Brook 大への 1 μ m プロセス用セルライブラリ提供

1 μ m プロセス用セルライブラリを米国 Stony Brook 大に提供し、非同期式 SFQ 演算回路の共同研究を行った。16b 加算器や 8b 乗算器を共同で設計、試作し、これらの機能動作の実証に成功した。成果は応用超伝導国際会議(ASC2012)で報告された。

§ 6 研究期間中の活動

| 年月日 | 名称 | 場所 | 参加人数 | 概要 |
|--------------------|-----------------------------------------|---------------------|------|---------------------------------------------------------------------------------|
| 2006 年 11 月 1 日 | SFQ-RDP Workshop | 名古屋国際会議場 131+132 | 41 名 | 2006 International Symposium on Superconductivity 参加者にプロジェクトの説明を行い、意見交換を行った。 |
| 2008 年 3 月 17 日 | Superconducting SFQ VLSI Workshop | 横浜国立大学 教育文化ホール | 47 名 | 国際会議を主催した。研究成果を発表し、国内外の研究者と情報交換を行った。 |

| | | | | |
|------------------------|----------------------------------------------|-----------------------|------|-----------------------------------------------------------------------------|
| 2009年 6月15, 17 日 | Superconducting SFQ VLSI Workshop 2009 | 九州大学 医学部百年記念講 堂 | 212名 | 国際会議を主催した。 研究成果を発表し、国内外の 研究者と情報交換を行った。 (CREST「国際強化支援」の支 援を受けた。) |
| 2010年 1月13日 | Superconducting SFQ VLSI Workshop 2010 | 横浜国立大学 教育文化ホール | 51名 | 国際会議を主催した。研究成 果を発表し、国内外の研究者と 情報交換を行った。 |
| 2011年 11月1日 | Superconducting SFQ VLSI Workshop 2011 | 京都リサーチパーク AV 会議室 | 35名 | 国際会議を主催した。研究成 果を発表し、国内外の研究者と 情報交換を行った。 |

§7 結び

本研究により、PTL 配線層2層をもつニオブ9層 1 μ m プロセスという、世界でも類を見ない SFQ 集積回路プロセスを確立するとともに、このプロセス用の論理セルライブラリおよび回路設計ツールを開発して SFQ 回路の設計環境を整備した。これにより、10 万ジョセフソン接合 (JJ) 規模の SFQ-LSI の設計および製作が可能となり、次世代の 0.5 μ m プロセスにより 100 万 JJ 規模の SFQ-LSI を実現できる目処が立った。また、大規模再構成可能データベース (RDP) の構成要素である浮動小数点演算ユニット (FPU) およびクロスバ多段網の構成法を開発し動作実証を行うとともに、プロトタイプ SFQ-RDP の動作実証を行った。これにより、SFQ-RDP が実現可能であることを示した。さらに、科学技術計算においてコアとなるいくつかの計算に対して、RDP 向きのアルゴリズムを開発してプログラムを作成し、SFQ-RDP の性能評価を行い、その有効性を示した。これらにより、次世代の 0.5 μ m プロセスにより、10 テラフロップスの実効性能をもち消費電力が 3.2W 程度の SFQ-RDP が実現可能であることを示した。

「SFQ-RDP を有するプロセッサの基盤技術を確立し、0.5 μ m 程度の SFQ 集積回路プロセスが確立されれば、10 テラフロップス級デスクサイド・コンピュータが実現可能であることを示す」という研究目的は達成されたものと考えられる。各研究実施項目で掲げた目標も、ほぼ、達成された。現時点で、完全に達成されていないのは、1 μ m プロセスによる FPU および 4x4RDP プロトタイプの 50GHz 動作実証である。これは、東日本大震災の影響が大きい。研究期間を1年間延長させて頂いたが、その間も、節電のためのクリーンルームの統合による装置の移動等があり、老朽化した装置に次々と不具合が発生した。

本研究の開始後、クラウド・コンピューティングが普及したこともあり、スーパーコンピュータが注目されている。エクサスケール・コンピュータへのロードマップによると、2018 年に 1EFLOPS で 20MW のコンピュータが実現されることになっているが、アーキテクチャや実装技術の革新だけでは実現はかなりの困難が予想される。2022 年頃に予想される 10EFLOPS コンピュータは、もはや半導体回路での実現は困難であり、新しいデバイスの使用が必要だと考えられる。SFQ-RDP は、10EFLOPS コンピュータの有力な候補になり得るものと考えられる。

本研究で開発した、1 μ mSFQ 集積回路プロセスおよび回路設計環境は、今後の我国での SFQ 回路の研究の基盤となるもので、研究の発展に大いに寄与するものと考えられる。国内のみならず国外からも、利用の問合せがあり、一部、共同研究に進展している。本研究での成果から、製造装置が更新されれば、0.5 μ m プロセスは大きな支障なく確立できるものと考えられ、これにより 100 万 JJ 規模の SFQ-LSI を実現できるようになれば、SFQ 回路の研究、実用化が急速に進展するものと期待できる。高性能ルータ等の他、医療機器における高速画像処理システムやセキュリティシステム等用の超高速、小規模 SFQ ASIC 等の実用が期待できる。製造装置の更新が強く望まれる。

我々は、今後、超伝導回路のさらなる低消費電力回路技術の開発、集積回路プロセスの高度化、回路設計支援技術の開発を進めるとともに、マイクロプロセッサおよびメモリの研究を行う予定である。

超伝導集積回路プロセスからコンピュータ・アーキテクチャに至る分野横断型の研究チームで研究を行ったことにより、研究に参加した学生の視野が広がり、学生の教育という観点からも有意義であった。

複数のグループが設計した回路を混載したウェハの製作にあたり、マスク代を一括して代表者の高木グループで支払うことにより、経理処理が容易になった。

CREST「国際強化」の支援を得て開催した SSV2009 の参加者の集合写真

