

「素材・デバイス・システム融合による革新的ナノエレクトロニクスの創成」
平成 25 年度採択研究代表者

H27 年度
実績報告書

高木 信一

東京大学 大学院工学系研究科
教授

極低消費電力集積回路のためのトンネル MOSFET テクノロジーの構築

§ 1. 研究実施体制

(1)「東京大学」グループ

- ① 研究代表者： 高木 信一（東京大学工学系研究科、教授）
- ② 研究項目
 - ・Ge 系 TEFET 技術の開発
 - ・化合物半導体 TFET 技術の開発

(2)「東芝」グループ

- ① 主たる共同研究者： 川中 繁（東芝 セミコンダクター&ストレージ社 半導体研究開発センター、主査）
- ② 研究項目
 - ・Si TFET 技術の開発
 - ・TFET 回路設計技術の開発
 - ・TFET 回路・システム技術の開発

(3)「住友化学」グループ

- ① 主たる共同研究者： 山田 永（住友化学 先端材料探索研究所、主席研究員）
- ② 研究項目
 - ・Ge 系 TFET チャンネル形成技術の開発
 - ・化合物半導体 TFET チャンネル形成技術の開発

(4)「NTT」グループ(研究機関別)

- ① 研究代表者： 満原 学（日本電信電話株式会社 NTT先端集積デバイス研究所、主任

研究員)

② 研究項目

- ・化合物半導体 TFET チャンネル形成技術の開発

§ 2. 研究実施の概要

本研究では、ULSI の電源電圧を低減し、素子の情報処理エネルギーを大幅に低減するために、トランジスタの S 値の低減を実現可能なトンネル FET (TFET) を用いたデバイス・回路・設計基盤技術を確立し、その性能向上を進めると共に、TFET 集積回路の実用化の道筋を明らかにする。この目的のため、(1) III-V/Ge などの新材料を用いた高性能 TFET 技術 (2) Si TFET の高性能化と TFET 回路・設計技術の構築 の 2 つの研究開発を連携して進めている。今年度は、高性能 TFET が期待できる Zn 拡散ソース InGaAs TFET、InAs/GaSb 系ヘテロ構造 TFET、Ge ソースひずみ SOI TFET と、より短期での実用化が期待できる Si TFET を中心に研究を行った。また、TFET 回路設計環境構築と回路実証に向け、TFET の素子モデルの高精度化を進めて、TFET 特性向上が回路性能に与える効果の定量化や縦積み回路特性の検証、TFET と CMOS が混載されたフリップフロップの動作解析などを行った。

Zn 拡散ソース領域を用いた InGaAs TFET に関しては、その特性向上の指針を調べ、拡散時間の短縮による浅接合化や、横方向と共に縦方向の不純物分布の急峻性の重要性を示した。加えて、性能向上の重要な要素であるチャネル In 組成の増大に関し、チャネル領域全体の In 組成増大はリーク電流増大により有効ではないことを実験的に示し、トンネル部分の In 組成を高める一方でオフ電流を増加させない InGaAs 量子井戸構造を提案した。また、高品質の InGaAs MOS 界面層実現に向けて、ALD La_2O_3 界面層の有効性を示した。GaSb/InAs 系 TFET 技術に関しては、極薄 InAs 界面層とその前処理の最適化と基板貼り合せ技術を用いて、低界面準位かつ高移動度の InAs/InGaSb-OI p-MOSFET を Si 基板上で実証した。また、接合リーク電流が低減できる InP 格子整合 GaAsSb/InGaAs ヘテロ・ソース接合を用い、縦型の n チャネル TFET の動作に成功した。

Ge ソースひずみ SOI TFET に関しては、基板バイアスによる性能変調機構の検討を進め、Ge ソース表面から裏面 MOS 界面へのトンネリングと裏面 MOSFET の直列接合電流の寄与の可能性を見出した。更に、有望な TFET 構造である極薄 GOI 構造形成に際し、貼り合せ法と精密な Ge エッチング技術の開発により、膜厚 2 nm までの極薄膜 GOI 基板の作製と p-MOSFET の素子動作に成功した。また、 $\text{AlYO}_3/\text{GeO}_x/\text{Ge}$ MOS ゲートスタック構造によりトラップ密度の低減に成功した。

InGaAs 系 TFET のためのエピタキシャル層形成技術では、歪み量子井戸 InGaAs 及び AlAs 上 InGaAs の成長技術、GaSb 系 TFET チャネル形成のためのエピタキシャル層形成技術では、MOMBE による p-GaAsSb/i-InGaAs ヘテロ界面の結晶成長技術の検討を進め、ドーピングプロファイルと組成が急峻に変化するヘテロ界面の形成を検討し、TFET 用ウェハの結晶成長を行った。

Si TFET に関しては、昨年度構築した量産に用いられている標準 Si CMOS プロセス適用したトンネル素子試作環境を用いて、縦型 TFET 構造デバイス作成を行った。従来の横型 TFET 構造と比較し、S ファクタ、オン電流が大幅に改善したデバイス特性を取得し、Si TEFT 特性改善にむけた指針を得た。また、ウェル・チャネルの最適化を行った素子構造を用いて、2 入力 NAND 動作を実証した。

MOSFET とは異なる I-V 特性及び非対称性を有する TFET コンパクトモデルの評価およびシミュレーション環境整備を、昨年度に引き続き行った。今年度は、III-V 系 TFET への設計環境拡張を視野に入れ、S ファクタ改善と Ion 絶対値改善によるエネルギーミニマムの調査と設計環境作成

を行った。Sファクタ改善では、 $I_{off}=100\text{fA}$ 一定で、 $Ave.SS=40$ のエネルギーミニマムが $Ave.SS=60$ に比べ半分になることがわかった。 I_{on} の絶対値改善では、III-V系TFETの I_{on} 、 I_{off} が共にSi系TFETに比べ1桁増える想定モデルを用意し、シミュレーションを行い、エネルギーミニマムを維持しつつ、動作周波数を高い側に1桁シフトすることが可能であることを示した。モデルに関してはさらに、縦積みトランジスタのウェルバイアスの考察を行った。ソース・ドレインが非対称(異なる導電型)のTFETで、縦積みトランジスタのウェルをどうするかは、回路性能と面積を考えるうえで大変重要な検討項目で、今回、Punch through stopper (PTS)を持つ素子構造により、縦積みトランジスタのウェルバイアスの問題を整理し、ひとつの解決方法を示した。

また今後、さまざまな回路検討を行っていくうえで、回路図入力を効率的に行えるスキーマティック入力のための設計環境を準備した。人手を介さずにTFETとMOSFET混在のシミュレーション用ネットを生成することが可能となり、この設計環境を使って、TFET フリップフロップ回路の入力および、シミュレーション用ネットの作成とシミュレーションを行った。フリップフロップとしては動作しているが、電源電圧以上のスパイクが多数発生していることが確認できた。これはTFETが構造上、逆方向に電流を流さないことに依るもので、今後、このスパイクが性能に与える影響や V_{min} 検討、TFETに適した回路の提案を行っていく。

○代表的な論文

1. M. Noguchi, S.-H. Kim, M. Yokoyama, O. Ichikawa, T. Osada, M. Hata, M. Takenaka and S. Takagi, "High I_{on}/I_{off} and low subthreshold slope planar-type InGaAs tunnel field effect transistors with Zn-diffused source junctions", J. Appl. Phys. 118, 045712 (2015)
2. S. Takagi, M.-S. Kim, M. Noguchi, S.-M. Ji, K. Nishi and M. Takenaka, "III-V and Ge tunneling FET technologies for low power LSIs", VLSI symposium, p. T22-T23 (2015)
3. K. Nishi, M. Yokoyama, H. Yokoyama, T. Hoshi, H. Sugiyama, M. Takenaka, and S. Takagi, "High hole mobility front-gate InAs/InGaSb-OI single structure CMOS on Si", VLSI symposium, p. T174-T175 (2015)