

「次世代エレクトロニクスデバイスの創出に資する
革新材料・プロセス研究」
平成21年度採択研究代表者

H24 年度 実績報告

森 伸也

大阪大学大学院工学研究科・准教授

原子論から始まる統合シミュレータの開発

§1. 研究実施体制

(1) 「森」グループ

- ① 研究代表者: 森 伸也 (大阪大学大学院工学研究科, 准教授)
- ② 研究項目
 - ・ 原子論から始まる統合シミュレータの開発
 - ・ 電気伝導—フォノン輸送統合シミュレータの開発

(2) 「土屋」グループ

- ① 主たる共同研究者: 土屋 英昭 (神戸大学大学院工学研究科, 准教授)
- ② 研究項目
 - ・ 連続体・粒子モデルに基づく量子輸送シミュレータの開発

(3) 「宇野」グループ

- ① 主たる共同研究者: 宇野 重康 (立命館大学理工学部, 准教授)
- ② 研究項目
 - ・ 弾道および準弾道輸送コンパクトモデル開発
 - ・ 電子フォノン散乱およびフォノン輸送モデリング

(4) 「伊藤」グループ

- ① 主たる共同研究者: 伊藤 公平 (慶應義塾大学理工学部, 教授)
植松 真司 (慶應義塾大学大学院工学研究科, 特任教授)
- ② 研究項目
 - ・ ナノワイヤ CMOS プロセスシミュレーション開発
 - ・ 量子輸送モデル等の汎用 TCAD への移行

§ 2. 研究実施内容

(文中に番号がある場合は(3-1)に対応する)

ナノワイヤ CMOS プロセスシミュレーション開発

本研究項目では、プロセスシミュレータによって構築した現実的なデバイス構造を用いて量子輸送シミュレーションを行うことを目的とする。本年度は、 $3 \text{ nm} \times 3 \text{ nm}$ シリコンナノワイヤにイオン注入したヒ素のアニール後の原子配置を、モンテカルロ法を用いて計算し、その現実的な原子配置を量子輸送シミュレーションに導入した。その結果、ソース・ドレイン領域にイオン注入したヒ素原子がアニールによってチャネル領域に侵入し、その個数がわずかに数個であっても、n型ナノワイヤ MOS トランジスタのしきい値電圧における大きなばらつきの原因となることを明らかにした[8]。そのしきい値電圧のばらつきを低減するために、ゲート側壁にスペーサーを導入し、アニール後のチャネル領域へのヒ素原子侵入を最小限に抑える方法を考案した[図 1]。この側壁スペーサーの導入により、劇的にしきい値電圧のばらつきが低減することを量子輸送シミュレーションで明らかにした[図 2]。一方、トランジスタのオン電流ばらつきは、ソース・ドレイン領域におけるヒ素原子のランダムな離散配置によって決まり、したがって、極微細ナノワイヤトランジスタに固有のものであることが分かった[6]。

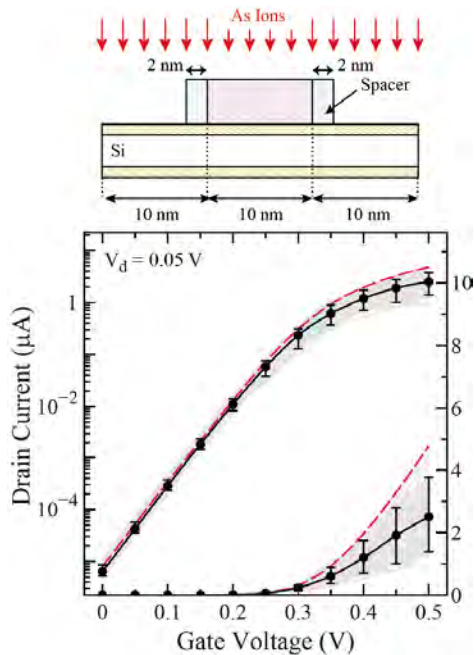


図 1 イオン注入時にスペーサー側壁を導入した場合のシリコンナノワイヤトランジスタの電流電圧特性. 赤色の破線はソース・ドレイン領域が連続ドープの場合。

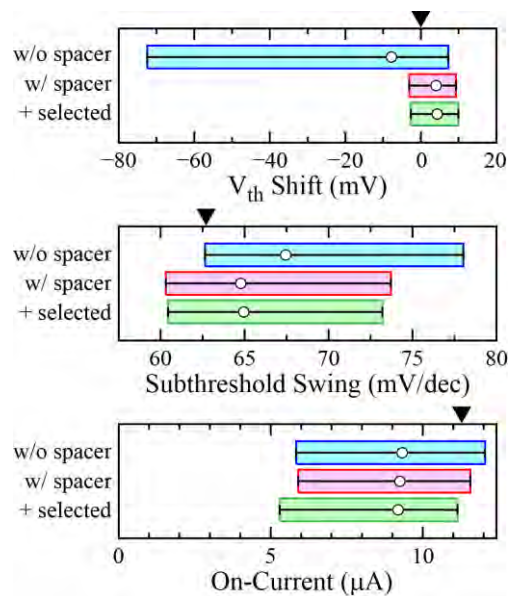


図 2 スペーサー側壁の有無によるデバイス特性の変化. 上から、しきい値、S 値、オン電流. 各パネル内は、上から、スペーサーなし、あり、不純物濃度が近いデバイスのみを抽出した場合。

原子論から始まる統合シミュレータの開発

平成 24 年度は、伊藤グループのナノワイヤ CMOS プロセスシミュレータの不純物配置情報を、有効質量近似非平衡グリーン関数法シミュレータへ入力するインターフェイスを開発した。その結果を利用して、不純物ばらつきがデバイス特性に及ぼす影響について調べた[図 3, 4, 国際会議口頭講演 1]。また、土屋グループのウィグナー・モンテカルロシミュレータおよび宇野グループのコンパクトモデルへ、原子論モデルに基づくバレー情報の入力をするための、Ruby-GTK インターフェイスのプロトタイプを開発した。さらに、原子論に基づく量子輸送シミュレータの開発に関して、さらなる高速化を目指し、ばらつきを統一的に取り扱う手法を開発した[11]。

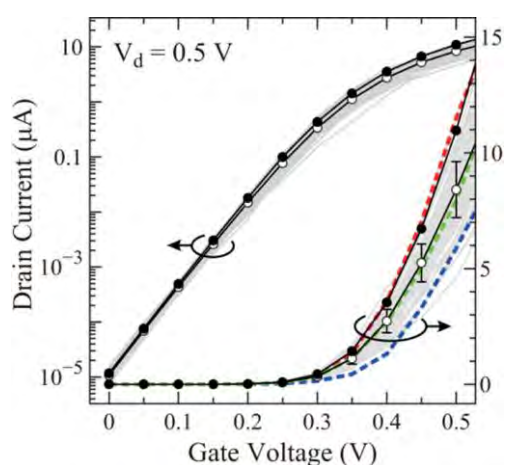


図 3 ソース・ドレイン領域のみに離散不純物がある場合の $3 \text{ nm} \times 3 \text{ nm}$ シリコンナノワイヤトランジスタの電流電圧特性。白丸は平均値、黒丸は連続ドーピングの場合。また、赤、緑、青色の破線は、それぞれ、高電流、平均電流、低電流デバイスの特性。

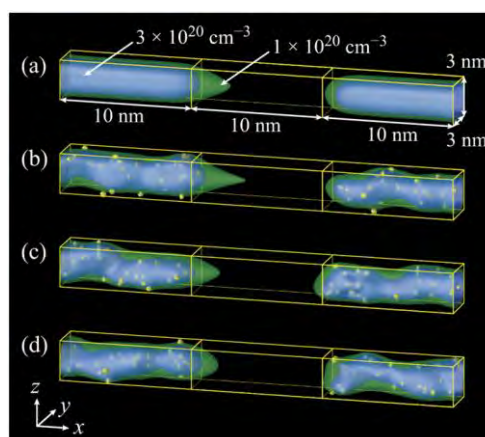


図 4 連続ドーピングデバイス (a), および、高電流 (b), 平均電流 (c), 低電流 (d) デバイスにおける等電子密度面。 $V_d = V_g = 0.5 \text{ V}$ の場合。黄色の点は、離散不純物の位置を表す。

連続体・粒子モデルに基づく量子輸送シミュレータの開発

本年度は、反転層キャリアの量子化を考慮したフォノン散乱、界面ラフネス散乱および不純物散乱を取り入れた 2 次元ウィグナー・モンテカルロシミュレータの開発を予定通り完了した。シミュレータの信頼性を実証するため、バルク Si MOSFET の電子移動度ユニバーサル曲線の実験結果を再現できることを確認した。また、ナノワイヤ構造等の極小チャンネル内の散乱現象を高精度にモデル化するために、音響フォノン散乱の変位ポテンシャルが SiO_2 ゲート酸化膜付近で指数関数的に上昇する効果を取り入れた。これらの成果をまとめた論文を近々 IEEE Trans. Electron Devices に投稿する予定である。上記と並行して、III-V チャンネル MOSFET の 2 次元ウィグナー・モンテカルロシミュレータの開発にも成功し、有効質量の軽い III-V チャンネル MOSFET では比較的長いチャンネル長でもソース・ドレイン直接トンネリングによるサブスレッショルド電流の増大が顕在化することを見出した[国際会議ポスター発表 7]。その成果をまとめた論文を現在 Applied Physics Express に投稿中である。図 5 と 6 はその成果

の一部であり、ゲート長が 10 nm の InP チャンネル MOSFET でソース・ドレイン直接トンネリングによるサブスレッショルド電流の増大が確認された例を示している。

シリコンナノワイヤ MOSFET のシミュレータ開発に関しては、2次元量子閉じ込め効果を取り入れた3次元半古典的モンテカルロシミュレータのプロトタイプの開発を行った。今後の課題は、ワイヤ方向の輸送計算をウィグナー・モンテカルロ法に拡張することと、散乱レートを1次元電子ガスに対応させることが挙げられる。上述の通り2次元ウィグナー・モンテカルロシミュレータにて散乱の高精度・高信頼性モデルが実現できていることから、1次元電子ガスへの拡張は十分に可能と考えている。散乱レートの変更を行う際に森グループの原子論モデルから抽出したバレー情報を反映させ、原子論モデルとの結合を本格的に着手する予定である。また、1次元電子ガスの散乱レートの組み込みが完了した時点で準バリスティック輸送係数の抽出作業に速やかに着手できるよう、その準備としてSiダブルゲート構造MOSFETでの準バリスティック輸送係数の抽出にも取り組んでいく。

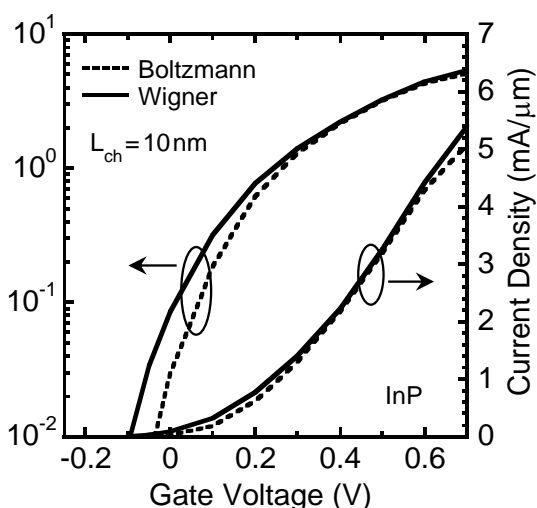


図5 ゲート長 10 nm ダブルゲート構造 InP チャンネル MOSFET の $I_D - V_G$ 特性. 実線と波線はそれぞれ、ウィグナーモンテカルロ法及び古典モンテカルロ法の結果を表わす。

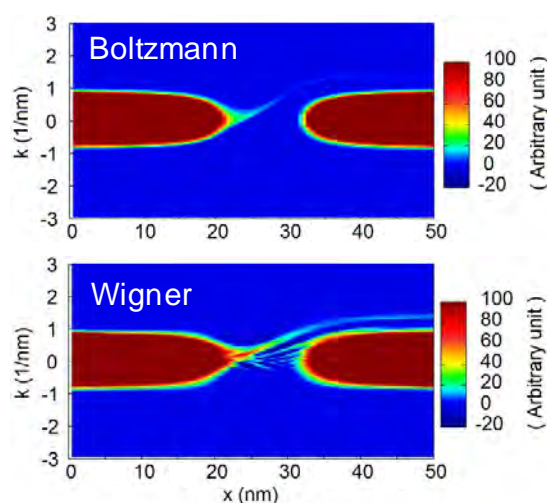


図6 図5の $V_G = 0$ Vでの古典ボルツマン分布関数(上図)とウィグナー分布関数(下図). $x = 20 - 30$ nm がチャンネル領域に相当する. 下図においてトンネリングによる干渉模様が現われているのが分かる。

弾道・準弾道輸送コンパクトモデル開発

本年度は、主に次のような成果が得られた：① 四角断面 GAAMOSFET 特性の解析式コンパクトモデルと、大阪大学グループの非平衡 Green 関数(NEGF)法に基づく数値計算との比較を様々な断面サイズおよびバイアス条件で網羅的に行い、現在のモデルの適用範囲を明らかにした[18]。その結果、ワイヤ断面サイズが $2 \text{ nm} \times 4 \text{ nm}$ であれば非常に良い精度で NEGF 法による結果を再現することが確認された。 $4 \text{ nm} \times 4 \text{ nm}$ では精度が不十分であったため、今後は複数サブバンドを考慮するなどの改善が必要である。② 四角断面 GAAMOSFET のゲート・チャンネル

間容量のコンパクトモデルを作成し、これを HSPICE に取り入れた継時変化の回路シミュレーションを可能にした[3, 17]. これにより、配線容量などの外因的な容量ではなく、チャンネルそのものもつ本質的な容量を回路シミュレーション内で用いることが可能になった. ③ 大阪大学グループの強結合法に基づく原子論的バンド計算結果を基に、PMOS 特性をコンパクトモデルで表現し、NMOS と PMOS を組み合わせた CMOS 回路の継時変化および静特性の回路シミュレーションを可能にした[3]. ④ 円形断面 GAAMOSFET において複数サブバンドを考慮した解析式コンパクトモデルを構築し、数値コンパクトモデルとの良い一致を得られた[16]. 数式が複雑になるが、これにより単一サブバンドのみを考慮するコンパクトモデルに比べて、より大きなワイヤ径やゲートバイアス電圧でも精度を保つことが可能になる.

電子フォノン散乱およびフォノン輸送モデリング

本年度は、原子論的アプローチによるナノワイヤ構造でのフォノン計算に取り組んだ. これにより、主に次のような成果が得られた[15]: ① 修正原子価力場法に基づく原子論的なフォノン分散関係の計算を、任意の原子種別や配列に対して計算するプログラムを構築した. これを用いて四角断面(一辺約 1.0 nm)のシリコンナノワイヤでのフォノン分散関係を計算し、フォノンが散乱を受けず弾道的に輸送することによる熱伝導度(弾道熱伝導度)を計算できるようにした[図 7]. ② シリコン ^{28}Si のナノワイヤに不純物同位体 ^{29}Si が混入したときのフォノン分散関係を計算し、それによる弾道熱伝導度の変化を計算した. その結果、原子質量の違うものが混入することによる弾道熱伝導度の低下を再現することができた. ③ 不純物同位体含有率やワイヤ断面内での同位体分布の様子が、弾道熱伝導度に与える影響を網羅的に計算した. その結果、不純物同位体がランダムに混入した場合、ほぼ半数混入したときが最も弾道熱伝導度が低下することが明らかになった[図 8]. また、断面内での不純物同位体がワイヤ表面に偏って存在する場合も中心に偏っている場合も、それほど大きな弾道熱伝導度の違いは見られないことが明らかになった. 以上のような不純物による影響は、原子質量の違うものが混入することによるフォノン分散関係の変化によって定性的に説明することができ[図 9], 同様の効果はシリコン以外の元素が混入したときにも期待される. 今回開発したシミュレータを用いれば、今後はボロン原子、リン原子などトランジスタ内で存在しうる様々な不純物原子についての調査を通して、より実デバイスに近い状況でのシミュレーションを行っていくことが可能になる.

連続体モデルに基づくアプローチとして、ナノスケール構造中の熱伝導を解くシミュレータを作製し、FinFET 内部の自己発熱温度分布解析に応用した. このシミュレータは、フォノンのボルツマン輸送方程式をモンテカルロ法によって解くものであり、フォノン平均自由行程と同程度か、或いはより微細な領域で顕在化するといわれている熱の準弾道輸送効果を正確に取り扱うことができる. 従来のフーリエ則に基づく熱伝導方程式では、特に Fin 端から金属コンタクトに至る経路の熱抵抗を過小に見積もる可能性があることをシミュレーションにより示した.

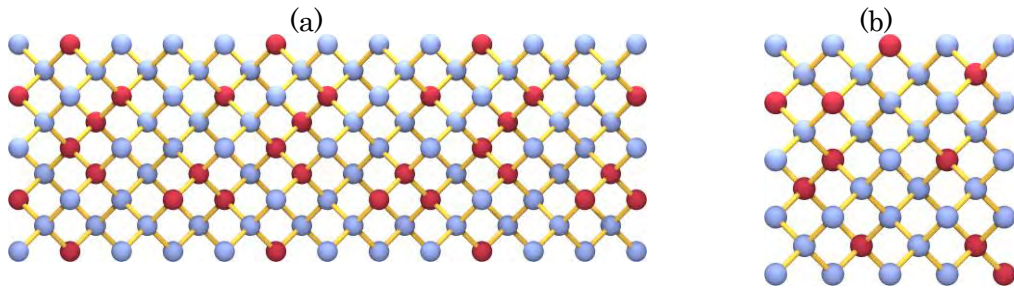


図 7 不純物同位体が混入したナノワイヤの原子モデル[15] (a) ワイヤ軸方向 (b) ワイヤ断面. 青丸: ^{28}Si 原子, 赤丸: ^{29}Si 原子, 黄色線: 原子間の結合.

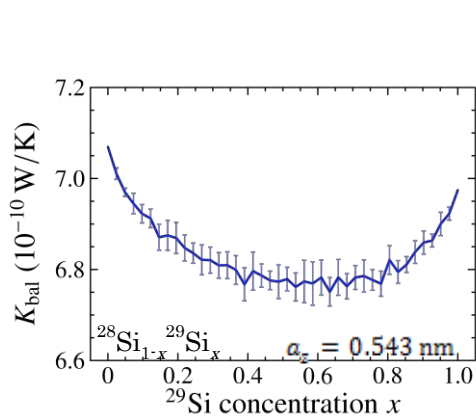


図 8 シリコン ^{29}Si を不純物同位体として含む ^{28}Si シリコンナノワイヤでの弾道熱伝導度と不純物同位体混入比率の関係[15]. 同位体はワイヤ単位胞内にランダムに配置した.

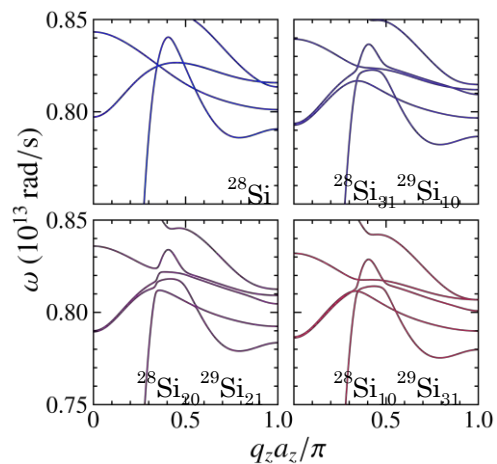
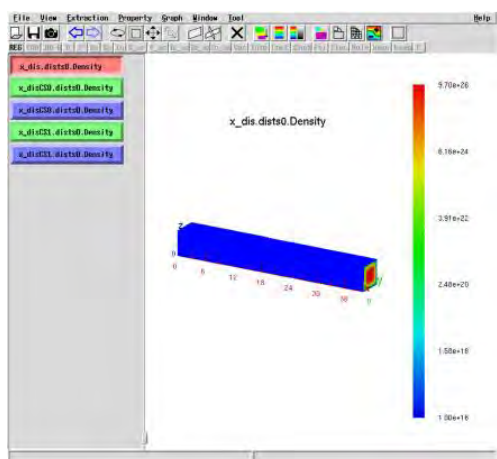


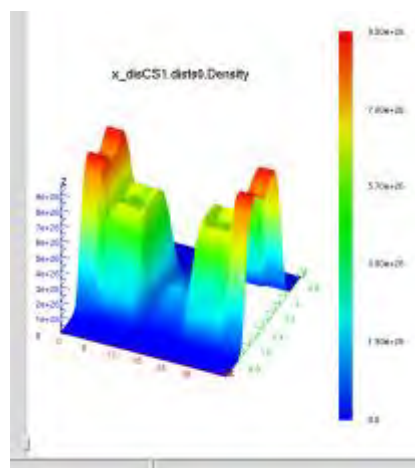
図 9 不純物同位体混入がフォノン分散関係に与える影響[15]. 不純物が混入することで縮退が解け, 分散関係がより平坦に近づくことでフォノン群速度(したがって弾道熱伝導度)が低下する.

量子輸送モデル等の汎用 TCAD への移行

本課題で開発される量子輸送シミュレータが, 実際に多くのユーザーによって次世代ナノデバイスの性能予測に活用されるように, 量子輸送シミュレーションと HyENEXSS との接続を目的とする. 本年度は, HyENEXSS の入力ファイルから構造パラメータを読み込み, データを移行してナノワイヤを形成し, そのナノワイヤデバイスの量子輸送シミュレーションを行うことができるプログラムを作成した. 同時に HyENEXSS による流体モデルを用いたデバイスシミュレーションも行うことができ, 両者の結果を比較することができる. さらに, 出力についても, 量子輸送計算結果を HyENEXSS の標準グラフィックソフトである sgplot を用いて表示できるように変換ソフトを設計した[図 10].



(a)



(b)

図 10 (a)HyENEXSS の sgplot で表示した量子輸送計算によるシリコンナノワイヤデバイスのキャリア濃度分布, (b)その横断面図.

§3. 成果発表等

原著論文発表

●論文詳細情報

1. Y. Yamada, H. Tsuchiya, and M. Ogawa, “Atomistic modeling of electron-phonon interaction and electron mobility in Si nanowires,” *J. Appl. Phys.*, **111**, 063720, 2012. (DOI: 10.1063/1.3695999)
2. J. Choi, K. Nagai, S. Koba, H. Tsuchiya, and M. Ogawa, “Performance analysis of junctionless transistors based on Monte Carlo simulation,” *Appl. Phys. Express*, **5**, 054301, 2012. (DOI: 10.1143/APEX.5.054301)
3. T. Numata , S. Uno , and K. Nakazato , “Circuit Simulation Model for Ultimately-scaled Ballistic Nanowire MOSFETs”, *IEICE Electronics Express*, **10**, 1-8 (2012).
4. Y. Kamakura, T. Himukashi, H. Tsuji, and K. Taniguchi, “Characteristics of Hot Hole Injection, Trapping, and Detrapping in Gate Oxide of Polycrystalline Silicon Thin-Film Transistors,” *Jpn. J. Appl. Phys.*, **51**, 02BC05 (1–4), 2012 (DOI: 10.1143/JJAP.51.02BC05)
5. N. Mori, H. Minari, S. Uno, H. Mizuta, and N. Koshida, “Strain effects on avalanche multiplication in a silicon nanodot array,” *Jpn. J. Appl. Phys.*, **51**, 04DJ01 (1-5), 2012. (DOI: 10.1143/JJAP.51.04DJ01)
6. M. Uematsu, K. M. Itoh, G. Milnikov, H. Minari, and N. Mori, “Discrete distribution of implanted and annealed arsenic atoms in silicon nanowires and its effect on device performance,” *Nanoscale Research Letters* **7**, 685 (1-6), 2012. (DOI: 10.1186/1556-276X-7-685)
7. T. Kamioka, H. Imai, Y. Kamakura, K. Ohmori, K. Shiraishi, M. Niwa, K. Yamada, T. Watanabe, “Current fluctuation in sub-nano second regime in gate-all-around nanowire channels studied with ensemble Monte Carlo/molecular dynamics simulation,” *Technical Digest of International Electron Devices Meeting*, pp. 399-412, 2012. (DOI: 10.1109/IEDM.2012.6479058)
8. M. Uematsu, K. M. Itoh, G. Milnikov, H. Minari, and N. Mori, “Simulation of the Effect of Arsenic Discrete Distribution on Device Characteristics in Silicon Nanowire Transistors,” *Technical Digest of International Electron Devices Meeting*, pp. 709-712, 2012. (DOI: 10.1109/IEDM.2012.6479137)
9. K. Kukita, I. N. Adisusilo, and Y. Kamakura, “Impact of Quasi-Ballistic Phonon Transport on Thermal Properties in Nanoscale Device: A Monte Carlo Approach,” *Technical Digest of International Electron Devices Meeting*, pp. 411-414, 2012.

(DOI: 10.1109/IEDM.2012.6479061)

10. N. Mori, M. Tomita, H. Minari, T. Watanabe, and N. Koshida, "Disorder-induced enhancement of avalanche multiplication in a silicon nanodot array," *Jpn. J. Appl. Phys.*, **52**, 04CJ04 (1-4), 2013. (DOI: 10.7567/JJAP.52.04CJ04)
11. G. Mil'nikov and N. Mori, "Random evolution approach to universal conductance statistics," *Phys. Rev. B*, **87**, 035434 (1-4), 2013. (DOI: 0.1103/PhysRevB.87.035434)
12. K. Shimoida, Y. Yamada, H. Tsuchiya, and M. Ogawa, "Orientational dependence in device performances of InAs and Si nanowire MOSFETs under ballistic transport," *IEEE Trans. Electron Devices*, **60**, 117-122, 2013. (DOI: 10.1109/TED.2012.2228199)
13. K. Shimoida, H. Tsuchiya, Y. Kamakura, N. Mori, and M. Ogawa, "Performance comparison of InAs, InSb, and GaSb n-channel nanowire metal-oxide-semiconductor field-effect transistors in the ballistic transport limit," *Appl. Phys. Express*, **6**, 034301, 2013. (DOI: 10.7567/APEX.6.034301)
14. K. Nagai, H. Tsuchiya, and M. Ogawa, "Channel length scaling effects on device performance of junctionless field-effect transistor," *Jpn. J. Appl. Phys.*, **52**, 044302, 2013. (DOI: 10.7567/JJAP.52.044302)
15. J. Hattori and S. Uno, "Impact of Isotope Doping on Phonon Thermal Transport in Silicon Nanowires", *Jpn. J. Appl. Phys.*, **52**, p. 04CN04 (2013).
16. H. Cheng, S. Uno, T. Numata, and K. Nakazato, "Analytic Compact Model of Ballistic and Quasi-Ballistic Cylindrical Gate-All-Around Metal-Oxide-Semiconductor Field Effect Transistors Including Two Subbands", *Jpn. J. Appl. Phys.*, to be published.
17. T. Numata, S. Uno, Y. Kamakura, N. Mori, and K. Nakazato, "Analytic Circuit Model of Ballistic Nanowire Metal-Oxide-Semiconductor Field-Effect Transistor for Transient Analysis", *Jpn. J. Appl. Phys.*, to be published.
18. T. Numata, S. Uno, J. Hattori, G. Mil'nikov, Y. Kamakura, N. Mori, and Kazuo Nakazato, "A Self-consistent Compact Model of Ballistic Nanowire MOSFET with Rectangular Cross Section", *IEEE Trans. Electron Devices*, to be published.