

「次世代エレクトロニクスデバイスの創出に資する革新材料・プロセス研究」  
平成20年度採択研究代表者

H24 年度  
実績報告

鳥海 明

東京大学大学院・工学系研究科・教授

Ge High-k CMOS に向けた固相界面の理解と制御技術の開発

## §1. 研究実施体制

(1)「鳥海」グループ(東京大学)

① 研究代表者:鳥海 明 (東京大学大学院工学系研究科、教授)

② 研究項目

1. Ge/GeO<sub>2</sub> 界面の研究
2. Ge/High-k 界面の研究
3. Ge/Metal 界面の研究
4. Ge MISFET のモビリティの研究

## § 2. 研究実施内容

(文中に番号がある場合は(3-1)に対応する)

現在までに、主に Ge ゲートスタック界面の研究開発をすすめ、その理解に基づいて高性能 Ge CMOS の実証のための基本技術構築を目指してきた。H24 年度は本研究領域をすすめる中から多くの新しい発見が見つけられた。従来から積み上げてきた基礎技術が新しい芽を吹き出すという循環になっていると思われる。特に、1) 従来より低温での高圧酸化は今までの結果とは大きく異なる結果を示した。また酸素ラジカルを用いて Pure GeO<sub>2</sub> 膜としてはきわめて EOT の薄い MOS キャパシタ動作を実証した。2) High-k 膜として、窒化膜の検討を行い、窒化膜の熱処理に関して不活性ガスアニールという新しい手法を示した、3) 金属と Ge のショットキー特性に関して、挿入絶縁膜厚さ依存性から二つの競合過程の存在を明瞭に示した、4) Ge MOSFET のモビリティに関しては、数値を向上させるという技術よりも、a) Ge 表面の平坦化、b) pn 接合リークに関するイオン注入技術による欠陥形成、に関してきわめて新しい結果が得られた。以下、それぞれに対して説明する。

### 1. Ge/GeO<sub>2</sub> 界面の研究

Ge 基板上の GeO<sub>2</sub> 形成に関しては、高圧酸化法を用いて圧倒的に良好な界面を実現してきたが微細化に向けた薄膜化が難しい。ここを打破するために、下記の二点に関して検討を行った。酸化膜の形成には酸化温度と酸素圧力が重要である。従来は比較的高温で高圧酸化を行ってきたが、酸化レートを抑えるために比較的低温で Ge 基板の高圧酸化を行ったところ、一定時間後の酸化膜厚は圧力が高いと減少することがわかった<sup>1)</sup>。この結果を用いて高圧酸化を行うことで、良質の GeO<sub>2</sub> の実現と薄膜化(CET~1.6 nm)を両立できた。さらに酸化反応そのものを制御するという観点から、酸素ラジカルによって Ge 基板を酸化することによって(350°C)、CET~1.9 nm を実現できた。SiO<sub>2</sub> に関する結果を考えると、EOT=1.5 nm あたりの値は GeO<sub>2</sub> にとつてはほぼ限界的な膜厚とも考えられ単独膜としての報告例は無い。

### 2. Ge/High-k 界面の研究

Ge に Scalable な High-k 膜として何を選択し、どのように形成するかを再考し、アルミニウム窒化膜の検討をすすめた。特に Al<sub>2</sub>O<sub>3</sub> と AlN を比較しながらすすめた。酸素を窒素に変えることによって、大きくは価電子帯構造が変化し伝導帯は Al 側で主に変わる。また両材料とも酸素透過性がきわめて小さいという EOT を下げるためには大変大きなメリットがある。ところが Al<sub>2</sub>O<sub>3</sub> を 2 nm 程度の厚になると酸素が界面まで透過し GeO<sub>2</sub> 界面層を形成してしまう。ところが AlN の場合には、膜のアニールを O<sub>2</sub> ではなく N<sub>2</sub> で行うことができる利点がある。一方で、Ge 膜上の GeN 膜を真空中でアニールすると N<sub>2</sub> が脱離することが知られている。これは界面を劣化させる。そこで高圧酸化機構における結果を考慮して、高圧窒素ガスアニールを施し、きわめて良い MOS の CV 特性を得ることができた。この部分をさらに調べることで、窒化膜は実は酸窒化膜であり、窒素は酸素の脱離を抑えつつ、高圧窒素で N<sub>2</sub> 脱離を抑制していることがわかってきた<sup>2)</sup>。

### 3. Ge/Metal 界面の研究

Schottky 界面の極薄酸化膜挿入による Fermi-level Pinning の制御に関しては、すでに多くの実験を行ってきた。極薄酸化膜の挿入には現象論的には二つの効果が重畳されている。一点はショットキー障壁値の変化であり、もう一点は挿入絶縁膜の抵抗である。この絶縁膜の厚さの効果をシステマティックに調べるために、スパッタ製膜中にマスクを導入して連続的に膜厚を変化させた。絶縁膜抵抗に関しては、絶縁膜厚と絶縁膜の Ge に対するエネルギー障壁によってほぼ決まるはずである。典型的には  $\text{GeO}_2$  膜と  $\text{TiO}_2$  膜に関して調べたところ、以下の二点が明瞭に示された。一つは、絶縁膜厚に対して抵抗の最小値が存在する、二点目はその最小値は  $\text{TiO}_2$  膜の方が著しく小さい。 $\text{TiO}_2$  膜が Ge に対してほぼ障壁を持たないので、上記の結果は上記二つの競合過程の結果である事を明瞭に示している。

### 4. Ge MISFET のモビリティの研究

Ge FET のピークモビリティの向上に関しては、すでにバルクの半分の値を実現しており、Si に比べて電子で 2.5 倍程度の値を報告している。ピークモビリティの値に関しては、界面準位をできる限り減少させることが重要であることがわかっており、本年度は少し遠回りになるが、きわめて基本的な Ge 基板表面の平坦化に関して調べた。ウェット処理による基板平坦化ではなく、高温  $\text{H}_2(100\%)$  処理を行なった。特に(111)面における表面は、 $500\sim 700^\circ\text{C}$  程度でアニールすることで原子レベルに平坦化することがわかった<sup>3)</sup>。図1に示すように、Step & Terrace 構造が明瞭に観察され、またそのステップの高さはまさに(111)面におけるステップを反映したものになっていることがわかった。テラス領域においては AFM レベルではほとんど凹凸は見られない。このメカニズムに関して、水素による表面原子のマイグレーションと表面のエッチングによって原子レベル平坦化が実現されていると考えられる。

AFM像 0.7 $\mu\text{m}$ □

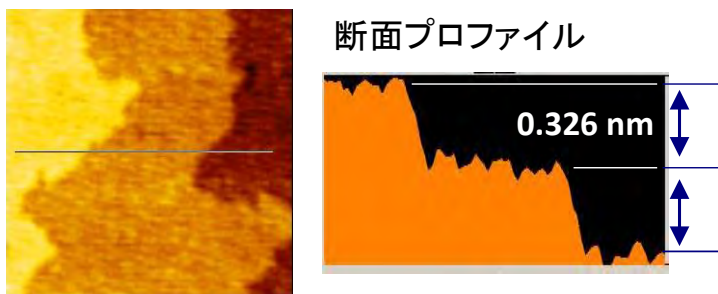


図1. Ge(111)表面の AFM 像。(a)  $0.7\mu\text{m}\times 0.7\mu\text{m}$  領域における表面 AFM 像。(b) (a) 図の線上における断面ステップ像。

さらに Ge 技術の新しい展開として、絶縁膜上の多結晶 Ge を用いた TFT の研究を行った。Ge デバイス形成に対するプロセス温度は Si に比べて約半分の  $500^\circ\text{C}$  程度であり、集積回路の三次元化に向けて、下地 Si デバイスに熱的な影響を考慮せずに上層に Ge デバイスを構築できることは Ge の大きな優位点である。現状ではアモルファス Ge の多結晶化の条件による TFT 特性との関係を調べている。すでに p-TFT において移動度は約  $50\text{ cm}^2/\text{Vsec}$  の値を超える値を示しており、高い潜在的能力を示している。

### §3. 成果発表等

#### (3-1) 原著論文発表

##### ●論文詳細情報

1. D.D. Zhao, C. H. Lee, T. Nishimura, K. Nagashio, G. A. Cheng, and A. Toriumi, "Experimental and Analytical Characterization of Dual-Gated Germanium Junctionless p-Channel Metal–Oxide–Semiconductor Field-Effect Transistors", *Japanese Journal of Applied Physics*, vol. 51, no. 4, 04DA03-1-7, 2012, (DOI: 10.1143/JJAP.51.04DA03).
2. S. K. Wang, H.-G. Liu, and A. Toriumi, "Kinetic study of GeO disproportionation into a GeO<sub>2</sub>/Ge system using x-ray photoelectron spectroscopy", *Applied Physics Letters*, vol. 101, no. 6, pp. 061907-1-3, 2012, (DOI: 10.1063/1.4738892).
3. C. H. Lee, T. Nishimura, T. Tabata, K. Nagashio, K. Kita, and A. Toriumi, "Variation of Surface Roughness on Ge Substrate by Cleaning in Deionized Water and its Influence on Electrical Properties in Ge Metal-Oxide-Semiconductor Field-Effect Transistors", *Japanese Journal of Applied Physics*, vol. 51, no. 10, pp. 104203-1-5, 2012, (DOI: 10.1143/JJAP.51.104203).
4. W. F. Zhang, T. Nishimura, K. Nagashio, K. Kita, and A. Toriumi, "Conduction Band offset in Ge/GeO<sub>2</sub> Stack Determined by Internal Photoemission Spectroscopy", *ECS Transaction*, vol. 50, no. 4, pp. 91-95, 2012, (DOI: 10.1149/05004.0091ecst).
5. C. H. Lee, T. Tabata, T. Nishimura, K. Nagashio, and A. Toriumi, "Oxidation Rate Reduction of Ge with O<sub>2</sub> Pressure Increase", *Applied Physics Express*, vol. 5, no. 11, pp. 114001-1-3, 2012, (DOI: 10.1143/APEX.5.114001).
6. T. Tabata, K. Nagashio, and A. Toriumi, "Effect of High-Pressure Inert Gas Annealing on AlON/Ge Gate Stacks" *Applied Physics Express*, vol. 5, no. 9, pp. 091002-1-3, 2012, (DOI: 10.1143/APEX.5.091002).
7. T. Nishimura, C. H. Lee, K. Nagashio, and A. Toriumi, "Step and Terrace Formation on Ge(111) Surface in H<sub>2</sub> Annealing" *Applied Physics Express*, no. 5, vol. 12, pp. 121301-1-3, 2012, (DOI: 10.1143/APEX.5.121301).

8. W. F. Zhang, T. Nishimura, K. Nagashio, K. Kita, and A. Toriumi, "Conduction band offset at GeO<sub>2</sub>/Ge interface determined by internal photoemission and charge-corrected x-ray photoelectron spectroscopies", Applied Physics Letters, vol. 102, no. 10, pp. 102106-1-3, 2013, (DOI: 10.1063/1.4794417).

(3-2) 知財出願

- ① 平成 23 年度特許出願件数(国内 3 件)
- ② CREST 研究期間累積件数(国内 3 件)