

「次世代エレクトロニクスデバイスの創出に資する
革新材料・プロセス研究」
平成20年度採択研究代表者

H24 年度 実績報告

遠藤 哲郎

国立大学法人東北大学 大学院工学研究科・教授

縦型ボディークャネルMOSFETとその集積プロセスの開発

§1. 研究実施体制

(1)「東北大学 遠藤」グループ

①研究分担グループ長:遠藤 哲郎 (東北大学 大学院工学研究科、教授)
(研究代表者)

②研究項目(箇条書きの簡単なものでかまいません)

- ・縦型ボディークャネル MOSFET のデバイス技術の構築
- ・縦型ボディークャネル MOSFET に基づく回路技術と設計技術の構築
- ・縦型ボディークャネル MOSFET による CMOS 集積回路の集積プロセス技術の構築

(2)「東北大学 小池」グループ

①研究分担グループ長:小池 淳一 (東北大学工学研究科、教授)(主たる共同研究者)

②研究項目(箇条書きの簡単なものでかまいません)

- ・縦型ボディークャネルMOSFETのメタル拡散層形成技術の開発

(3)「東京エレクトロン株式会社 塚本」グループ

①研究分担グループ長:塚本 雄二 (東京エレクトロン株式会社 MRAM プロジェクト準備室、
室長)(主たる共同研究者)

②研究項目

- ・縦型ボディークャネル MOSFET による CMOS 集積回路の材料・プロセス技術の構築

§ 2. 研究実施内容

(文中に番号がある場合は(3-1)に対応する)

本研究は、次世代エレクトロニクスデバイスの創出に資する革新材料・プロセス技術・デバイス技術の開拓のために、デバイスのボディー領域全体を電流駆動領域とする新概念の縦型構造トランジスタのデバイス技術に加えて、その回路設計・材料・プロセス技術までを一貫して開発し、それにより半導体 LSI における新しいユニバーサル技術プラットフォームの実現に挑むものであり、以下の3つの主要課題から構成される。

- ① 縦型ボディーチャンネル MOSFET のデバイス技術の構築
- ② 縦型ボディーチャンネルデバイスに基づく回路技術とその設計技術の構築
- ③ 縦型ボディーチャンネルMOSFETによる CMOS 集積回路の材料・プロセス技術の構築

なお、2011年3月11日の発生した東日本大震災により、中核研究機関である東北大学、及び、試作ラインが大きく被災しその復旧に多くの時間を要したが、その後の JST-CREST を始めとする国内外の皆様の支援と、新たなメンバーの参画により研究開発スケジュールを当初予定よりも前倒しに推進できるまでになりましたことに感謝申し上げます。

① 縦型ボディーチャンネル MOSFET のデバイス技術の構築

縦型ボディーチャンネル MOSFET のデバイス技術の構築に関しては、研究代表者の遠藤哲郎(東北大学)が実施した。今年度は、昨年度までに構築してきたhp32nm世代の縦型ボディーチャンネル MOSFET のデバイス技術に基づいて、当初予定を超えて 10nm 世代までのデバイス技術の確立に向けた取り組みを行うと共に、SRAM、DRAM、NAND メモリへの展開を推し進めると共に、当初予定にはなかった新しいテーマとしてパワーデバイスへの展開も推進した。

デバイス技術に関しては、まず、10nm 世代までの縦型ボディーチャンネル MOSFET における拡散層エンジニアリング技術を研究開発し、カットオフ特性を向上させつつ、効率よく駆動電流をピラー中央に流すようにできる拡散層構造を提案した(原著論文:4)。加えて、シリコンピラー形状がデバイス特性に与える影響を系統的に検討した。その結果、シリコンピラーの形状がばらついても、60mv/dec の Sファクターを維持したまま駆動力としきい値を安定化させるためのデバイス設計指針を初めて明らかにした(国際学会:3)。

本開発の縦型ボディーチャンネル MOSFET に対する知見を SRAM セルへと展開した。縦型ボディーチャンネル MOSFET を Schmitt Trigger 型 SRAM セルに適用しボディーチャンネル動作固有の新しい動作法とそれを実現するセルアレイ法を提案した。その結果、従来の 6T-SRAM セルと比較して、10%のセル面積縮小を実現すると共に、現在の SRAM における最大の課題である SNM(Static Noise Margin)に対して、30%の Hold SNM の向上、65%の Read SNM の向上、30%の Write SNM の向上に成功した(原著論文:3)。さらに、本開発の縦型ボディーチャンネル MOSFET に対する知見を DRAM へと展開した。縦型ボディーチャンネル MOSFET を 1Tr-DRAM セルに適用しボディーチャンネル動作固有の新しい動作法とそれを実現するセルアレイ

イ法を提案し、読み出しセル電流を2倍に増大させつつ1Tr-DRAMセルの最大課題であったリテンション時間の1000倍以上の改善に成功した(原著論文:5)。さらに、新しい電界効果ダイオード方式による縦型1T-DRAMセルを提案し、セルアレイでの反選択ディスタース特性とリテンション特性を同時に向上できることを示した。(原著論文:10、国際学会:5)。また、研究代表自身が2001年に提案した縦型積層型 NAND(3D-NAND)をベースに、高い信頼性の確保を可能にする浮遊ゲート構造に基づく新しいセル構造を提案し、その優れた性能を確認するなど各種縦型メモリセル研究への展開を進めた。特に、3D-NANDの課題であった複雑な配線構造を緩和するSidewall Control Pillar3D-NANDセルを提案し、従来の3D-NANDセルと比較して、60%のセルサイズの縮小と、3D-NANDの最大の課題であるセル間干渉現象を50%以下に抑制できることを示した(原著論文:6、7、国際学会:1(招待)、2)。

加えて、本開発の縦型ボディチャンネルMOSFETに対する知見を当初予定にはなかった新しいテーマとしてパワーデバイスへと展開した(国内学会:1(招待))。

② 縦型ボディチャンネルデバイスに基づく回路技術とその設計技術の構築

縦型ボディチャンネルデバイスに基づく回路技術とその設計技術の構築に関しては、研究代表者の遠藤哲郎(東北大学)が実施した。

今年度は、昨年度までに構築してきた縦型ボディチャンネル MOSFET による集積回路の高効率な回路ネットワークの合成とレイアウトパターンの生成技術など回路設計技術に基づき、大規模集積回路レベルでの実証への展開を進めた。特に、縦型ボディチャンネル MOSFET の各種 IP ライブラリを増強し続けると共に、論理合成のアルゴリズムを見直すことで、自動設計効率のさらなる効率化・高度化を図った。

さらに、縦型 MOSFET 固有の特徴を生かした高速動作回路技術を開発した。特に、しきい値ばらつきを自動的に検出する回路を開発し、その検出結果をロジック回路へフィードバックさせることで、従来回路では誤動作が生じる±100mVのしきい値ばらつきが発生しても24.8GHzでの高速動作が可能であることを示した。(原著論文:2)。

また、本開発の縦型ボディチャンネル MOSFET の回路技術を、当初予定のデジタル回路に加えて、新しいテーマとしてアナログ回路技術を展開した。

まずはじめに、縦型ボディチャンネル MOSFET にて電流ラッチ型の Sense Amplifier (S/A)を開発し、平面型 MOSFET による S/A と比較して、58%の回路面積の抑制と、1.11dBの感度向上を実現した(原著論文:11)。さらに、SRAM 向けの高速度 S/A 回路を開発し、平面型 MOSFET による S/A と比較して、22%の速度向上と、1.11dBの感度向上を同時に実現できることを示した(国際学会:4)。また、大容量 DRAM 向けの高感度 S/A 回路を開発し、平面型 MOSFET による S/A と比較して、センス感度を維持したまま電源電圧を0.25Vから0.75Vへの低電圧化を実現すると共に、2倍以上の高速度センスを達成した(国際学会:6)。そして、S/A回路などのアナログ回路技術に加えて、縦型ボディチャンネル MOSFET による WL デコーダ回路を開発し、1V以下の低電圧 DRAM 向けのコア回路技術を構築した(原著論文:9)。

加えて、縦型ボディーチャンネル MOSFET にて LVDS (Low Voltage differential Signaling) ドライバー回路を開発し、1.8V にて 3mW/Gbps のデータ転送性能を達成し、平面型 MOSFET による回路と比較して 30% の低消費電力化を達成した (原著論文: 8、国際学会: 4)。また、縦型ボディーチャンネル MOSFET の特性を生かした電流再利用型 Level Keeper 電源回路を開発すると共に、NAND メモリの主要電源回路である高効率昇圧回路を開発した (原著論文: 1、国際学会: 1)。

③ 縦型ボディーチャンネル MOSFET による CMOS 集積回路の材料・プロセス技術の構築

縦型ボディーチャンネル MOSFET による CMOS 集積回路の材料・プロセス技術の構築に関しては、研究分担者の小池淳一 (東北大学) と塚本雄二 (東京エレクトロン(株)) と研究代表者の遠藤哲郎 (東北大学) が実施した。東日本大震災の被災をまぬがれた米国 Albany、山梨県韮崎、及び、広島県の試作拠点を最大限に活用して、昨年度までに構築してきた単体 CMOS 縦型ボディーチャンネル MOSFET の基本ユニットプロセス技術・プロセスインテグレーション技術を発展させて、集積回路レベルでのプロセス技術・プロセスインテグレーション技術の開発を進めた。

平成 23 年度は、塚本 Gr は、遠藤 Gr と連携して、昨年までに構築した米国 Albany に拠点を置く TEL テクノロジーセンターアメリカでの新しい試作環境を活用して、300mm ウエハ製造に適用できる (1) 極薄 Higher-K 膜・形成技術の構築、および (2) 20nm 系レベルの極微細シリコンピラー形成技術の開発を行った。まずはじめに、極薄 Higher-K 膜・形成技術の構築としては、従来の HfO_2 単体膜から、さらに誘電率を高くできる ZrO_2 膜を加えた $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ 膜の ALD 形成技術 (TEL 独自技術) を適用し、極微細シリコンピラー部への極薄 Higher-K 膜・形成技術の開発を進めた。これにより、25°C の低温 High-K 製膜プロセスの開発に成功し、約 0.1nm の EOT 薄膜化が実現できることを実証した。加えて、当該絶縁膜の電気特性を評価し、リーク電流密度を 10^{-3} A/cm^2 以下に抑制できることも実証した。次に、20nm 系レベルの極微細シリコンピラー形成技術としては、当初計画の 32nm の微細プロセスをさらに前進させて、当該プロセス技術の高度化を進めた。具体的には、液浸 ArF 露光プロセス、ハードマスク形成プロセス、シリコンピラーエッチングプロセス、ダメージ制御プロセスからなる 25-35nm 世代極微細シリコンピラーのユニットプロセスの高度化を、集積回路レベルの視点からばらつき抑制技術も含めて推進した。

また、東北大学小池 Gr では、これまでの研究において、3 次元トランジスタに配線を形成する際の拡散バリア層形成方法として、化学気相成長法 (CVD) による Mn 酸化物の形成が有効であることを示してきた。その中で、シクロペンタジエニル系前駆体は熱分解温度が 400°C 以上 500°C 以下の温度範囲にあったために、低温 (300°C 以下) におけるバリア層の形成は、前駆体の熱分解によるのではなく、前駆体と基板との反応によるものであることを明らかにしてきた。また、基板に吸着・吸収された水分の存在によって、バリア層の組成と構造が変化することも明らかにした。しかし、吸着・吸収された水分量を制御することは非常に困難であるため、水分の影響を受けない熱分解による成膜法として、本年度は、低い熱分解温度を有する可能性

があるアミディネート系前駆体(AMD-Mn)を用いて、熱分解による Mn の成膜の可能性を調査した。そして、350℃で形成される MnOx 層は、前駆体と基板の反応によるものであり、熱分解によるものではなく、熱分解温度は350℃より高い温度であることを明らかにした。加えて、基板温度を400℃とした試料の解析も行い、AMD-Mnの熱分解温度は350℃～400℃であることが明らかにした。この結果は、縦型ボディチャンネル MOSFET 向けの低抵抗シリサイド・コンタクトプロセスにとって有益な知見である。

加えて、遠藤 Gr.は、上記の材料技術・ユニットプロセス技術・インテグレーション技術を総合的に検討して、縦型ボディチャンネル MOSFET による大規模集積回路の試作に向けて、試作プロセスフローを策定し、300mmウエハーによる試作を開始した。

§3. 成果発表等

(3-1) 原著論文発表

●論文詳細情報

1. Satoru Tanoi and Tetsuo Endoh, “A Wide-Range Tunable Level-Keeper Using Vertical Metal-Oxide-Semiconductor Field-Effect Transistors for Current-Reuse Systems”, Japanese Journal of Applied Physics, Vol. 51, No. 4, pp.04DE11-1 – 04DE11-7, April, 2012 (DOI:10.1143/JJAP.51.04DE11)
2. Hyoungjun NA and Tetsuo ENDOH, “Current Controlled MOS Current Mode Logic with Auto-Detection of Threshold Voltage Fluctuation”, IEICE TRANSACTIONS on Electronics, Vol. E95-C, No. 4, pp.617-626, April, 2012 (DOI:10.1587/transele.E95.C.617)
3. Hyoungjun NA and Tetsuo ENDOH, “A Schmitt Trigger Based SRAM with Vertical MOSFET”, IEICE TRANSACTIONS on Electronics, Vol. E95-C, No.5, pp.792-801, May, 2012 (DOI:10.1587/transele.E95.C.792)
4. Takuya IMAMOTO and Tetsuo ENDOH, “Source/Drain Engineering for High Performance Vertical MOSFET”, IEICE TRANSACTIONS on Electronics, Vol. E95-C, No.5, pp.807-813, May, 2012 (DOI:10.1587/transele.E95.C.807)
5. Yuto NORIFUSA and Tetsuo ENDOH, “Evaluation of Performance in Vertical 1T-DRAM and Planar 1T-DRAM”, IEICE TRANSACTIONS on Electronics, Vol. E95-C, No.5, pp.847-853, May, 2012 (DOI:10.1587/transele.E95.C.847)
6. Moon-Sik SEO and Tetsuo ENDOH, “FG Width Scalability of the 3-D Vertical FG NAND Using the Sidewall Control Gate (SCG)”, IEICE TRANSACTIONS on Electronics, Vol. E95-C, No.5, pp.891-897, May, 2012 (DOI:10.1587/transele.E95.C.891)
7. Moon-Sik Seo, Bong-Hoon Lee, Sung-Kye Park, and Tetsuo Endoh, “Novel Concept of the Three-Dimensional Vertical FG NAND Flash Memory Using the Separated-Sidewall Control Gate”, IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol.59, No.8, pp.2078-2084, August, 2012 (DOI:10.1109/TED.2012.2200682)

8. Satoru Tanoi and Tetsuo Endoh, “A 3-mW/Gbps 1.8-V Operated Current-Reuse Low-Voltage Differential Signaling Driver Using Vertical Metal–Oxide–Semiconductor Field-Effect Transistors”, Japanese Journal of Applied Physics, Vol.52 No.4. , pp. 04CE03-1-04CE03-7, April. 2013
(DOI: 10.7567/JJAP.52.04CE03)
9. Hyoungjun Na and Tetsuo Endoh, “A Multi-pillar Vertical Metal–oxide–semiconductor Field-effect Transistor Type Dynamic Random Access Memory Core Circuit for Sub-1 V Core Voltage Operation without Overdrive Technique”, Japanese Journal of Applied Physics, Vol.52 No.4. , 04CE08-1-04CE08-8, April. 2013
(DOI: 10.7567/JJAP.52.04CE08)
10. Takuya Imamoto and Tetsuo Endoh, “Novel Field Effect Diode type Vertical Capacitorless 1T-DRAM Cell with Negative Hold Bit Line Bias Scheme for Improving the Hold Characteristics”, Japanese Journal of Applied Physics, Vol.52. 2013 (in press)
11. Hyoungjun NA and Tetsuo ENDOH, “A High Performance Current Latch Sense Amplifier with Vertical MOSFET”, IEICE TRANSACTIONS on Electronics, Vol. E96-C, No.5, May, 2013 (in press)
12. A. Kurokawa, Y. Sutou, J. Koike, T. Hamada, K. Matsumoto et. al., “Simultaneous formation of a metallic Mn layer and a MnO_x/MnSixO_y barrier layer by chemical vapor deposition at 250 oC”, Japanese Journal of Applied Physics, vol. 52 (2013) accepted.

(3-2) 知財出願

- ① 平成 24 年度特許出願件数(国内 1 件)
- ② CREST 研究期間累積件数(国内 10 件)