

菅原 聡

東京工業大学像情報工学研究所・准教授

ハーフメタル強磁性体を用いたスピン機能 MOSFET の開発

§ 1. 研究実施体制

(1) 「東工大」グループ

① 研究代表者: 菅原 聡 (東京工業大学像情報工学研究所、准教授)

② 研究項目

RTA によるハーフメタル・フルホイスラー合金の形成とその S-MOSFET への応用

PS-MOSFET の性能評価と機能実証

PS-MOSFET, S-MOSFET を用いた高機能ロジックの提案・設計と性能予測

(2) 「NIMS」グループ

① 主たる共同研究者: 猪俣浩一郎 ((独) 物質・材料研究機構、名誉フェロー)

② 研究項目

巨大 TMR 比ハーフメタル MTJ の作製, MR 比の大きい CPP-GMR 素子の作製および低電流
スピン注入磁化反転技術開発

PS-MOSFET の作製と機能実証

PS-MOSFET を用いた高機能ロジックの設計・性能予測 (協力)

(3) 「東大」グループ

① 主たる共同研究者: 田中雅明 (東京大学大学院工学系研究科、教授)

② 研究項目

PS-MOSFET の作製と機能実証

§2. 研究実施内容

本研究課題は、以下の3項目から構成される。以下、スピン MOSFET を S-MOSFET, 擬似スピン MOSFET (Pseudo-spin-MOSFET) を PS-MOSFET と略す。研究項目は①ハーフメタル強磁性体ソース/ドレイン S-MOSFET の開発, ②強磁性トンネル接合(MTJ)を用いた PS-MOSFET の開発 (フルホイスラー合金 MTJ の開発を含む), ③スピン機能 MOSFET (S-MOSFET, PS-MOSFET) を用いた高機能集積回路技術の確立の 3 つである。それぞれの研究項目について、研究計画と成果を示す。

①ハーフメタル強磁性体ソース/ドレイン S-MOSFET の開発

【研究のねらい】スピン MOSFET を実現するための重要課題は、ハーフメタル強磁性体 (HMF) による強磁性ソース/ドレイン (S/D) 技術の開発である。スピン MOSFET はそのデバイス構造から近年注目を集めているメタル S/D MOSFET の一種であると考えられるが、CMOS プロセスに整合できる HMF メタル S/D の形成と HMF/Si 接合におけるバリアハイト制御が重要な課題になる。そこで、RTA によるシリサイド化を用いたフルホイスラー合金の形成方法を確立し、この方法によって高品質のフルホイスラー合金が形成できることを示す。このために重要となるフルホイスラー合金の規則構造の評価方法についても合わせて開発を行う。また、HMF/Si 接合におけるバリアハイトの制御が重要な課題になるが、これについても CMOS 技術で検討されている方法を適応する。すなわち、ショットキー接合におけるドーパントの界面偏析と、薄いトンネル膜を用いたデピン構造を採用してバリアハイトの制御を行う。(複数の方法でバリア高さ制御を行うのは、この系がこれまでにない新しいものであることから探索的アプローチが必要な状況にあるためである。)次に、これらの接合構造を用いて、Si 中へのスピン注入を行い、Si チャネル内でのスピン伝導の精密な評価を行う。このためのスピン注入/伝導の評価方法も確立する。最終的には、これらの接合構造を S/D としたスピン MOSFET の動作実証を行う。

①-1 RTA によるハーフメタル・フルフルホイスラー合金の形成(東工大)

【研究計画と実施方法】CMOS プロセスに整合する手法でハーフメタル強磁性体(HMF)を形成する。SOI(Si-on-insulator)基板を用いて、Rapid thermal annealing (RTA)によるシリサイド化反応を利用することによって、HMF となる $L2_1$ 構造フルホイスラー合金の構造制御・物性制御などを行う。RTA による $L2_1$ 構造フルホイスラー合金 Co_2FeSi (CFS)の形成法をベースとして、(i)フルホイスラー合金のハーフメタル性に重要な規則度の評価方法を確立する。(ii)CFS に含まれるIV族元素 Si の一部をIII族元素である Al などに換えることによって($Co_2FeSi_xAl_{1-x}$; CFSA), フェルミ準位の制御を行う。また、ショットキー接合のデピンニングのため、(iii)絶縁膜上に CFS, CFSA を形成する。このために、非晶質絶縁体上に形成したアモルファス Si を用いて、上記と同様の手法によってフルホイスラー合金を形成する方法を確立する。さらに、(iv)Si 基板上へフルホイスラー合金の直接成長(形成)の可能性についても検討する。

【これまでの結果】RTA を用いた SOI 基板上、非晶質絶縁膜上へのフルホイスラー合金の形成技術を確立し、さらに規則度の評価技術を確立して、本方法によって極めて高品質(世界最高水準)の CFS が形成できることを明らかにした。また、RTA によって CFSA の形成も実現できることを示した。

【H23 年度研究成果】フェルミレベルを制御できる CFSA の RTA による形成について検討を進めた。CFSA は Al の組成によって、そのフェルミレベルをマイノリティギャップの中心近傍に配置させることが可能なため、スピン注入に適したハーフメタル材料である。本研究課題では CFS の開発によって得られた知見を CFSA の形成を行う。昨年度は SOI 上に $Co-Fe-Al$ 合金($Co_2FeAl_{0.5}$)をスパッタ堆積し、RTA によってシリサイド化する方法を提案し、この方法を用いれば $L2_1$ 構造の CFSA が形成できることを明らかにした。本年度は、他の様々な積層構造の検討を行い、先に述べた $Co-Fe-Al$ 合金/SOI 構造を用いることで、最も高品質な CFSA 薄膜を形成できることを明らかにした(図 1)。

また、CFSA では Al の導入によって仕事関数が低くなっていることが期待できる(この着眼点も

世界初). RTA によって形成した CFSA をゲート電極とした MOS キャパシタを作製して, このフラットバンド電圧の変化から, AI の導入による CFSA の仕事関数制御をはじめて明らかにした(図 2). 次節で述べるトンネルバリア上での高品質ホイスラー合金の作製と合わせれば, 仕事関数制御ハーフメタル S/D を用いた究極のスピンの MOSFET(図 3)を実現できる.

①-2 フルホイスラー合金/Si 接合の形成とバリアハイト制御(東工大)

①-3 フルホイスラー合金メタル・ソース/ドレイン MOSFET の試作とそのトランジスタ性能評価(東工大)

【研究計画と実施方法】強磁性体から半導体へのスピン注入では, 強磁性体/半導体接合におけるバリアハイトの制御が重要になる. 本研究課題ではフルホイスラー合金/シリコン界面に形成されるショットキー障壁を制御するため, (i)シリサイド化反応におけるドーパントの偏析現象を利用する. 低エネルギーのイオン注入などによって Si 表面にドーパントを導入してから, RTA によるシリサイド化反応によってフルホイスラー合金を形成する. このとき, 高濃度のドーパントがフルホイスラー合金とシリコンとの接合界面の非常に狭い範囲内に偏析する. この高濃度に偏析したドーパントの効果によって実効的なショットキー障壁高さを下げる(または障壁幅を極端に薄くする). また, (ii)フルホイスラー合金と Si の界面に非常に薄い絶縁膜を導入してデピンニングを行い, 実効的なバリアハイト制御を試みる.

CFS, CFSA を S/D とした MOSFET を作製し, この電気特性から CFS, CFSA/Si 接合に関連する評価を行う. プロセスが容易であることなどから, トランジスタ構造としては SOI 基板を用いたボトムゲート構造とする. このデバイスのオン特性およびオフ特性から CFS(A)/Si 接合に関する諸特性および接合のバリアハイト制御の効果を検証する.

【これまでの結果】CFS のシリサイド化によるドーパント(P)の界面偏析を利用したショットキーコンタクトを利用した MOSFET を作製して, ドーパントの界面偏析によって CFS/Si 界面ショットキーバリア高さを低減できることを明らかにした. この方法によって CFS をソース/ドレインとしたスピン MOSFET を試作して, そのトランジスタ動作を確認した. また, トンネルコンタクトに関しては, アモルファス Si を用いた非晶質絶縁膜上への CFS の直接形成法を用いて, トンネルコンタクトを形成した. 特に SiON をバリアに用いた場合には, 遷移金属の拡散を抑止できる可能性があることを示した.

【H23年度研究成果】本年度からハーフメタル S/D 構造としてより具現性の高いトンネルコンタクトの開発に注力した. Si 基板のラジカル酸窒化による超高真空化でのトンネルバリアの形成と真空一貫による CFS の形成によって高品質のトンネルコンタクトの形成を試みた. ECR プラズマ CVD による SiON 膜をトンネルバリアとして用いた場合には, 効果的に遷移金属元素のトンネルバリアの透過を抑止できたが, 若干の透過が確認できていた. Si 基板表面のラジカル酸窒化によって SiON を形成したところ, CFS の形成を行っても遷移金属元素の Si 基板中への拡散は完全に抑止できた(図 4). 形成した CFS は SOI 基板を用いて形成したものと同程度の極めて高品質な L21 構造であった. また, トンネルバリアとの界面において CFS の結晶構造の乱れは観測されず, 極めて急峻な界面構造が形成できることを確認できた(図 5).

次に, 実効的なバリア高さの制御を行うため, n^+ -Si 層をラジカル酸窒化し CFS の形成を試みた. この場合では CFS の形成時に遷移金属がトンネル膜中を多量に拡散して高品質な CFS 及びトンネル構造は形成できなかった. そこで, n^+ -Si 層上に i -Si を薄く成長してトンネル構造の形成を試みた. この i -Si の膜厚は RTA によるドーパントの拡散を考慮してシミュレーションから決めた. 本方法を用いることにより, n^+ -Si 層上でも高品質な CFS を用いたトンネル構造を形成することができた.

①-4 フルホイスラー合金/Si 接合によるスピン注入とスピン伝導の実現(東工大)

【研究計画と実施方法】CFS, CFSA/Si 接合を S/D としたスピン注入/スピン伝導の評価デバイスを作製し, スピンバルブ効果, Hanle 効果などから, スピン注入/スピン伝導を評価する. 高効率のスピン注入を実現できるフルホイスラー合金/Si 接合の構造や, CFSA のフェルミエネルギー制御の

最適化を行う。特に、スピン注入/伝導の評価の必要十分条件である Hanle 効果による多重振動信号を効率的に観測できるデバイス構造を提案・設計して、このデバイスを実現する。Hanle 効果の観測を行い、スピン注入・伝導の詳細を明らかにする。

【これまでの結果】非局所/局所配置マルチターミナルデバイスを作製し、非局所配置におけるスピニングナルを観測したが、検討の結果これはスピン注入によるものではなく、強磁性電極の異方性磁気抵抗(AMR)効果である可能性が高いことがわかった。正確にスピン注入/スピン伝導の評価を行うためには Hanle 効果に基づく評価が必要不可欠であるため、Hanle 効果からスピン注入・スピン伝導を的確に評価できる新構造磁気伝導評価デバイスを提案・設計した。

【H23年度研究成果】スピン MOSFET をベースにした Hanle 効果による多重振動信号を検出できるデバイスを新たに提案して、詳細に解析を行った。従来、スピン検出には4端子非局所デバイスや3端子スピン蓄積デバイスが用いられてきたが、これらの方法では Hanle 効果に基づく多重振動信号を得ることは難しい。一方、2端子では多重振動信号が得られる可能性があるがこれまでほとんど検討されていなかった。そこで、4端子非局所デバイスのもつスピン流の高効率抽出と2端子デバイスのこのような特徴をあわせもったスピン MOSFET 型の Hanle 効果スピンデバイスを提案した。詳細な理論解析から、このデバイスでは高感度に Hanle 効果に基づく多重振動信号を得ることができて、しかもこの振動周期は MOS 反転チャネルにおける実効移動度と同じユニバーサリティを持つことを明らかにした(図 6)。この特徴は MOS 反転チャネルにおける各種散乱機構によるスピンダイナミクスを定量評価することを可能とする画期的なものである。

② 強磁性トンネル接合を用いた PS-MOSFET の開発

【研究のねらい】本研究項目では MTJ と通常の MOSFET を組み合わせた PS-MOSFET を作製し、機能実証を行う。PS-MOSFET は既存の MRAM 技術を利用して容易にスピントランジスタを実現できる技術である。PS-MOSFET は究極的には S-MOSFET に及ばないが、これを用いれば、“スピントランジスタ”を早期にしかも比較的容易に CMOS に取り込むことが可能となる。PS-MOSFET によってスピンの自由度を用いた新しい Si 集積エレクトロニクスの基礎体系を創出することができることを示す。CMOS 集積回路への応用を念頭に高性能 MTJ を含む PS-MOSFET 技術の開発を行う。

②-1 巨大 TMR 比ハーフメタル MTJ の作製(NIMS)

【研究計画と実施方法】これまでフルホイスラー合金を用いた高 TMR 比の MTJ はすべて単結晶の MgO(100)基板上に作製されてきたが、MOSFET との集積化を試みるため、SiO₂(熱酸化膜上または層間絶縁膜)上に高 TMR 比の MTJ を作製する技術開発を行う。方法としてまず、SiO₂上に(100)配向したフルホイスラー合金を作製するためのバッファ層の検討を行うとともに、最適熱処理条件を探る。その結果を受けて、TMR の大きい MTJ を SiO₂基板上に作製する技術を開発する。フルホイスラー合金としてはまずは 100%の TMR を得ることを目的に、開発済みの Co₂FeAl_{0.5}Si_{0.5}(CFAS)を使用する。その後、プロセス改善とともにフルホイスラー合金の組成を検討し、TMR の向上を目指す。

【これまでの結果】SiO₂基板上に MgO バッファおよび CFAS 薄膜を形成し熱処理温度を最適化することで、高度に(100)配向した CFAS 薄膜の作製に成功した。この結果に基づき、Ta/IrMn/CoFe/CFAS/MgO/CFAS/MgO バッファ/SiO₂/Si MTJ を作製し、CFAS に対する熱処理温度を最適化することで、室温で 130%という、期初目標(100%)を上回る高い TMR 比を得た。TMR のさらなる向上をはかるためには、まず CFAS がハーフメタルであることを検証しておく必要がある。そのため、AlO_xバリアを用いて CoFe/AlO_x/Mg/CFAS/Cr MTJ を MgO(100)基板上に作製した。TMR の温度変化および微分コンダクタンス dI/dV のバイアス電圧依存性を解析した結果、CFAS のスピン分極率 $P = 0.93$ 、ハーフメタルバンドギャップ 0.6 eV、およびフェルミ準位がギャップ中央に存在する結果を得て、CFAS のハーフメタル性を実証した。この実験で、バリアは MgAl₂O₄ スピネル構造であることを発見した。引き続き室温で巨大 TMR を実現すべく組成の検討を行い、Co₂FeAl(CFA)ホイスラー合金を用いたスピンバルブ MTJ において、10 K で 785%、室温で 360%(ス

ピンバルブ型 MTJ として世界最高)の巨大 TMR を得た。

【H23年度研究成果】B2 構造を有しコヒーレントトンネルし易い CFA ホイスラー合金を用いることで、MgO をバッファとした SiO₂ 基板上にエピタキシャル MTJ を作製し、室温で 170% という TMR の向上を得ることができた(図 7)。さらに、MgO バリア厚さを薄くし RA を小さくした RA~15 Ω μm² の MTJ において 100% を超える TMR を実現し、当初目標をクリアした。

②-2 低電流スピン注入磁化反転技術の開発(NIMS)

【研究計画と実施方法】

本研究課題ではフルホイスラー合金に対して、スピントランスファートルク(STT)に基づくスピン注入磁化反転(Current-induced magnetization switching: CIMS)を実現する。CIMSはナノ磁性体の磁化反転のスケールリングを可能にするスピントロニクス革新的な技術であるが、一般にスイッチングのための臨界電流密度が10⁷A/cm²程度と大きいことが課題である。本研究は、(a)開発したフルホイスラー合金を用いてMR比の大きいCPP-GMR材料を開発、その微小素子に対してCIMSの低電流密度化を実現し、S-MOSFETへの適用をはかる。(b)開発したフルホイスラー合金を用いて低抵抗でTMR比の大きいMTJ素子を作製し、CIMSを実現してPS-MOSFETへの適用化をはかる。

【これまでの結果】まず、CIMS を観測するための微細加工技術および評価装置・技術の立ち上げを行った。次に、Ag スペーサを用いた CoFe/CFAS/Ag/CFAS/Cr/MgO(100)エピタキシャルスピンバルブ型 CPP-GMR 素子を作製し、熱処理条件を最適化することで室温で 12.5% の大きな MR 比を実現した(従来の CoFe フリー層を用いた CPP-GMR 素子の MR 比は 1% 未満)。この結果を受け、2.5 nm 厚の薄い CFAS を用いた CPP-GMR ナノピラーを作製し、CIMS の実験を行った。MR 比が 7~9% の CPP-GMR 素子に対し CIMS の臨界電流密度 J_{c0} を評価した結果、J_{c0} = 9.3 × 10⁶ A/cm² を得た。この J_{c0} は従来の Co/Cu/Co CPP-GMR 素子に対する値の 20% という非常に小さな値であり、CFAS フルホイスラー合金は CIMS の低電流密度化に有効であることを実証した。ホイスラー合金を用いて CIMS を観測したのはこれが世界初である。

【H23年度研究成果】CFA ホイスラー合金をフリー層に用いた Cr/CFA/MgO/CoFe/IrMn スピンバルブ低抵抗 MTJ を作製し、RA = 3.7 Ω μm²、TMR = 80% を得た。この MTJ を微細加工し接合面積 1.15 × 10⁻² μm² の素子について、ホイスラー合金としては世界で初めてスピン注入磁化反転を実現し、今年度目標を達成した(図 8)。得られた磁化反転の真性電流密度は J_{c0} = 1.53 × 10⁷ A/cm² と従来の CoFeB/MgO 系と同等であったが、更なる低減に向けての指針も得た。また、PS-MOSFET の機能検証を行うための MTJ を多数作製し、東大-東工大 G に提供した。

②-3 PS-MOSFET の作製と機能実証(東工大・NIMS・東大)

【研究計画と実施方法】MTJ と MOSFET を組み合わせた PS-MOSFET を作製し、機能実証を行う。デバイスデザインには本研究課題で開発するシミュレータを用いる。MTJ の開発段階にあわせて、PS-MOSFET を試作し、機能評価を行う。まずは、TMR のみに着目して機能実証を行う。その後、スピン注入磁化反転による機能実証を目指す。

はじめに、SOI 基板を用いたボトムゲート構造 MOSFET を用いて MTJ との集積化を行い、基本的な機能実証を行う。次いでトップゲート構造 MOSFET を用いた構造に変更する。このトップゲート構造 MOSFET は外注ベンダーによるプロセスを用いる。役割分担は、東工大:PS-MOSFET の設計および評価、NIMS:MOSFET チップ上への MTJ の形成、東大:MOSFET と MTJ のプロセスインテグレーションである。

スピン注入磁化反転 MTJ の CMOS チップ上での微細加工・集積化の開発にはある程度の時間を必要とするため、NIMS グループでスピン注入磁化反転 MTJ 素子が実現できた後は、この MTJ と CMOS 基板とをハイブリッド型で集積を行い、機能実証を行う。これは真の意味での集積化ではないが、まずはこの方法でスピン注入磁化反転 MTJ を用いた PS-MOSFET の機能実証を早期にデモンストレーションする。次いで、CMOS 基板上での MTJ のインテグレーションを目指す(これは下記②-4 および③-3 で実施予定)。

【これまでの結果】SOI 基板を用いたボトムゲート構造 MOSFET とフルホイスラー合金を用いた磁

場書き換え型 MTJ の集積プロセスを開発して、PS-MOSFET の作製を行い、そのスピントランジスタ動作を実証した。MOSFET 型のスピントランジスタでは世界初の動作実証である。

【H23年度研究成果】ベンダーCMOS プロセスによる数百ナノメートル・プロセスのトップゲート MOSFET とスピン注入磁化反転 MTJ とをハイブリッド型集積化を行い、スピン注入磁化反転型 PS-MOSFET の機能実証を行った。ゲートバイアスによってスピン注入磁化反転と通常のスピントランジスタ特性を分離できる擬似スピン MOSFET 動作を実現した(図 9)。今後、詳細に測定を行い、我々の開発した PS-MOSFET の設計指針の実証を行う。

②-4 PS-MOSFET 作製のためのプロセス技術の開発(東大)

【研究計画と実施方法】はじめに、SOI 基板を用いたボトムゲート構造 MOSFET と MTJ(磁場書き換え型)の集積化による PS-MOSFET の作製プロセスを開発する。東大-G で作製するボトムゲート構造 MOSFET 上に NIMS-G で MTJ を成膜して、再び東大-G で加工を行い PS-MOSFET を作製する。デバイスの設計は東工大-G で行う。特に、電子線リソグラフィを用いた高精度な位置合わせ技術の確立をおこなう(②-3 項目のため)。

次に、サブミクロンサイズの自作MOSFETまたは外注ベンダーによるCMOSチップにスピン注入磁化反転MTJを集積化して、PS-MOSFETの機能の実証を行う。この目的のために、サブミクロンサイズの自作MOSFETの実現や、スピン注入磁化反転をMOSFET/CMOSチップ上で実現するためのMTJの微細加工技術を確立する。具体的には、MOSFET/CMOSチップ上での電子線描画によるMTJの微細加工技術、絶縁層による表面保護と表面リーク電流の抑止技術を確立する。

【これまでの結果】はじめに試作の容易な SOI 基板を用いたボトムゲート構造 MOSFET と磁場反転型 MTJ を集積した PS-MOSFET のプロセスの確立を行った。ボトムゲート構造の PS-MOSFET に関しては、デバイス作製加工技術(EB 描画装置による高精度な位置合わせ、表面絶縁膜の堆積、コンタクトホールのエッチングによる形成、電極間配線の形成)を確立し、デバイスプロセスの確立を行った。東大-G で作製したボトムゲート構造 MOSFET の最表面 SiO₂ 上に MTJ を成膜して、MTJ の加工と配線のつなぎこみをおこない、PS-MOSFET を実現した。

【H23年度研究成果】表面平坦性を確保することが容易な自作 MOSFET を用いて、スピン注入磁化反転 MTJ を集積化した PS-MOSFET の動作実証を試みることにした。これにはトップゲート構造の短チャネル(数 100nm)MOSFET が必要である。この MOSFET を作製するために、外注の高品質ゲート絶縁膜とポリシリコンゲート電極膜を利用したプロセスを考案した。外注基板を用いて、ポリシリコンゲート作製に必要な EB 描画条件を最小幅 100nm まで確立した。これに引き続き ICP 異方性エッチングによるポリシリコンゲートの形成技術を確立した(最小幅は 400nm であり、本研究課題に応用可能である)。

MTJ においてスピン注入磁化反転効果を発現するために 100nm レベルの微細加工技術が必要である。それに必須なネガ型、ポジ型レジストを用いた 100nm レベルの描画技術をほぼ確立した。

③スピン機能 MOSFET(PS-MOSFET, S-MOSFET)を用いた高機能ロジックの開発

【研究のねらい】スピン機能 MOSFET による“不揮発な情報の保持”と“再構成可能な出力”といった新たな自由度を用いた新概念のアーキテクチャによる高性能・多機能集積回路を創出する。特に、ロジックシステムの低消費電力化に極めて有効なパワーゲーティング・システムにおいて最も重要となる不揮発性 SRAM(NV-SRAM)や不揮発性フリップ・フロップ(NV-FF)に注目して回路技術の開発を行う。マイクロプロセッサ/SoC と FPGA をパワーゲーティングの具体的な対象として、PS-MOSFET を中心とした技術開発を行う。

③-1 PS-MOSFET と S-MOSFET を用いた回路シミュレータの開発(東工大)

【研究計画と実施方法】MTJ の TMR 比, V_{half}, 面積抵抗積(RA), スピン注入磁化反転のダイナミクスを取り込んだ MTJ の SPICE モデルを開発する。フルホイスラー合金系 MTJ やその他 CoFeB 系などの MTJ の諸特性や、スピン注入磁化反転なども実験結果と精度よくフィットできるモデルを

開発する。この MTJ モデルを用いて PS-MOSFET の性能予測と設計指針の確立を行う。本研究課題で開発するシミュレーション技術を回路設計のみならずデバイス設計・材料設計に反映させる。

【これまでの結果】スピン注入磁化反転などを取り込んだ現実的な SPICE モデルを開発した。この SPICE モデルは各種 MTJ の電気特性を完全にフィットできる。この MTJ の SPICE モデルを用いて、PS-MOSFET の機能予測を行い、疑似スピン MOSFET がスピントランジスタとして機能することを明らかにしたとともに、設計方法を確立した。

【H23 年度研究成果】本研究項目は予定通り終了しているが、NIMS-G で作製された MTJ の実測データにもとづき、適宜 SPICE のモデルに修正を行った。

③-2 PS-MOSFET, S-MOSFET を用いた高機能ロジックの提案・設計と性能予測(東工大)

【研究計画と実施方法】PS-MOSFET (または S-MOSFET) をインバータ・ループによる双安定回路の記憶ノードに接続すれば、NV-SRAM, NV-FF などのパワーゲーティングに重要な不揮発性記憶回路を構成できる。はじめに PS-MOSFET を用いた NV-SRAM, NV-FF の性能予測を行うとともに、回路設計技術を確立する。また、PS-MOSFET を用いた NV-SRAM, NV-FF のパワーゲーティング・システムへの適応性の評価を行い、具体的なマイクロプロセッサや FPGA への応用について検討を行う。さらに、NV-SRAM, NV-FF 試作のためのデバイス・回路設計を行う。

PS-MOSFET (または S-MOSFET) を用いて CMOS インバータを構成すると、その論理閾値を磁化状態に変化させることができる。この論理閾値可変インバータの設計と回路性能評価を本研究課題で開発するシミュレータを用いて行う。また、このような論理閾値可変インバータの応用についても検討する。

【これまでの結果】PS-MOSFET を用いた NV-SRAM, NV-FF を提案し、これらの動作検証・性能予測技術を確立した。特に不揮発性ロジックにおける Break-even time (BET) を世界で初めて定式化し、これを指標としたパワーゲーティング・システムへの適応性の評価方法を提案・開発した。また、NV-SRAM, NV-FF を用いた不揮発性パワーゲーティング (NVPG) ・アーキテクチャを提案し、NVPG マルチコアプロセッサ/SoC と NVPG-FPGA を提案した。

【H23年度研究成果】昨年度の結果を拡張して不揮発性ロジック全般に用いることができる BET の定式化を行い、NV-SRAM と NV-DFF の BET を評価した。また、NV-SRAM ではバイアス制御による BET 削減マイクロアーキテクチャを提案した。高精度シミュレーションの結果、提案した NV-SRAM では現行のパワーゲーティングよりも十分に細粒度の NVPG を実現できることを明らかにした(図 10)。さらに、NV-SRAM に関するサブマイクロ秒の BET となるキャッシュ応用についても提案・検討した。NV-DFF では BET を縮小できるセルの設計方法を確立した。また、ロジック回路内の不揮発性ロジック部占有率による BET の定式化を行い、この効果を明らかにし、ロジック部においても数マイクロ秒からサブマイクロ秒の NVPG が実現できることを明らかにした(図 11)。さらに、我々の提案した NV-SRAM と NV-DFF を用いた NVPG-FPGA と、他の MTJ を用いた FPGA との性能比較を行い、本提案の優位性を明らかにした。

③-3 PS-MOSFET, S-MOSFET を用いた高機能ロジックの試作と評価(東大・NIMS・東工大)

【研究計画と実施方法】ベンダー CMOS チップを利用して PS-MOSFET や NV-SRAM セルなどを作製し機能評価を行う。機能評価のポイントは、(i)PS-MOSFET によるストア・リストア動作の原理実証、(ii)NV-SRAM セルなどの基本動作実証である。S-MOSFET でも開発状況によっては同様に進めることが可能となるが、S-MOSFET そのものの開発が本研究課題では重要となるため、PS-MOSFET による回路機能の実証が中心になる。

【これまでの結果】ベンダー CMOS (TSMC 社; 350nm プロセス) の SPICE パラメータと NIMS グループで作製した MTJ から抽出したデバイスパラメータを用いて、試作を行う NV-SRAM セルの動作検証および設計を行い、ベンダー CMOS と今回開発した MTJ を用いて NV-SRAM が実現可能であることを示した。この結果に基づき、実際に CMOS チップを作製した (TSMC)。また、この CMOS 基板上への MTJ の集積化に関して、チップ表面の平坦化が最重要課題であることを明らかにした。

【H23年度研究成果】外注ベンダーのシャトルプロセス CMOS 基板における表面ラフネスの RMS を MTJ の作製が可能な $\sim 0.2\text{nm}$ にするために、CMP による表面平坦化プロセスを行った。シャトルプロセスによる周辺他チップのレーザーアブレーションによる回路不動作処理のため、この領域の表面ラフネスが非常に激しい(ミクロンオーダーに達する場合もあった)。試行した具体的な方法は、1) 納品された CMOS チップ(最表面は SiN パッシベーション)をそのまま CMP する方法、2) CMOS 基板上に 100-500nm の SiO_2 を ECR-スパッタ法により堆積した後に CMP する方法、3) 2の方法に加え、表面ラフネスの激しい周辺他チップ領域の研磨を初めに行い、その後 CMP する方法、4) CMOS 基板上に 100-500nm の SiO_2 を ECR-スパッタ法により堆積した後に、 CF_4+O_2 反応性ガスを用いた RIE によるエッチバックの方法、である。1)では良好な界面が得られず、3)では基板の破損を生じることがあり、4)はラフネスに変化が無かった。2)では、ラフネスが RMS $\sim 0.3\text{nm}$ 程度となる良好な表面が得られるものの、他チップ領域から剥離される微細なパーティクルがチップ表面へ再付着するという問題が起きた。この基板を、メガソニック基板洗浄機をもちいて洗浄を行うことにより、パーティクルの除去に成功した。結果として、PS-MOSFET の試作をおこなうことが可能な平坦な CMOS 基板表面を得る作製プロセスを確立した。

最終目標

A. S-MOSFET 技術(東工大)

【達成成果】ハーフメタル・フルホイスラー合金ソース/ドレイン技術の確立および MOS 反転チャネル層に関するスピン注入・伝導の評価方法の確立

【最終目標】Hanle 効果スピンデバイスによるスピン注入/伝導の検証および S-MOSFET の動作確認

B. MTJ 技術(NIMS)

【達成成果】ホイスラー合金を用いた高性能 MTJ およびスピン注入磁化反転の実現

【最終目標】ホイスラー合金を用いた MTJ のスピン注入磁化反転の低電流密度化

C. 回路・アーキテクチャ設計技術(東工大)

【達成成果】NV-SRAM および NV-DFF の提案・マイクロアーキテクチャ・設計法の確立および不揮発性パワーゲーティングの提案と評価法の確立

【最終目標】NV-SRAM および NV-DFF を用いた不揮発性パワーゲーティング・システムの定量評価

D. 回路試作(プロセス:東大, MTJ 成膜:NIMS, 設計:東工大)

【達成成果】磁場書き換え型 MTJ を用いた PS-MOSFET の実現

【最終目標】スピン注入磁化反転 MTJ を用いた PS-MOSFET の動作実証

【プラス α 】NV-SRAM, NV-FF のセルレベルでの動作実証(ベンダー CMOS とのプロセス整合をとることが困難であることが*, 中間評価までに明らかになったことから、プラス α の項目とする。本件は中間評価事前打ち合わせの際に統括から促された件である。)

*予算の関係から外注 CMOS はシャトルプロセスを用いることが必須であるが、シャトルプロセスのため、プロセス途中のウエハ引き抜きができないことや、周辺他チップの回路不動作処理が追加加工を極めて困難にしていることがわかった。

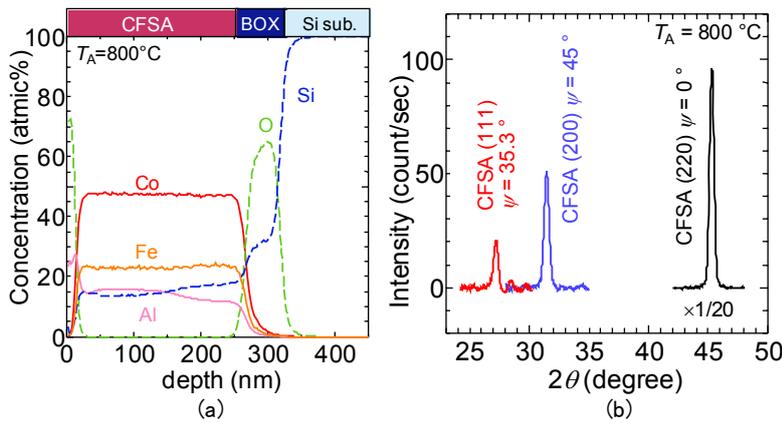


図1 (a) RTAによるシリサイド化によって形成したCFSAの構造評価。(a)SIMSによる構成元素分布, (b)X線回折による規則格子線の評価。L₁構造の高品質CFSAの形成を実現

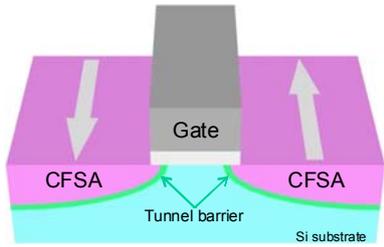


図3 究極のスピントランジスタ。極めて薄いトンネルバリアによってピンニングと伝導率不整合の問題を回避し、さらにCFSAによって100%のスピントランスポート率と十分なバリア高減を行うことができる。トンネルバリアにSiONを用いることで、遷移金属の拡散を防げる。また、CFSAはRTAによるシリサイド化を用いることで高品質膜が得られる。

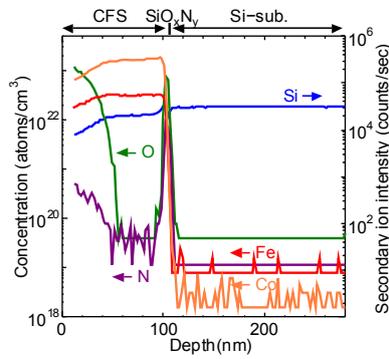


図4(上) SIMSによって評価したCFS/ラジカル酸化SiON/Si接合の組成分布。

図5(右上) ラジカル酸化SiON薄膜上に形成したCFSの規則格子線。(右下)CFS/ラジカル酸化SiON/Si接合の断面TEM像

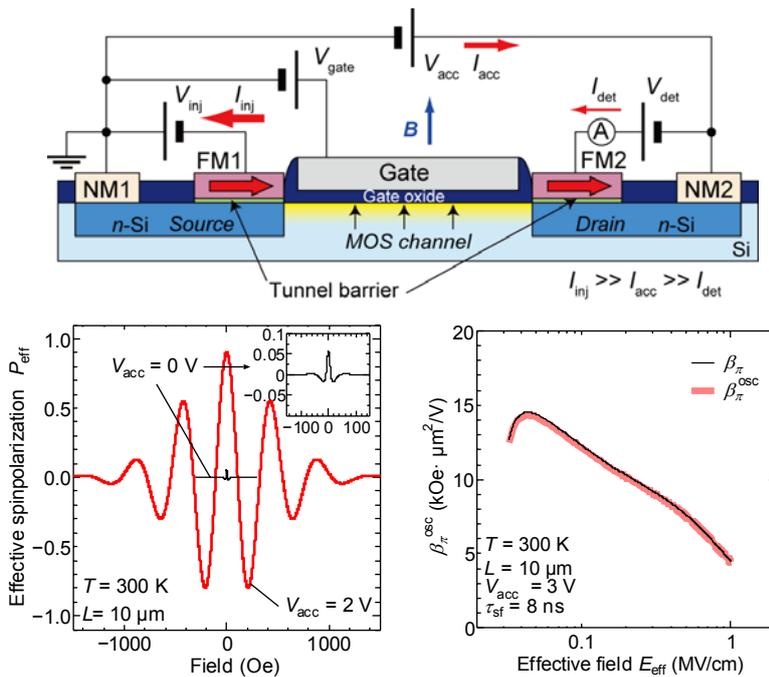
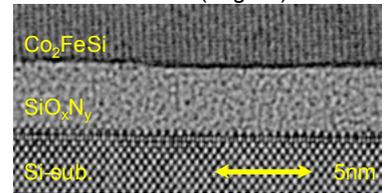
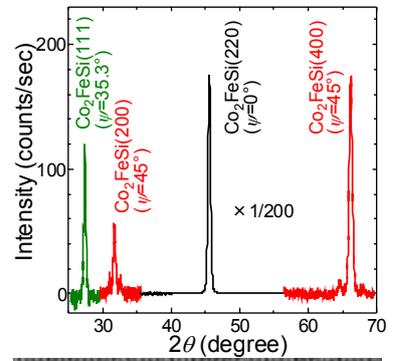


図6(左図) Hanle効果スピントランジスタのデバイス構造。MOSチャネルのスピントランスポート評価のためのデバイスである。

図7(下左図) Hanle効果スピントランジスタの出力特性(シミュレーション結果)。Hanle効果スピントランジスタでは加速電圧の印加によって、Hanle効果による信号を大きくして、さらにスピントランスポートの解析に必要な十分な振動回数を得ることができる。一般的な非局所法やスピントランスポート法では、実現できない。

(下右図) Hanle効果信号における磁場周期の実効電界依存性。この特性はMOS反転層における実効移動度の実効電界依存性のユニバーサルカーブに一致する。この特性から、各種散乱過程におけるスピンドYNAMICSを評価できる。従来法ではこのような解析はできない。

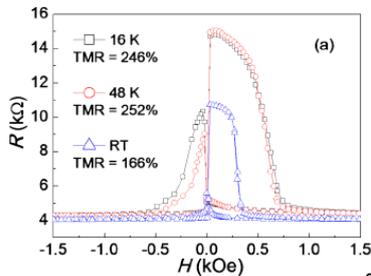


図 7 熱酸化 Si 基板上に作製した CFA/MgO/CoFe/IrMn スピンバルブ構造の TMR 曲線

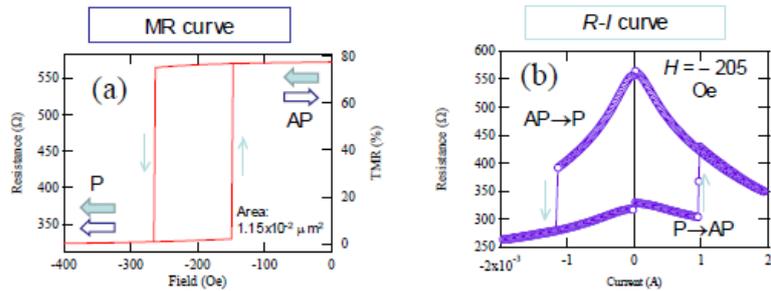


図 8 CFA ホイスラー合金を用いたスピンバルブ MTJ の室温における(a)抵抗の磁場変化および(b)スピン注入による抵抗変化(スピン注入磁化反転)

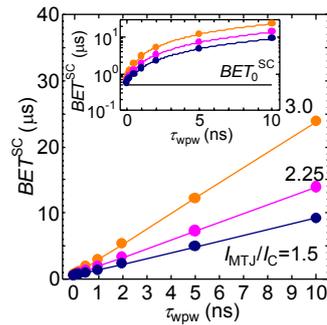
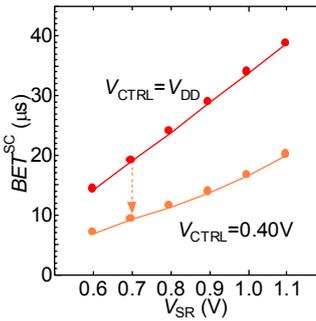
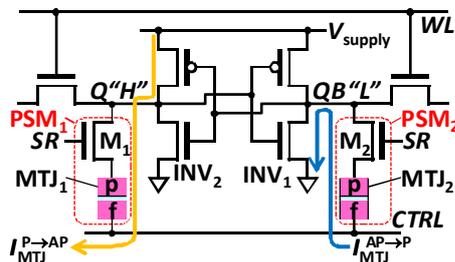


図 9(左図)疑似スピン MOSFET を用いた NV-SRAM の回路構成。(中央図)NV-SRAM の Break-even time (BET) 制御. NV-SRAM バイアス制御によって BET を十分に小さくできる。(右図)BET の書き込みパルス幅依存性. BET の最適化には MTJ への書き込みパルス幅も考慮して設計を行う. NV-SRAM/NV-DFF のパワーゲーティング応用は本 CREST の課題が世界で初めての提案である.

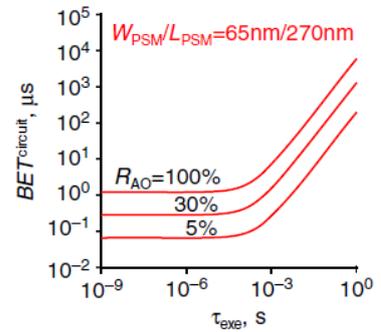
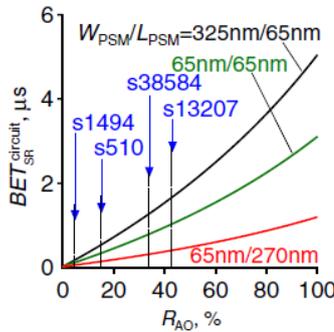
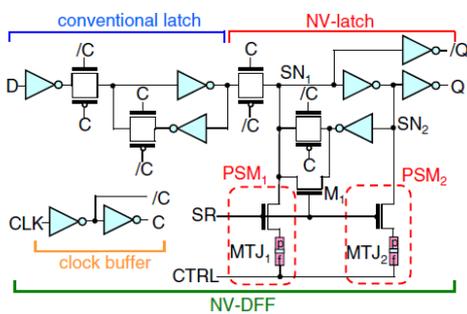


図 10(左図)疑似スピン MOSFET を用いた NV-DFF の回路構成。(中央図)BET の回路占有率依存性. 現実的な回路占有率では十分に小さな BET が得られる。(右図)BET の実行時間依存性. 具体的なシステムへの応用に関するこのような評価は極めて重要である.

§3. 成果発表等

(3-1) 原著論文発表

●論文詳細情報

- (1) Y. Takamura, K. Hayashi, Y. Shuto, R. Nakane, and S. Sugahara, "Fabrication of half-metallic tunnel contact with Co_2FeSi electrode on $\text{Si}(001)$ using radical-oxynitridation SiO_xN_y tunnel barrier", to be published in *J. Electronic Matt.*, 2012.
- (2) Y. Shuto, S. Yamamoto, and S. Sugahara, "Evaluation and control of break-even time of nonvolatile SRAM based on spin-transistor architecture with spin-transfer-torque MTJs", to be published, 2012.
- (3) Y. Takamura, and S. Sugahara, "Analysis and Control of the Hanle Effect in MOS Inversion Channels", to be published in *J. Appl. Phys.*, 2012.
- (4) S. Yamamoto, Y. Shuto, and S. Sugahara, "Nonvolatile delay flip-flop using spin-transistor architecture with spin transfer torque MTJs for power-gating systems", *IET Electronics Letters*, vol. 47, no. 18, pp. 1027-1029, Sept. 2011.【Feature article に採択;紹介記事】H. Dyball, "A new spin on the MOS", *IET Electronics Letters*, vol. 47, no. 18, p. 1007, Sept. 2011.
- (5) Y. Takamura, and S. Sugahara, "Analysis and Design of Hanle-Effect Spin Transistors at 300 K," *IEEE Magn. Lett.*, Vol. 2, 2011, pp. 3000404/1-4.
- (6) Y. Takamura, T. Sakurai, R. Nakane, Y. Shuto, and S. Sugahara, "Epitaxial germanidation of full-Heusler Co_2FeGe alloy thin films formed by rapid thermal annealing," *J. Appl. Phys.*, Vol. 109, no. 7, 2011, pp. 07B768/1-3.
- (7) X. Kozina, C. Felser, H. Sukegawa, K. Inomata et al., "Magnetic dichroism in angle-resolved hard X-ray photoemission from buried layers", *Phys. Rev. B* **84**, 054449 (2011).
- (8) G. Stryganyuk, C. Felzer, K. Inomata et al., "Spin-polarimetry and magnetic dichroism on a buried magnetic layer using hard X-ray photoemission spectroscopy", *Jpn. J. Appl. Phys.* **51**, 016602 (2012).
- (9) Z. Wen, H. Sukegawa, S. Mitani and K. Inomata, "Tunnel magnetoresistance in textured $\text{Co}_2\text{FeAl/MgO/CoFe}$ magnetic tunnel junctions on a Si/SiO_2 amorphous substrate", *Appl. Phys. Lett.*, **98**, 192505 (2011).
- (10) Z. Wen, H. Sukegawa, S. Mitani and K. Inomata, "Perpendicular magnetization of Co_2FeAl full-Heusler alloy films induced by MgO interface", *Appl. Phys. Lett.*, **98**, 242507 (2011).
- (11) H. Sukegawa, H. Xiu, T. Ohkubo, T. Niizeki, S. Kasai, T. Furubayashi S. Mitani, K. Inomata, and K. Hono, "エピタキシャル $\text{Fe/MgAl}_2\text{O}_4/\text{Fe}(001)$ 強磁性トンネル接合における結晶性と伝導特性", *J. Magn. Soc. Jpn.* **35**, 254 (2011).
- (12) S. Mitani, "Spin-transfer magnetization switching in ordered alloy-based nanopillar devices", *J. Phys. D: Appl. Phys.* **44** 384003 (2011).