

山崎 信行

慶應義塾大学 大学院理工学研究科・准教授

組込みリアルタイムシステム用ディペンダブル SoC 及び SiP に関する基盤技術の研究

§ 1. 研究の概要

1. チーム全体の研究の概要

①本研究の背景、社会や産業に存在する問題と本研究の課題

本研究は、組込みリアルタイムシステムの構築をターゲットとし、SoC (System-on-Chip) 及び SiP (System-in-Package) をコデザインすることでディペンダブルかつ実用的な VLSI システム実現する基盤技術に関する研究を行う。本研究がターゲットとしている組込みリアルタイムシステムは、産業的にも技術的にも、今後の日本にとって非常に重要な位置を占め続けると考えられる。

従来、組込みリアルタイムシステムに関する研究はソフトウェアに関するものがほとんどであり、時間粒度が 1msec 程度のシステムを対象としていた。それに対して本研究開発では、10 μ sec 程度の時間粒度を達成すると共に、ディペンダブルで超小型・高機能・低消費電力な組込みリアルタイムシステムを構築するための基盤技術の構築を目指す。

一方、VLSI (SoC) は基板に実装してはじめて動作するので VLSI システムに対するディペンダビリティは基板実装技術と共に考慮する必要がある。近年、VLSI システムに対する高信頼性や省電力など多くの要求に対して SoC を補間する手段として、SiP の研究が盛んに行われている。VLSI システムのディペンダビリティを、チップ、パッケージ、基板を互いに考慮しながら設計することによって、大幅に向上させる。

これらの実現のために、ターゲットアプリケーション、ハードウェア、ソフトウェアをコデザイン(co-design)し、トータルシステムとして研究開発する手法を構築する。

実用的な組込みリアルタイムシステムを構築するために、アプリケーション(ロボット及び宇宙機への応用)とソフトウェア(OS)及びハードウェア(アーキテクチャ)のコデザイン、SoC と SiP のコデザイン、及びそれらの設計・実装・評価手法の研究を行う。アプリケーションのディペンダビリティを定義し、その実現のためにソフトウェアで行うべき処理とハードウェアで行うべき処理の切り分けを行いつつ、リアルタイム性を有したプロセッサアーキテクチャ、オンチップネットワーク、チップ間通信リンク、動的電圧周波数制御等の研究開発を行う。並行して SoC と SiP とをコデザインし、SoC/SiP に高信頼性化、小型化、高機能化、低消費電力化等の特徴を付与する設計・実装・評価に関する基盤技術を確立する。

②本研究チームの達成目標。

本研究の目的は、組込みリアルタイムシステム(特に分散制御システム)の構築をターゲットとして、ディペンダブルな SoC 及び SiP の設計・実装・評価に関する基盤技術を確立することにある。その際、本研究の成果としてできあがる SoC と SiP からなる VLSI システム及び基本ソフトウェアを用いて、各種組込みリアルタイムシステム(ロボット及び宇宙機等)への組み込み応用を目指し、ディペンダブルで超小型・多機能・低消費電力な VLSI システムを SoC と SiP をコデザインすることによって実現すること、及びそのための設計・実装・評価手法を確立することを目標とする。

個別の目標としては、第 1 にターゲットアプリケーション(ロボット及び宇宙機等の制御)を実現するために基本ソフトウェア(OS)及びハードウェア(プロセッサ及び NoC (Network-on-Chip)等のアーキテクチャ)のコデザインを行い、基本ソフトウェアで行うべき処理とハードウェアで行うべき処理の切り分けを行って、組込みリアルタ

イム処理を高効率で実現することにある。そのために、QoS (Quality of Service)の理論と共に、プロセッサアーキテクチャ、NoC、チップ間通信アーキテクチャ、電圧周波数制御等の要素技術の研究開発を行い、それらをまとめて SoC として設計・実装する。10 μ sec 程度のリアルタイム性を実現し、アプリケーションとしては非常に高精度な分散制御システム(ロボットシステム)を構築する。

第2の個別の目標として、ディペンダブルで超小型・高機能・低消費電力な SoC/SiP を実現するための基盤技術を、SoC と SiP をコデザインすることによって確立することにある。現在の高機能な組込みシステムは、リッチな開発実行環境(Linux 等の組込み OS 等)を要求し、それらは大容量メモリ(DRAM)やフラッシュメモリを要求する。さらに、SoC には様々な規格の I/O (Ethernet, IEEE1394, USB 等)を集積することが要求されている。SoC にはそれら必要な機能(MPU, Bus, Memory IF, I/O 等)をほぼすべて集積可能であるが、DRAM、フラッシュメモリ、及び各種 I/O のドライバ(Phy)をすべて同時に SoC に集積することはプロセス的に困難であるとともに、歩留まり低下や欠陥を内包するリスクを伴うことにもなる。一方で、ターゲットの組込みリアルタイムシステム(ロボット及び宇宙機等)は、狭く形状が特殊な筐体内に多種多数のセンサ/アクチュエータを搭載し、それらセンサ/アクチュエータ毎にコントローラが必要となるため、非常に狭いスペースに VLSI システムを構築することが求められる。これらの要求を満たしつつ実用的でディペンダブルな VLSI システムを構築するためには、SoC 技術と SiP 技術を相乗的に組み合わせる(各々の弱点をカバーしつつ特長を引き出す)必要がある。その際、ディペンダビリティの向上を目指し、SiP 化する際には SoC を含む全てのデバイスを KGD (Known Good Die)として実装し、さらには制御兼自己モニタリング用センサを SiP に内蔵し、VLSI システムをより安定化させる。最終的には SoC と DRAM 等の周辺デバイスを高密度実装技術(CoC (Chip-on-Chip)、TSV (Through Silicon Via)、コアレス基板等)の技術を応用して多ピン接続して複数積層し、同時に高効率な放熱構造を実現することで、ディペンダブルでスケラブルな超小型の VLSI システムを実現するための基盤技術を構築する。

③本研究のアプローチ

国内外において、組込みシステムやリアルタイム処理・通信に関する研究はほとんどソフトウェア中心に行われている。それに対して本研究では、理論及びソフトウェア(OS、スケジューラ)の研究とハードウェア(アーキテクチャ)の研究とを同時に協力しつつ行い、最適な役割分担を決定しつつ互いに研究を行うことにより、ソフトウェア/ハードウェア単独では実現できない演算や通信の QoS 制御を実現可能とする。例えば従来研究の時間粒度は 1msec 程度であるが、本研究では 10 μ sec 程度を実現する。また、従来のマルチコアやオンチップネットワークに関する研究は、同一のコアを効率よく接続するサーバ向けの研究がほとんどであったが、本研究は組込みシステムをターゲットとしており、大きさや機能及び速度の異なるプロセッサ、メモリ、及び各種 IO を接続可能にし、さらには各機能に QoS を持たせる点に大きな独創性がある。同様に、SoC と SiP のコデザインに関する研究は、要素技術が黎明期だということもあり、これまではほとんど行われてこなかった。FFCSP 以外の 3次元 SiP 技術には、PoP (Package on Package)、部品内蔵基板、TSV などがあるが、何れも積層したチップの放熱が困難であるうえ、歩留まりや伝送速度に問題がある。FFCSP はこのような 3次元 SiP 技術の問題を解決するとともに、センサやパッシブデバイスなど多種類のデバイスも内蔵可能な自由度が高い 3次元 SiP 実装技術であり、さらに SoC 設計とコデザインしてディペンダビリティの向上を行う点に独創性を有する。

研究成果を実用化に結び付けるには、企業や研究機関等のユーザからのフィードバックが必要不可欠である。本研究で開発した高機能・低消費電力な組込みリアルタイム処理用 SoC (D-RMTP I)及び SiP を実装した評価キットを研究開発し、ET2011 (Embedded Technology 2011)等のデモ展示の機会を活かして積極的に企業・研究機関等のユーザへ配布することにより、研究成果を普及する。

④研究実施方法

1) 本研究チーム運営の方針、研究グループ間の分担・協力関係

本研究では、基盤ソフトウェア(ディペンダブルオペレーティングシステム:担当 慶應義塾大学)、基盤ハードウェア(ディペンダブルアーキテクチャ及びディペンダブル SoC:担当 慶應義塾大学)、基盤パッケージ(ディペンダブル SiP:担当 NEC アクセステクニカ)、及び組込みアプリケーション(先端ロボット応用によるディペンダビリティ評価:担当 東京大学)の大きく 4 つにテーマ(グループ)を分けつつも、相互に密接な連携を保ちつつ、コデザインを行いながら研究開発を行う。

評価キットの開発に関して、基盤ハードウェアグループがリアルタイム処理用 SoC の開発を行い、基盤パッケージグループが SiP 化及びボード設計を行う。基盤ソフトウェアグループが評価キットの開

発環境を整備し、組込みアプリケーショングループが評価キットの検証及びフィードバックを行う。

2) 領域外部の企業等との連携

組込みアプリケーションに関しては、共同研究グループとしては入ってもらわないが外部アドバイザー(JAXA 宇宙研 高橋忠幸教授及び坂井真一郎准教授)を依頼し、アドバイザーからの助言を元にして宇宙機への応用を目指す。

ET2011にて評価キットを配布した。数社から実用化に向けた検証作業を行っているとの報告を受けており、それらの協力企業との連携体制を維持しつつ研究開発を進める。

3) 領域内他研究チームとの連携関係

現在のところ予定無し。

2. 研究グループの研究の概要

(1)「慶大(基盤ソフトウェア、基盤ハードウェア)」グループ(研究代表者グループ)

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

基盤ソフトウェアグループでは、基盤ハードウェアグループ及び組込みアプリケーショングループとコードデザインを行いつつ、各種 QoS をサポートする理論及び基本ソフトウェア(OS 及びスケジューラ)の研究を行った。今年度までに、組込みアプリケーション(ロボット及び宇宙機)の要求仕様を実現するためのソフトウェアとハードウェアの役割(機能)の切り分け、時間粒度や速度などの QoS を制御可能な基盤ソフトウェア(OS)、分散型プロセッサのアーキテクチャを考慮した各種 QoS を制御するためのスケジューラの研究開発を行ってきた。今年度は特にリアルタイム性を維持しつつ余剰の計算リソースを用いて QoS の向上を狙うインプリサイス計算モデルの理論的研究とその実システムへの応用及び評価を行った。さらに、チップ間通信の遅延を考慮したリアルタイムスケジューリングの研究を行った。並行して、これまでに開発してきた QoS 制御可能な OS を産業界で広範囲に使われている μ ITRON 仕様に拡張し、現在提供中のクロス開発環境と共に各グループに提供すべく検証作業を行った。

基盤ハードウェアグループは、基盤ソフトウェア、基盤パッケージ、及び組込みアプリケーションの各グループとコードデザインを行いつつ、高機能な組込みリアルタイムシステムを実現する基盤ハードウェア(SoC)及びその設計・実装・評価手法の研究開発を行った。今年度までに、組込みアプリケーショングループのターゲットであるヒューマンノイドの分散制御を実現する SoC のプロトタイプである D-RMTP I を設計・実装した。D-RMTP I では、演算処理に IPC 制御機構(個々のプログラムの速度制御機能)を有した優先度付き SMT プロセッサ、チップ間通信にリアルタイム通信リンクである Responsive Link (RL)を採用しており、ロボット及び宇宙機の分散制御に必要な周辺 I/O を SoC として全て集積している。今年度は、まず評価キットに搭載する D-RMTP I SoC のチップ開発を行った。また、基盤パッケージグループ及び組込みアプリケーショングループと共に D-RMTP I SoC/SiP の検証を行い、供給電圧及び動作周波数を変えた際の消費電力、実行時間、オーバヘッドの実機評価を行った。さらに、今年度は D-RMTP II の設計も並行して行った。D-RMTP II は、リアルタイム処理用プロセッサ及び各種 I/O をリアルタイムオンチップネットワーク(RT-NoC)を用いて 1 チップに集積した並列分散リアルタイム処理用 SoC であり、組込みアプリケーション向けに大きさや機能及び速度の異なるプロセッサ、メモリ、及び各種 I/O を柔軟に統合可能という特色を持つ。今年度は D-RMTP II に集積するリアルタイム処理用プロセッシングコアとして RMTP をベースにした高性能なプロセッサの基本設計、及び、並列処理用プロセッサの新規設計を行った。さらに、これらのプロセッシングコアと各種 I/O 及びメモリモジュールとの相互接続のために、接続するコアの大きさや速度に応じて各リンクのデータ幅を変更可能なオンチップルータを研究開発し、SiP への実装を考慮しつつ RT-NoC として設計・実装した。加えて、近傍ルータの混雑情報に応じて動的に経路を変更する適応型ルーティング手法の確立、及び優先度逆転問題を軽減するルータアーキテクチャの研究を行った。

②本研究グループの達成目標。

第 1 の目標は、基本ソフトウェア(OS)及びハードウェア(プロセッサ及び通信アーキテクチャ)等のコードデザイン

によって、ターゲットアプリケーション(ロボット及び宇宙機等の制御)を高効率で実現することにある。そのために、QoS (Quality of Service)の理論と共に、プロセッサアーキテクチャ、チップ間通信アーキテクチャ、電圧周波数制御等の要素技術の研究開発を行い、それらをまとめて SoC (D-RMTP I 及び II)として実装する。さらに、実機レベルでの動作検証を通して、提案した要素技術の有用性及び実用性を実証する。

第 2 の目標は、ディペンダブルで超小型・高機能・低消費電力な SoC/SiP を実現するための基盤技術を、SoC と SiP をコデザインすることによって確立することにある。近年の組込みシステムの高機能化に伴い、組込みシステムにおいても複数のプロセッシングコアを用いた並列処理はもはや必須の機能であり、複数のプロセッシングコア及び様々な規格の I/O (Ethernet, IEEE1394, USB 等)を集積した SoC が求められている。さらに、このような高機能な組込みシステムで必要となるリッチな実行環境(Linux 等の組込み OS 等)は大容量メモリ(DRAM やフラッシュメモリ)を要求するが、これらをすべて単一の SoC に集積することはプロセス技術的に困難であり、歩留まり及び実装面積の点から言っても不利である。したがって、実用的かつディペンダブルな組込みシステムを実現するには、SoC 技術と SiP 技術を相乗的に組み合わせ(各々の弱点をカバーしつつ特長を引き出し)、両者を統合する通信アーキテクチャが必要である。このために、SoC/SiP 上に実装されたプロセッシングコア、各種 I/O 及びメモリモジュールを接続するディペンダブルな 3 次元リアルタイムオンチップネットワーク(RT-NoC)を実現する。さらに、SoC 側で SiP への実装を考慮しつつ I/O ピン及び RDL によるバンプ位置を最適化することで、SiP のさらなる小型化、ノイズ耐性向上、及びジッター削減を狙う。

③研究のアプローチ

国内外において、組込みシステムやリアルタイム処理・通信に関する研究はほとんどソフトウェア中心に行われている。それに対して本研究では、理論及びソフトウェア(OS、スケジューラ)の研究とハードウェア(アーキテクチャ)の研究とを同時に協力しつつ行い、最適な役割分担を決定しつつ互いに研究を行うことにより、ソフトウェア/ハードウェア単独では実現できない高品質で高精度な演算及び通信の QoS 制御を実現可能とする。また、従来のマルチコアやオンチップネットワークに関する研究は、サーバ向けの同一のコアを効率よく接続するための研究がほとんどであったが、本研究は組込みシステムをターゲットとしており、大きさや機能及び速度の異なるプロセッサ、メモリ、及び各種 I/O を接続可能にし、さらには各機能に QoS を持たせる点に大きな独創性がある。同様に、SoC と SiP のコデザインに関する研究は、要素技術が黎明期だということもあり、これまではほとんど行われてこなかったため、SoC/SiP コデザイン自身に独創性を有する。さらに、本研究で開発した基盤ソフトウェア及びハードウェアは評価キットという形でユーザに配布し、実用化への足がかりとする。

④研究実施方法(研究チーム内外の連携関係など)

基盤ハードウェアグループは、SoC 設計において組込みアプリケーショングループの要求を踏まえて、基盤パッケージグループと密接に協力を行いながらコデザインを行う。

(2)「NECアクセステクニカ(基盤パッケージ)」グループ

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

基盤パッケージグループは、基盤ハードウェアグループとコデザインを行いつつ、FFCSP を応用した 3 次元 SiP の設計、シミュレーション、組立実装、及びテストに関する研究開発を担当し、高機能、低消費電力な VLSI システムの構築を目指した実装要素技術を研究開発する。本研究で適用する 3 次元 SiP 技術である FFCSP は、NEC 中央研究所で研究開発された後、現在は NEC アクセステクニカがその研究成果を受け継ぎ応用製品開発および量産化に向けた研究開発を行っている。そのため NEC アクセステクニカが共同研究グループとして参画する必要がある。

②本研究グループの達成目標。

基盤パッケージグループは、組込アプリケーションからの要求を基に基盤ハードウェアとのコデザインおよび FFCSP の活用により超小型でディペンダブルな基盤パッケージ (SiP) の研究開発、及びその設計・組立・評価手法を確立する。

③研究のアプローチ

3年度は、2年度までに設計した D-RMTP I SiP のより詳細な評価を行う。その評価結果をフィードバックし、基盤ハードウェアグループとコデザインして D-RMTP II と DRAM を多ピン接続する設計を実現する。同時に、温度センサを FFCSP の構造を応用して 3次元実装 D-RMTP I SiP に内蔵し、基盤ソフトウェアグループと共同で D-RMTP I SiP の温度及び電圧を自己モニタリングする手法を研究開発し D-RMTP I の動作を制御して、リアルタイム性を維持しつつ省電力を実現した。

また名刺サイズの小型の評価キットを設計・実装した。D-RMTP I の豊富な I/O を全てユーザが利用できるように拡張基板と合わせて 2枚構成とした。ホストとのインターフェースは PC 等で広く採用されている USB2.0 を採用し、更に Host と Device の両方の機能を搭載した。評価キットの外部電源は USB パスパワーか 5V 単一電源を採用し、ユーザが使いやすい評価キットを実現した。

④研究実施方法(研究チーム内外の連携関係など)

基盤ハードウェアグループ及び基盤ソフトウェアグループと密に協力して、FFCSPを応用した3次元 SiP の設計、シミュレーション、実装組立、テスト、及び評価を行った。

(3)「東大(組込みアプリケーション)」グループ

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

日本のロボット産業の主要である工業用ロボットアームの多くは、従来、角度位置制御に基づくオープンコントロールを用いて高精度な自動動作が行われていたが、オープンコントロール下では衝突を検知することができないため、ワークとエンドエフェクタが衝突した際にはアームやワークが損傷する可能性があった。また、ロボットアーム動作中には、安全上の観点から決して人が近寄ることができないため、ロボットの動作生成時にはプログラミングペンダントによる教示が必要であり作業効率が低いという問題があった。

そこで近年では、研究用ロボット分野で多くみられた、関節トルクや手先力センサといった力覚情報やカメラによる認識に基づくフィードバック制御を導入することで、衝突時の故障の防止や、人が直接ロボットアームに触れる直接教示による直感的動作生成が可能となる工業用ロボットアームの知能化が求められ、実現され始めてきている。

こうした背景においては、非常に高速・高トルクで動作可能な工業用ロボットアームに万が一が一人が触れても事故が起きないようにロボットシステム全体の安全性をより向上していく基盤となるVLSIシステムを提案することには大きな意義があると考え、本研究によって新たに開発していく DRMTP SoC/SiP システムを用いて、その大きな特徴といえる、1) 高速リアルタイム制御性、2) 大電流ノイズ下通信可用性、3) 低レイテンシ通信リアルタイム性、といったディペンダビリティ項目の改善によって、ロボットシステムの安全性が向上することを、実ロボットを用いて実際に検証していくことを課題として取り組んでいく。

②本研究グループの達成目標。

従来採用していた既存の商用マイコンを組み込んだロボットシステムと、D-RMTP SoC/SiP を組み込んだロボットシステムとを比較・評価して、実際にロボットを動作させた際の駆動ノイズ、温度上昇、実時間制御性、衝撃によるロボットリンク損傷、電装系損傷、センサ系の経年変化・故障、といった想定される様々なケースにおけるロボットの実挙動が安全性の観点から十分改善されていることを実証していくことができれば、①で掲げた D-RMTP SoC/SiP のロボットシステムへの実用化を見据えたディペンダビリティ性の実証という課題を達成できると考えられる。

③研究のアプローチ

過酷な条件である大出力ロボット環境下で D-RMTP SoC/SiP の有効性を実証していくことで、既存の研究用ロボットプラットフォームだけでなく、工業用ロボットアームや宇宙用ロボットも含めたロボット環境下でも応用可能であることを示していくことが可能となる。具体的には、これら大出力脚プラットフォームを軸として、必要な評価基板

設計・実装、単軸での評価、ロボット体外での同等規模システム構成での評価、実ロボット組込み評価を年度毎に段階的に行っていくことで、着実に実証評価を行っていく。

④研究実施方法(研究チーム内外の連携関係など)

既存のロボットシステム上の組込みマイコンに求められるノイズ耐性、制御実時間性、通信レイテンシ、通信リアルタイム性、IOポート、といった要求を SoC/SiP 開発グループへ提示することで、ロボット実用化を見据えた SoC/SiP の開発段階のコーデザインに関わっていくだけでなく、実際に開発する SoC/SiP 搭載基板の初期駆動テスト時には、全グループ共同で、実装機能の動作確認を行い、問題がある場合は即座に適宜グループ間で密に連携しながら検証やデバッグを行うことで、実際に実ロボットに組込み可能な基板モジュールの開発を着実に進めている。

§ 2. 研究実施体制

(1) 慶應グループ

① 研究分担グループ長: 山崎 信行 (慶應義塾大学 准教授) (研究代表者)

② 研究項目

- ・ ディペンダブル SoC 及び SiP の設計
- ・ ディペンダブル OS の設計及び実装
- ・ リアルタイムスケジューリング理論の確立
- ・ リアルタイム通信規格によるディペンダビリティの確立
- ・ 低消費電力、時間精度などの QoS を制御

(2) NEC アクセステクニカグループ

① 研究分担グループ長: 和田 喜久男 (NEC アクセステクニカ株式会社, グループリーダー) (主たる共同研究者)

② 研究項目

- ・ 30mm 角 SiP の研究開発・製造
- ・ 20mm 角 SiP の研究開発・製造
- ・ センサー内蔵 SiP の研究開発・製造
- ・ DRAM 積層 SiP の研究開発・製造
- ・ 評価ボードの開発・製造

(3) 東大グループ

① 研究分担グループ長: 稲葉 雅幸 (東京大学大学院, 教授) (主たる共同研究者)

② 研究項目

- ・ 大出力系でのディペンダビリティ評価基板基礎モジュール単体での制御実験評価
- ・ 大出力系での 30mm 角 D-RMTP 搭載基板ネットワークによる通信系の実験評価
- ・ 小型分散系での 20mm 角 D-RMTP 搭載モータ制御基板の設計開発

§ 3. 研究実施内容

(文中に番号がある場合は(4-1)に対応する)

(1) 研究の成果と自己評価

(1) 成果1. 「D-RMTP I SoC/SiP の実機検証・評価」(代表者グループ)

①内容

D-RMTP I SoC を搭載した 30mm 角 D-RMTP I Ver.2.0 SiP が、D-RMTP PCI 評価キット上で動作することを基盤パッケージグループ及び組込みアプリケーショングループと共に確認した[10]。さらに、ソフトウェアから SiP 上のポテンショメータに値を書き込んで抵抗値を変え、コアに供給される電源の電圧を 0.8V から 1.1V の範囲で電圧制御できることを確認した。実機評価の結果、電圧 1.1V 時の消費電力は 693mW、電圧 0.80V の時の消費電力は 120mW であり、電圧と周波数を動的に制御することにより消費電力量を 1/5 以下に削減可能であることを確認した[3]。D-RMTP I を想定したタスクスケジューリング[2]、及び、IPC 制御機構[4]を用いたリアルタイム DVFS[3]の検証を行った。さらに、Responsive Link [7]のディペンダビリティ(特にリアルタイム性と信頼性(耐ノイズ性))に関して実機及びシミュレーションの両面から評価を行い、非常に高いリアルタイム性(100 μ sec オーダ)と耐ノイズ性(強力なエラー検出及びエラー訂正能力)を有していることを確認した[10]。

②有用性

D-RMTP SiP 上の AD コンバータによりコアに供給される電源電圧をソフトウェアからモニタリングできるため、RT-DVFS の際に電圧が指定した値に確実に遷移してから周波数制御を行うことができる。これによってプログラムの安定的な動作を保証してディペンダビリティを向上させ、かつ、リアルタイム性を維持しながら消費電力を削減できる。また、ロボットの体内等の非常にノイズが大きい場所においても信頼性が高く時間粒度の細かいリアルタイム通信を実現することができ、産業的なインパクトも大きい。

③優位比較

現在、プロセッシングコア(SoC)と DRAM の温度をソフトウェアから観測するためのデバイスの動作確認を行った。これが実現できれば、コアと DRAM の温度をソフトウェアからリアルタイムに監視できるため、デバイスの動作環境(温度等)に応じて電圧及び動作周波数をディペンダブルに調節することができる。本研究ではデバイスの電圧と温度をリアルタイムに観測しつつ RT-DVFS を行うスケジューリングアルゴリズム及び機構を研究開発しており、このようなアプローチはロボットや宇宙機等過酷な条件で動作する組込みアプリケーションにおいてディペンダビリティを実現するために重要である。

ISO/IEC 24740 としてリアルタイム通信の国際標準規格となっている Responsive Link をベースに、さらに強力な耐ノイズ性(強力なエラー検出及びエラー訂正機能)を実現した。リアルタイム性と耐ノイズ性を共に有した通信規格は他に存在せず、国際標準化も行われているので、技術的にも産業的にも機器間のリアルタイム通信としては他の追随を許さない。

(2) 成果2. 「並列分散リアルタイム処理用 SoC(D-RMTP II)の設計」(代表者グループ)

①内容

リアルタイム処理用のヘテロなマルチコアの研究、及び、基本設計を行った。また、性能と大きさが異なる複数のリアルタイム処理用プロセッシングコアと、様々な種類の大きさや速度の異なる I/O、及びオンチップメモリを、スケーラブルかつ柔軟に相互接続することができるオンチップリアルタイムネットワーク(RT-NoC)の研究を行った。具体的には、リアルタイム処理用プロセッシングコアとして RMTP [10]をベースにした高性能プロセッサ、及び、多数の小規模なプロセッシングコアから成る並列処理用プロセッサを設計した。さらに、これらのプロセッシングコアと各種 I/O 及びメモリモジュールとの相互接続のために、接続するコアの大きさや速度に応じて各リンクのデータ幅を変更可能なオンチップルータを開発し、SiP への実装を考慮しつつ RT-NoC に適用した[1]。RT-NoC 向けに混雑を回避可能なルーティング手法の研究も行った[5][11]。

②有用性

対象とする組込みアプリケーション(ロボット及び宇宙機)に応じて大きさや機能及び速度の異なるプロセッシングコア、メモリ、及び各種 I/O を柔軟に選択でき、かつ、これらの多数のコアを RT-NoC を介して柔軟に統合できる。

③優位比較

多数のプロセッシングコアを NoC で接続したメニーコアプロセッサとしては、Intel 社の Single-chip Cloud Computer、TILERA 社の TILE64 processor が有名である。これらのメニーコアプロセッサでは同一のプロセッシングコアを同一のオンチップルータで接続したホモジニアスな構成を採用しているが、D-RMTP II では、組込みアプリケーション向けに大きさや機能及び速度の異なるプロセッサ、メモリ、及び各種 I/O を柔軟に統合可能という特色を持つ。

(3) 成果3.「評価キットの実現」(NEC アクセステクニカグループ)

①内容

基盤ハードウェアグループと共同で 30mm 角 D-RMTP I SiP [10]を実装した評価キットの研究開発・製造を行った。D-RMTP I SoC/SiP の豊富な機能を名刺サイズで全て利用でき、USB バスパワーもしくは 5V 単一電源で容易に評価できるようにした。

②有用性

D-RMTPの豊富なI/Oを全て実装すると共に、ホストインタフェースとして新規に評価キット基板上にUSB2.0インタフェースを実装した評価キットを設計実装した。Responsive Link によるリアルタイム通信、D-RMTP のリアルタイム処理機能 (IPC 制御機構)、RT-DVFS 機構等を本評価キットで簡単に評価できるようになった。

③優位比較

非常に多くの種類の I/O を搭載した評価キットでありながら、名刺サイズを実現している。I/O としては、Responsive Link, Space Wire, IEEE1394, Ethernet, USB2.0 (Host&Peripheral), PWM 発生器, PWM 入力, Pulse counter, Digital port, RS232C, SPI, ADC, PIO, JTAG (RMTP&FPGA)を搭載している。外部から供給する電源は、ユーザが使いやすいように、DC ジャックからの 5V 単一電源か USB バスパワーのどちらかで動作するように設計している。また、リアルタイム通信、リアルタイム処理機能、RT-DVFS 機構等を容易に試すことができる。

(4) 成果4.「大出力発揮可能な高効率モータ駆動制御モジュール(2軸対応)」(東大グループ)

①内容

ダイナミックレンジの大きな高効率なモータ電流制御回路及びモータ内部温度推定機能に基づく大出力発揮可能な高効率モータ駆動モジュール(2軸対応)の開発を行った [12]。また、開発した高効率モータ駆動モジュールを用いた大出力脚の設計・実装・評価を行った[13]。

②有用性

本技術により、全身 20 自由度程度を想定した等身大ヒューマノイドに十分搭載可能な駆動基板サイズにおいて、従来技術での駆動系よりも飛躍的にモータ駆動出力が高まり、人間と同程度の関節速度及びトルクを発揮可能なヒューマノイドが構築可能となるため、介護現場を始めとする将来的なヒューマノイドの社会進出を現実的なものと推進する基礎技術として期待できる。昨年度開発したものと基板サイズは同じ(85mmx60mm)ながらも、モータ駆動数が2軸となり非常に高効率な基板モジュールとなっている。待機電力も減少し、水冷だけでなく自然空冷による駆動も可能である。

③優位比較

単純な軸出力においては、同サイズの油圧駆動系よりも劣るが、制御性においては本技術によるモータ駆動系に大きな優位性があり、介護現場等で必要とされる繊細な作業を行うことが可能である。また既存のモータ制御基板を用いた介護を想定したヒューマノイドは数多くあるが、いずれも発揮可能な関節トルクあるいは関節速度のいずれかを犠牲にしており、本技術による駆動基板のように関節トルク及び速度双方を両立するものは提案されていない。一方で実際の介護現場においては、人を支えることのできる十分な関節トルクや、咄嗟に人を支えられるだけの瞬間的な関節速度が不可欠であり、本技術が非常に優位であると考えられる。

このように、こうした大出力モータ駆動系の実現はヒューマノイドの介護分野で大きなブレイクスルーとなりうるが、暴走することは万が一にもあってはならないため、本プロジェクトによるディペンダブルな制御系の構築こそが大出力系の現場普及への重要なキーファクタであると考えられる。

(2) 上記(1)のうち、特筆すべき成果

(1) 特に顕著な成果(科学や技術の新しい分野の展望など)

D-RMTP I SoC を搭載した 30mm 角 D-RMTP I Ver.2.0 SiP を D-RMTP 評価キット上で動作させ、ソフトウェアから SiP 上のポテンショメータを制御してコア電圧を制御できること、及び、AD コンバータの値を読み取ることでコア電圧及びデバイス温度を観測できることを実機レベルで確認した。コア電圧及びデバイス温度の測定は 20 μ sec 程度、コア電圧の制御は数十 μ sec のオーダーで実現でき、また、電圧を 1.1V から 0.8V へ調節することで消費電力量を 1/5 以下に削減できることを確認した。以上より、組込みアプリケーションにおいて必須となるリアルタイム性を維持しつつ、ディペンダビリティ向上と大幅な消費電力削減のために、非常に短い時間的粒度での RT-DVFS 制御が可能であることを実証した。また、これらの機能を非常に小さなサイズ(30mm 角)で実現できることも大きなインパクトがある。

(2) 当初計画で想定外であった重要・新規な展開

コア電圧を切り替える際、電圧のオーバーシュートまたはアンダーシュートが生じることがあり、電圧が目標値に到達してプログラムが安定動作可能になるまでに一定の遅延が生じる。D-RMTP 評価キットを用いた実機評価の結果、コア電圧を切り替えてから電圧が安定化するまでの遅延が 20 μ sec 程度と当初見積もりよりも大きいことが分かった。コア電圧の動的モニタリングを行わない DVFS 制御はプログラムの安定性を著しく損なう恐れがあるため、細粒度にコア電圧をモニタリングしつつコア電圧を制御する本プロジェクトのアプローチはディペンダビリティを維持しつつ消費電力を削減するために必須であることを再確認した。

さらに、これまでに研究開発してきた IPC 制御機構について実機レベルでの評価・検証を行い、10 μ sec 程度の非常に短い時間粒度でのリアルタイム性を実現できることを実証した。

§ 4. 成果発表等

(4-1)原著論文発表

●論文詳細情報

<代表者グループ>

1. 向後卓磨, 山崎信行, "優先度付きオンチップネットワークのための VIX ルータとその評価", 第 9 回先進的計算基盤シンポジウム, pp. 381-390, 東京, 2011 年 5 月
2. 千代浩之, 武田瑛, 船岡健司, 山崎信行, "Rate Monotonic に基づく拡張インプリサイスタスク用リアルタイムスケジューリング", 情報処理学会論文誌, 52 巻 8 号, pp. 2365-2377, 2011 年 8 月
3. Kei Fujii, Hiroyuki Chishiro, Hiroki Matsutani, Nobuyuki Yamasaki, "Dynamic Voltage and Frequency Scaling for Real-Time Scheduling on a Prioritized SMT Processor", Proc. of the 1st International Workshop on Cyber-Physical Systems, Networks, and Applications, pp. 9-15, Toyama, 2011 年 8 月 (DOI: 10.1109/RTCSA.2011.78)
4. Kohei Matsumoto, Hiroyuki Umeo, Nobuyuki Yamasaki, "A Thread Speed Control Scheme for Real-time Microprocessors", Proc. of the 1st International Workshop on Cyber-Physical Systems, Networks, and Applications, pp. 16-21, Toyama, 2011 年 8 月 (DOI: 10.1109/RTCSA.2011.77)
5. Masakazu Taniguchi, Hiroki Matsutani, Nobuyuki Yamasaki, "Design and Implementation of On-chip Adaptive Router with Predictor for Regional Congestion", Proc. of the 1st International Workshop on Cyber-Physical Systems, Networks, and Applications, pp. 22-27, Toyama, 2011 年 8 月 (DOI: 10.1109/RTCSA.2011.61)
6. Hiroyuki Chishiro, Nobuyuki Yamasaki, "Global Semi-Fixed-Priority Scheduling on Multiprocessors", Proc. of the 17th IEEE International Conference on Embedded and Real-Time Computing Systems and Applications, pp. 218-223, Toyama, 2011 年 8 月 (DOI: 10.1109/RTCSA.2011.32)
7. 山崎信行, 松井俊浩, "分散制御用リアルタイム通信規格 Responsive Link", 情報処理学会デジタルプラクティス, 2 巻 4 号, pp. 246-254, 2011 年 10 月
8. Hiroyuki Chishiro, Nobuyuki Yamasaki, "RT-Est: Real-Time Operating System for Semi-Fixed-Priority Scheduling Algorithms", Proc. of the 2011 International Symposium on Embedded and Pervasive Systems,

- pp. 358-365, Melbourne, 2011 年 10 月 (DOI: 10.1109/EUC.2011.60)
9. Hiroyuki Chishiro, Nobuyuki Yamasaki, “ Experimental Evaluation of Global and Partitioned Semi-Fixed-Priority Scheduling Algorithms on Multicore Systems”, Proc. of the 15th IEEE International Symposium on Object/Component/Service-Oriented Real-Time Distributed Computing, pp.127-134, Shenzhen, 2012 年 4 月 (発表決定済み)
 10. Kazutoshi Suito, Kei Fujii, Hiroki Matsutani, Nobuyuki Yamasaki, “ Dependable Responsive Multithreaded Processor for Distributed Real-Time Systems”, Proc. of the 15th IEEE Symposium on Low-Power and High-Speed Chips, Yokohama, 2012 年 4 月 (発表決定済み)
 11. 谷口将一, 松谷宏紀, 山崎信行, “予測を用いた NoC 向け混雑回避機構”, 情報処理学会論文誌コンピュータインテグレーションシステム, 5 巻 3 号 2012 年 5 月 (発行決定済み)
- <東大グループ>
12. Nobuyuki Ito, Junichi Urata, Yuto Nakanishi, Kei Okada, Masayuki Inaba, “Development of Small Motor Driver Integrating Sensor Circuit and Interchangeable Communication Board”, Journal of Robotics and Mechatronics, Vol.23, No.2, pp443-450, 2011 年
 13. Junichi Urata, Koichi Nishiwaki, Yuto Nakanishi, Kei Okada, Satoshi Kagami, Masayuki Inaba, “Online Decision of Foot Placement using Singular LQ Preview Regulation”, 2011 IEEE-RAS International Conference on Humanoid Robots, Bled (Slovenia), pp13-18, 2011 年 10 月 (DOI: 10.1109/Humanoids.2011.6100894)

(4-2)知財出願

- ① 平成23年度特許出願件数(国内 2 件)
- ② **CREST** 研究期間累積件数(国内 3 件)