

米田 友洋

国立情報学研究所・教授

ディペンダブルネットワークオンチッププラットフォームの構築

§ 1. 研究の概要

1. チーム全体の研究の概要

①本研究の背景、社会や産業に存在する問題と本研究の課題

集積システムの微細化・大規模化が進むにつれ、さまざまなアプリケーション製品の高機能化が図られ、VLSI 内収容コア数は急速に増加することになり、その実現はますます難しくなる。まず、チップ内長距離配線の伝送速度低下や伝送障害、配線困難性、配線間干渉等の問題が生じる。また、高速クロックのネットワーク全域への分配困難性や、アイドルネットワーク部の電力消費も大きな問題である。さらに、非常に高い信頼度を必要とするアプリケーションの場合、コア故障による該当機能の処理能力喪失を防ぐために、コアの冗長化や故障検出・診断情報に基づく動的再構成が必須となるが、従来のバス接続構成では予め冗長化構成を決めておく必要があり、ディペンダビリティを保証するためのフレキシビリティ実現に制約が大きかった。

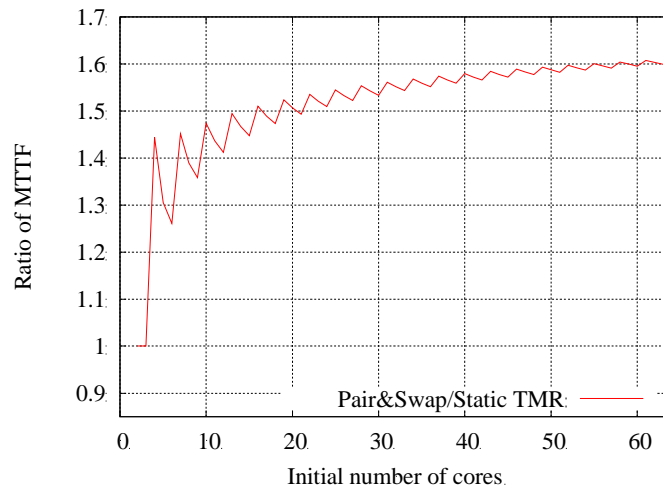
これらを解決するために、GALS-NoC(Globally Asynchronous Locally Synchronous-Network On Chip)方式が研究されるようになってきたが、依然として解決すべき問題がある。例えば、NoC 構成によりフレキシビリティ実現は容易となるが、コア故障の検出や診断の手法、また、それに基づく動的再構成法などのディペンダビリティ実現手法が確立されていない。すべてのタスクを三重化実行するのではなく、必要となる信頼度に応じた冗長化構成が選択されるべきである。また、単なるコアの寄せ集めによる冗長・不要部分の増加や微細化によるチップ内の局所的な性能劣化という問題も大きい。前者はチップの物理的、コスト的な実現性を難しくし、後者はマージン増加による性能低下を引き起こす。ある試算によると、32nm テクノロジでは、さまざまな要因に起因するばらつきにより、標準のものに比べて6倍以上も遅いゲートが存在し得る。これを単純にマージン増加で対応するのは非常に非効率的である。さらに、GALS-NoC におけるオンチップネットワーク部に生じる局所的な固定故障やソフトウェアエラーは、バスが遮断されることにより多くの正常コアが使用不能となる危険性を持つ。このような問題が及ぼす影響は、プロセスのテクノロジが進み、微細化が進むにつれてより大きくなることに注意しなくてはならない。そこで、プロセスの微細化により悪影響を受けるのではなく、その恩恵を十分に享受できるプラットフォームの開発が非常に重要となりつつある。

②本研究チームの達成目標。

VLSI 内収容コア数が急速に増加し、また、微細化が進んでも、設計・実装が容易で、プロセステクノロジの進化の恩恵を享受できるプラットフォームとして、我々は「多数のコアが適応的に協調動作して異種多様なタスクを効率よく、かつ、高信頼に実行できるプラットフォーム」を考え、それを新しい技術に基づく NoC システムとして実現すること、および、それを車載制御系システムにおいて実証することを目標とする。具体的には、以下を達成することによりこのプラットフォームを実現する。

1. 同種の複数の CPU コアやアクセラレータコアと入出力を司る IO コア等を高速なオンチップネットワークで接続する。これにより、センサ・アクチュエータ等の入出力と、それらに対する処理を行うコアとの対応に自由度が増す。また、タスクの信頼度要求と想定する故障パターンに応じた複数の冗長化構成を求めておき、各コアの劣化度、故障状況に応じて適応的に構成を切り替えてタスクを実行する。このために、適切な状態モニタリング・故障検出・診断手法を確立する。これにより、タスクの信頼度要求に応じた冗長性を持たせることが容易となり、また場合によっては重要度の小さい処理を切り捨てること

等も合わせて、重要な処理をより長時間にわたり遂行し続けることができる。例えば、静的に冗長タスク割り当てを行った上で、プロセス二重化と比較により故障の検出を行い、一時的な三重化実行により永久故障コアの同定と再構成を行う改良 Pair&Swap[1]手法を用いた場合、非冗長なものに比べてはもちろん、静的な三重化冗長(TMR: Triple Module Redundancy)を構成したシステムと比較しても、障害が生じるまでの時間(MTTF: Mean Time To Failure)を延ばすことが出来る。仮に初期状態のコア数が6、コアの障害率を λ とすると、改良 Pair&Swap の MTTF は $29/(20\lambda)$ 、静的 TMR の MTTF は $69/(60\lambda)$ となり、動的なタスク割り当てを行うことにより、約 1.26 倍長く重要な処理を遂行し続けることが出来る。この差は初期状態のコア数が増加するとより顕著になることが見込まれる。コア数と MTTF の関係を比較すると下図のようになり、コア数が増加すれば重要な処理を 1.6 倍以上長く継続実行することが望める。



2. オンチップネットワークを完全非同同期式により実現する。これにより、局所的な性能劣化に対しても高い耐性を持ち、また同期式で必要となる過度のマージンやシンクロナイズによるオーバヘッドを除去できる。各コアは、ローカルなクロックで動作することができ、クロック木生成やクロックスキューの問題に対する実装コストが大幅に低減できる。
3. オンチップネットワークをシームレスにチップ間に拡張できる機構を実現する。これにより、冗長化タスクを異なるチップ上のコアで実行することが容易となり、自動車メーカーの厳しいディペンダビリティ要件に、より容易に対応できる。
4. ディペンダブルかつ適応的ルーティングアルゴリズムを有するオンチップネットワークを実現する。これにより、ネットワーク部の局所的な故障による影響を最低限に抑え、正常コアの多くを救済することができる。例えば、 4×4 構成の2次元メッシュで座標(1, 1)のルータが故障した場合、広く使われているXYルーティング(まずX方向に移動し、次にY方向に移動する)では、すべてのコアにおいて、故障したルータに接続されているコア(1, 1)以外のいくつかのコアとも通信ができなくなるのに対し、1ルータ故障に耐えられるディペンダブルルーティングアルゴリズムでは、(1, 1)以外のコアとの通信は影響を受けない。コア(1, 1)以外のコアで、影響を受ける送受信ペア数の全体に対する割合で比較すると、XYルーティングの17%に対し、ディペンダブルルーティングでは0%となる。また、座標(2, 2)のルータも同時に故障した場合を考えると、XYルーティングでは33%と1/3のペアが通信できなくなるのに対し、前記ディペンダブルルーティングでは完全に耐えられるのは1ルータ故障のみであるため影響を受けるペアも存在するが、その割合は全体の4%に抑えることができる。さらに、わずかなハードウェアコストを追加した、より強固なディペンダブルルーティングアルゴリズム[2]を用いると、2つのルータ故障にも完全に耐えられるようにできる。
5. ハイブリッドエンジン制御、あるいは、統合車体制御という、高度な実問題に適用して、HILS(Hardware In the Loop Simulation)システムにより詳細な実証を行う。これにより、自動車メーカー、自動車関連メーカーに本研究の成果をアピールできる。
6. 自動車メーカー、自動車関連メーカーで、提案プラットフォームを容易に評価できるような評価キットを提供する。これは、ハードウェアとして、試作した複数のNoCチップ、IOコアを実現するFPGA、HILSインターフェース、および簡易版HILSシステムを含む。簡易版HILSシステムは、ユーザが本格的なHILSシステムを自前で用意することなくプラットフォームを評価できるように、精度は高くなくても、ECU機能のテストができる程度の小規模シミュレータであり、FPGA等を用いて実現する。さらに、さまざまな構

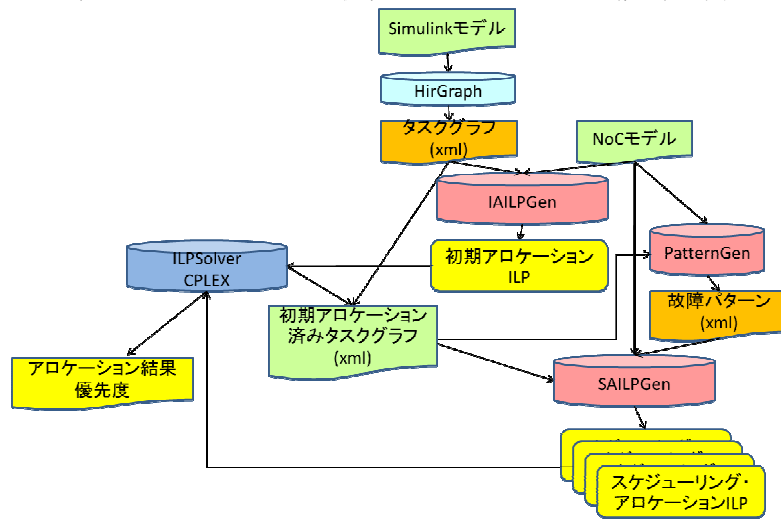
成を試してみたいユーザのために、NoC を実現できる程度の大規模 FPGA を実装し、NoC チップの代替えとして使用できるようにする。一方、上記ハードウェアでのソフトウェア開発を容易にするために、2重化実行等を隠蔽する API 等を整備する。また、与えられた信頼度要求を満足するように静的にタスクを多重に割り当てるツールを提供する。

- [1] Masashi Imai, Tomohiro Yoneda: “Duplicated Execution Method for NoC-based Multiple Processor Systems with Restricted Private Memories,” Proc. of DFT2011, (Vancouver, Canada), Oct., 2011.
 [2] Daihan Wang, Chamika Mannakkara, Vijay Holimath, Tomohiro Yoneda: “An Online Routing Mechanism with Higher Fault-Tolerance for Network-on-Chip,” IEICE tech. report, Oct., 2011.

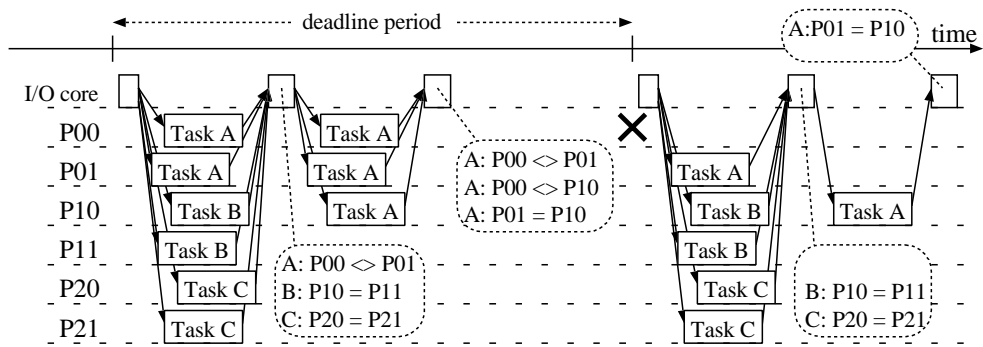
③本研究のアプローチ

本研究では、上記目標を達成するために GALS-NoC(Globally Asynchronous Locally Synchronous-Network On Chip)というアプローチをベースとする。本研究の独創性、優位性は、このGALS-NoCに基づくプラットフォームを、いかに高ディペンダブル・高性能・高アダプタブルに実現するかにある。これは、具体的には以下の方法による。

- 自動車メーカ・自動車関連メーカにてソフトウェア開発において多用される Simulink 記述を解析し、そこから自動生成された C コードによるタスクを、NoC 構成されたコアにメモリ制約や通信時間などを考慮した上でタスクを割り当てる手法を開発する。通信時間はネットワークポロジージから見積もる。また、コアの性能劣化・故障を検出した場合に、動的に実行コアを変更できるように、コアの想定故障数を入力として与え、実行できる故障パターンを最大にするようあらかじめ複数のコアにタスクを冗長に割り当てておく。そして、故障パターン毎にデッドラインなどの時間制約の下、タスクスケジューリングと実際にどのコアに割り当てられたタスクを使うかを決める。処理の概要を下図に示す。

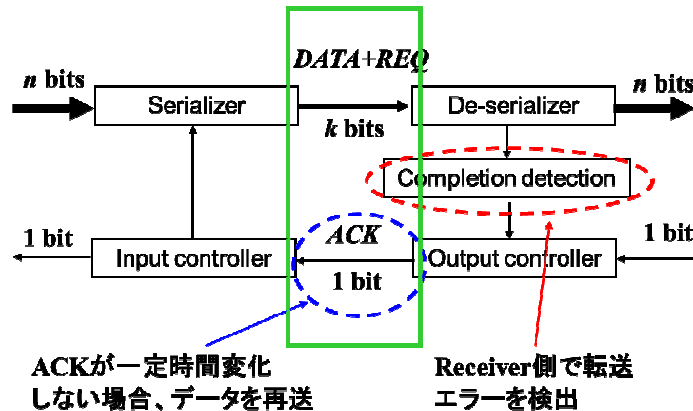


- コアにおける故障の検出は、従来技術であるセルフチェックング技術、各種符号技術、ウォッチドックタイマ技術等のほか、前述したプロセス二重化と比較による方法を用いる。センサ・アクチュエータ等を管理する IO コアが CPU コアのタスク起動、演算結果の比較・判定を行う。すなわち、IO コアが、タスク実行に必要なデータを CPU コアに送り、結果を集めて比較する。比較において不一致が生じた場合は、3つの CPU コアを用いて再実行し、故障 CPU の同定と、ペア再構成を行う。この様子を下図に示す。ただし、ソフトウェア等の一過性故障の場合は、3重化実行において不一致は生じないため、もとのペアのままタスク実行を続ける。

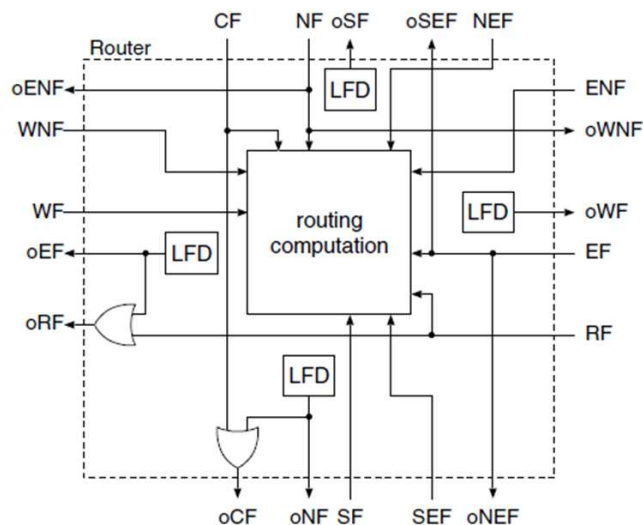


3. ネットワークリンク部は 2 色の符号を用いた 2 線式符号化方式により実現する。2 色の符号を用いることで、従来の単純な 2 線式符号のように、符号語の間にスペーサを挟むという休止相が不要となり、高速な通信が可能となる。また、この符号化により、劣化や各種変動による遅延変化の影響を排除できる。また、符号化の特性を利用した効率の良いタイムアウト処理を行うことが可能となり、固定故障・ソフトウェア等を高い確率で検出できる。ネットワークルータ部は、2 相式束データ方式による非同期式回路として実現することで、高性能性を実現する。また、遅延素子部に、プログラマブル遅延素子を用いることで、製造時のプロセス変動に伴う遅延変動や回路素子の劣化にも対応可能となる。なお、評価キットにおいては、同期式ルータも実装して選択できるようにし、各種比較・評価が行えるようにする。
4. 電流モードと非同期バースト通信技術に基づく、高効率チップ間通信技術を開発し、シームレスにオンチップネットワークを複数チップに拡張できるようにする。このアプローチのポイントは、ピン数の制約に起因する通信スループット低下をいかに防ぐかにある。現在、応答信号の遷移回数を減らすことにより高速バースト転送を実現するとともに、ノイズ等に起因する転送ミス時における再送機構を実現して信頼性を確保する手法を検討している。

リンク間を電流モード回路実現



5. 故障ルータあるいは故障リンクを迂回するようなディペンダブルルーティングアルゴリズムを実装する。このアルゴリズムは、従来技術をベースとするが、ネットワークに下図のように少数の信号線を追加し、故障情報を伝搬させる機構を設け、その故障情報を利用することで、無故障時および故障発生時のオーバーヘッドを削減する。このアプローチの特徴は、CPU コアからの制御を一切必要とせず、オンラインでの故障ルータ・リンクの迂回が可能となることである。一般に、オフラインにて故障情報をやりとりして、ルーティングテーブルを書き換える方式では、高い故障耐性が得られるが、ルーティングテーブルを書き換えるまでに多くのパケットが失われ、車載制御等のリアルタイムアプリケーションには向かないと考える。本アプローチでは、故障検出と同時に迂回が可能となるため、パケット消失は最低限にとどめられる。また、故障情報伝搬線を若干追加することにより、故障耐性を上げることも可能である。さらに、仮想リンクや物理リンクによりリンクを多重化することで、故障の有無にかかわらずネットワークのトラフィック集中を緩和でき、平均的なスループットを向上できる。



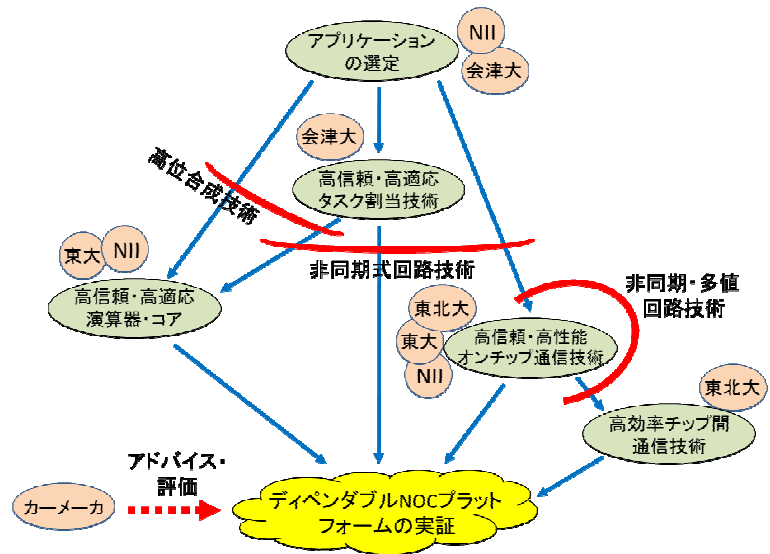
6. 非同期式回路において、特にソフトウェア・ノイズ等の影響を受けやすい制御部に対して、回路レベル2重化比較技術を適用する。制御部はデータパス部に対して回路量が少ないため、2重化による面積オーバーヘッドは、ルータ単体で40%程度に抑えることができる。これにより、同期式回路実現と同程度以上のソフトウェア耐性を実現することができる。
7. 性能オーバーヘッドの小さい非同期式回路用のフルスキャン技術を開発し、フルテスト可能な IP として提供できるようにする。

これらにより、このプラットフォームのユーザである自動車メーカは、量産時のコスト削減(従来のエンジン制御関係の ECU 例えば 10 チップを、冗長化も含めて 3 つの NoC チップで実現でき、チップ数が 7 割程度減る)、および、ディペンダビリティの実現容易性(センサ・アクチュエータと ECU の対応をフレキシブルにでき、また、NoC により容易に冗長化や動的な実行コア再構成を実現できる)を享受することができる。また、その結果、車のユーザにとっても、メンテナンスコスト減につながると考えられる。

④研究実施方法

1) 本研究チーム運営の方針、研究グループ間の分担・協力関係

右図のように、各種コア・オンチップネットワーク部は主に NII・東大グループが担当し、東北大学は主にチップ間通信技術を担当する。会津大学は高位合成・タスク割り当て技術を担当する。チーム内でのミーティングは月に1回必ず行っており、すべてのグループが、担当以外の部分についても詳細な設計や結果について把握し、毎回突っ込んだ議論を行っている。また、HILS システムが NII に設置されていることから、これまでの実機での基盤開発は NII グループが中心となって行ってきたが、今後は各グループの成果を組み込んで、NoC プラットフォームの開発・実証に取り組んで行く。



2) 領域外部の企業等との連携

自動車メーカーとの年1～2回のミーティングを通して、成果の報告とアドバイスを頂いている。センサ・アクチュエータ等と対応するタスクを実行するコアとの対応関係をフレキシブルにすることの重要性、チップ間通信の必要性、ハイブリッドエンジン制御というアプリケーションの選択、等は自動車メーカーとのミーティングにおける議論から得られたものである。

さらに、ハイブリッドエンジン制御の高位モデル(Simulink モデル)を ECU メーカーと共同開発した。また、非同期回路実装用ツールをツールメーカーと共同開発している。このほか、ユタ大学、南テキサス大学と NoC プラットフォームの形式的検証の可能性について共同研究している。

さらに、提案プラットフォームの自動車メーカー等への提供可能性について半導体メーカーと議論している。

3) 領域内他研究チームとの連携関係

梶原チームの大竹グループとは、非同期式回路のテスト技術において連携し、効率の良いスキャン技術を開発している。既に、何件か特許となっている。また、坂井チームの吉瀬グループとは NoC の構成について議論を行っている。

2. 研究グループの研究の概要

(1)「NII」グループ(研究代表者グループ)

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

NII グループは東大グループとともに、各種コア・オンチップネットワークの高ディペンダブル化、高性能化を担当している。そのため、GALS-NoC におけるコア・ルータ・リンクの故障検出ならびに耐故障性をいかに実現するか、また、微細化プロセスにおける大きなばらつきが存在する環境で、マージン増加に伴う性能低下を防ぎ、いかに微細化プロセスの恩恵を享受できる設計手法を実現するかが第一の研究課題である。さらに、開発した設計手法をユーザに提供するために、設計支援ツールやライブラリを開発・整備する必要がある。

また、会津大グループとともに、実証用アプリケーションの検討・選定を行うこと、さらに、研究代表者グループとして、実証用 NoC プラットフォームの開発を主導する。

②本研究グループの達成目標。

1. NoCにおけるCPUやアクセラレータコアの適切な状態モニタリング・故障検出・診断手法を確立し、各コアの劣化度、故障状況に応じて適応的に構成を切り替えてタスクを続行できる仕組みを実現する。これにより、タスクの信頼度要求に応じた冗長性を持たせることが容易となり、また場合によっては重要度の小さい処理を切り捨てること等も合わせて、重要な処理をより長時間にわたり遂行し続けることができ、コアの高信頼化が実現できる。
2. 完全非同期式オンチップネットワークを実現する。これにより、局所的な性能劣化に対しても高い耐性を持ち、またマージンやシンクロナイザによるオーバヘッドを除去でき、オンチップネットワークの高性能化に繋がる。
3. ディペンダブルかつ適応ルーティングを開発する。これにより、ネットワーク部の局所的な故障による影響を最低限に抑え、正常コアのほとんどを救済することができる。また、ディペンダブルルーティングはローカルな故障情報に基づき機能するが、隣接するルータ・リンクの故障検出を適切に行える仕組みを開発する。
4. ハイブリッドエンジン制御、あるいは、統合車体制御という、高度な実問題に適用して、HILS(Hardware In the Loop Simulation)システムにより詳細な実証を行うことができるように、実証用プラットフォームの基盤を整備し、各グループの成果を適用し、評価できる枠組みを開発する。これにより、自動車メーカー、自動車関連メーカーに本研究の成果をアピールできる。

③研究のアプローチ

1. 2つのコアで同一タスクを実行し、タスクの出力結果を受け取るIOコアがその比較を行うことによりコアの固定故障あるいは一過性故障を検出する。不一致が生じた場合は、もう一台のコアを用いて3重化実行を行い、故障コアを同定する。固定故障の場合は、故障コアを除いて、正常コア同士で2重実行のペアを再構成する。このアプローチは、NoCにおけるタスク実行のフレキシビリティを利用したもので、動的なペア再構成により、組み込み制御用途のようにメモリ量が限られたシステムにおいて、より長い間サービスを続行できるという特徴を持つ。この手法の開発は東大グループと密接に連携して進めている。
2. 完全非同期式オンチップネットワークを実現するために、2色の符号を用いた2線式符号化方式を用いたネットワークリンクと、2相式束データ方式による非同期式ルータを開発する。これにより、リンク部は、劣化や各種変動による遅延変化の影響を排除できる。また、符号化の特性を利用した効率の良いタイムアウト処理を行うことが可能となり、固定故障・ソフトウェア等を高い確率で検出できる。また、ルータ部は、遅延素子部に、プログラマブル遅延素子を用いることで、回路素子の劣化にも対応可能となる。なお、同一仕様の同期式オンチップネットワークも同時開発し、詳細な比較評価を行う。これについても、東大グループと密接に連携している。
3. 故障ルータあるいは故障リンクを迂回するようなディペンダブルルーティングアルゴリズムを実装する。このアルゴリズムでは、ネットワークに少数の信号線を追加し、故障情報を伝搬させる機構を設け、その故障情報を利用することで、無故障時および故障発生時のオーバヘッドを削減する。このアプローチの特徴は、CPUコアからの制御を一切必要とせず、オンラインでの故障ルータ・リンクの迂回が可能となることである。オフラインにて故障情報をやりとりして、ルーティングテーブルを書き換える方式のほうが、高い故障耐性が得られるが、ルーティングテーブルを書き換えるまでに多くのパケットが失われ、車載制御等のリアルタイムアプリケーションには向かないと考える。本アプローチでは、故障検出と同時に迂回が可能となるため、パケット消失は最低限にとどめられる。さらに、故障情報伝搬線を若干追加することにより、故障耐性を上げることも可能である。
4. ルータ・リンクの故障を検出するために、各種誤り検出符号、タイムアウト検出手法を用いて、セルフチェック機構を実現する。

④研究実施方法(研究チーム内外の連携関係など)

本グループは特に東大グループと強く連携して研究を行う。このほか、研究代表者グループとして、企業との連携、海外共同研究者との共同研究の中心的役割を果たしている。

(2)「東大／弘前大」グループ

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

東大グループは NII グループとともに、各種コア・オンチップネットワークの高ディペンダブル化、高性能化を担当している。NII グループと同様、GALS-NoC におけるルータ・リンクのディペンダブル化、高性能化が第一の研究課題である。その中でも、今後の微細化プロセスで問題となる遅延変動やソフトウェアなどに関する評価とその対策の検討、非同期式回路の設計に必要なセルライブラリの開発など、物理レベルの問題に関して中心的に検討している。

また、非同期式回路設計方式を広めるためには、設計を支援するツールが必要不可欠となる。そこで、既存の同期式回路設計用 CAD ツールを有効活用するための設計制約などを明らかにし、同期式 CAD ツールを利用した非同期式回路設計手法を確立する。さらに、非同期式回路のテスト方式の確立も非同期式回路設計技術の普及には必要不可欠であり、テスト方式の実装などに関しても中心的に検討している。

NoC 構成のマルチコアプラットフォームにおいて高信頼なシステムを実現するためには、プロセッサコアの故障判定を効率的に行う必要がある。そこで、プロセッサレベルの誤り判定・システム再構築の手法を検討し、ディペンダブル NoC プラットフォームに実装して評価する。

②本研究グループの達成目標。

1. 非同期式回路設計に関して、セルレベルの実装方式からテスト方式まで、一連の設計方式の確立と設計支援環境・支援ツールの提供が目標である。これにより、完全非同期式オンチップネットワークの設計を容易に行うことができるようになる。セル設計のノウハウの提供からテストまで含めた非同期式回路設計支援を行えるようになることで、非同期式回路設計に関する知識を有しないユーザでも非同期式回路実装を試すことが出来るようになり、今後ますます問題となる遅延変動に対して高耐性なディペンダブル VLSI を実現することができるようになる。
2. 非同期式回路は同期式回路のようなクロック信号を持たず、要求-応答ハンドシェイクプロトコルに基づいて動作する事象駆動型論理回路である。負荷容量の大きいクロック信号線と比較して、要求-応答信号線は比較的近距离で負荷容量が小さいため高速な信号遷移を実現することができるが、一方でアルファ線などによるソフトウェアに対する耐性が低くなりやすい。そこで、要求-応答信号線などの制御線のみ二重化するなどの対策をとることで、タイミング信号に関してクロック信号を用いる同期式回路と同等以上のソフトウェア耐性を実現する。これにより、微細化に伴うソフトウェア発生率を抑えることが出来る。
3. プロセッサレベルの故障判定方式を確立し、ディペンダブル NoC プラットフォームで動作するミドルウェアとして実装することで、使用者が意識することなく、漸次縮退するシステムを実現することが出来る。また、漸次縮退したことを通知する機構を設けることで、使用者はシステムの状態を知ることが出来るため、メンテナンスに関する判断を容易に行うことが出来る。

③研究のアプローチ

1. 本研究グループでは、非同期式回路実装に必要なセルレベルの回路構成、今後ますます問題となるリーク電流の非同期式実装における削減手法とそれに必要となるセルライブラリを提案している。符号化されたデータを用いてデータを転送する稼動相と回路の初期化を行う休止相を繰り返す方式では、非動作時の回路の状態を一意に求めることができるため、この特徴を利用した多閾値電圧トランジスタを用いたリーク電力削減手法を提案している。これまでも高閾値電圧トランジスタをスイッチとして利用する手法が提案されているが、符号化された回路に高閾値電圧トランジスタを直接組み込む点が独創的な点である。
2. 組み合わせ回路のソフトウェア耐性をあげるための手法として、二重化と比較による方式がいくつか提案されている。ディペンダブル NoC プラットフォームで適用している非同期式回路では、リンク部は2色2線の符号化を行っており、一過性故障はほぼマスクすることが出来る。ルータ部は東データ方式の符号化を行っており、同期式回路と同様に二重化と比較によりソフトウェア耐性をあげる事が出来る。しかしながら、回路すべての二重化は回路規模が増大し、消費電力の増加を招く。パケット転送が行われる NoC では、パリティビットの追加などのデータの符号化でエラーを検知し、上位レベルで再送を行わせることも考えられ、回路レベルでは要求仕様に応じたソフトウェア耐性をとれるようにすることが重要である。要求

一応答ハンドシェイクに必要な制御信号線のみの二重化であれば、回路規模の増大は全体の二重化に比べて小さく抑えることができ、かつ同期式回路と同等以上のソフトウェア耐性を実現することが出来ると考えられる。

3. 複数のプロセッサコアをひとつのチップ上に搭載したチップマルチプロセッサにおいて、故障が生じたことを検知し、一時故障であれば処理を継続し、永久故障であれば当該プロセッサコアを特定してそのコアを除いて残ったコアで処理を継続する手法として、Pair&Swap という手法を提案している。従来手法では三重化により故障の判定と障害が発生したプロセッサコアの分離を行っていたが、複数のペア対で故障の判定と障害が発生したプロセッサコアの同定を行う方式が独創的な点である。本方式は VLSI コアレベルにとどまらず、ソフトウェアレベル、システムレベルにも適用できると考えている。

④研究実施方法(研究チーム内外の連携関係など)

本グループは特に NII グループと強く連携して研究を行う。また、非同期式回路のテスト方式に関して、梶原チームの大竹グループと連携して回路構成や必要なセルの設計など研究を進め、試作するディペンダブル NoC プラットフォームに実装して評価する。

(3)「東北大」グループ

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

東北大グループは、ネットワークオンチップ用ルータ、およびチップ内、チップ間の高効率、高信頼通信方式の設計を担当している。

研究課題としては、チップ間通信の効率化、高信頼化について注力している。これは、複数チップからなるネットワークオンチップ実現を想定した際に、チップ内転送速度に対するチップ間転送速度が性能のボトルネックになることを回避しつつ、ネットワークオンチップ全体のディペンダビリティを十分に高いレベルで実現することが目的である。特にチップ間通信に関しては、チップ外に信号を抛出するためのパッド数が限られており、チップ内通信と比較した場合に、配線リソース数が制限されるため、その制約下において、転送速度、信頼性の双方に優れた方式が要求される。

また、設計した転送回路をシステムに組み込んで性能を評価するための、ネットワークオンチップ性能評価用ツールの開発も併せて行っている。これにより、回路シミュレータによる転送回路の単体評価のみでなく、ネットワークオンチップに提案する転送回路を組み込み、IPコアからのパケット送信を想定したときの、ネットワークオンチップの性能改善への寄与を確認することが可能となり、より実際の動作環境に近い形で性能評価を実現することができる。

②本研究グループの達成目標。

本研究チームにおいては、本研究課題の今までの研究期間において $0.13\mu\text{m}$ のプロセスを用いてチップ試作、および動作実証と評価を行っている。試作・および評価結果より、この設計プロセスを用いた際のチップ内、すなわち単一チップ内の小規模ネットワークオンチップにおける転送速度はおおよそ 5Gbps 程度であることが知見として得られている。よって、チップ間転送がボトルネックにならないために、少なくとも転送回路全体で 5Gbps 以上のスループットを有するチップ間非同期転送方式を実現することが目標となる。また、チップ間通信に関してはチップ内通信と条件が異なるため、より高信頼な設計が要求されるであろう事が想定される。そのため、一定のノイズ環境であっても転送を実現可能な機構、特に転送エラー検出時における再送機構の実現が目標として挙げられる。

設計回路評価用のネットワークオンチップ性能評価用ツールに関しては、設計した転送回路の転送速度、パラメータ、および機能を高位言語にてモデル化する一連のフローを構築することが必要となる。

③研究のアプローチ

本研究にて提案するチップ間転送の効率化はバースト転送、すなわちデータの到達毎に応答信号を返すのではなく、規定のデータ到達数に対して応答信号を返す方式、を用いることにより実現される。特に符号化

方式に基づく非同期式転送方式によるバースト転送では、クロック信号の遷移により情報を検出する同期式と異なり、転送される符号語の切り替わりが情報の境目を表すため、符号化された各信号が十分な長さを有する限り、転送時間自体のずれに関わらず、正しく情報を受信することが可能となる。また、ノイズ等の信号伝搬障害要因により信号波長が十分に確保できず、転送情報が受信側において検出されなかった場合においても、符号語検出数を数え上げ、本来到達するべき個数と比較することにより、送信信号の追い越し等による転送の不具合を検出することができる。以上より、提案する非同期バースト転送方式は高速性と高信頼性の両立を実現する事が可能となる。

④研究実施方法(研究チーム内外の連携関係など)

本グループは、他の3つの研究グループとの転送回路の設計、実装に関する定期的な打合せを通じた意見の交換、および上位設計における基礎データを共有することにより、前述の目的を達成するための研究開発を推進している。

(4)「会津大」グループ

①本研究グループの研究課題、ならびに所属する研究チームの課題との関係

会津大グループにおいては、NoC で実行するアプリケーションの各機能(タスク)を NoC のどこでいつ実行させるかというタスクスケジューリング・割り当て手法の確立が第一の研究課題である。ディペンダビリティへの対応として、想定故障パターンに対して、あらかじめ複数のコアに冗長にタスクを割り当てる。最終的には、NIIグループが中心となって開発した GALS-NoC を想定し、タスクスケジューリング・割り当てを行う。そのため、NIIグループと実証用アプリケーションの検討・選定を行う。

他の課題として、計算時間がかかるためプロセッサで実行するには不適当な機能を非同期アクセラレータとして合成するための CAD ツールを構築する。このツールは C 言語によるアプリケーションの動作モデルから、VerilogHDL による束データ方式による非同期式回路の RTL モデルを自動生成する。最終的には、東大グループが開発している非同期式回路設計支援用ツールと連携し、非同期式回路の設計自動化を実現する。

②本研究グループの達成目標。

1. NoC を対象にディペンダビリティを考慮したタスクスケジューリング・割り当てを支援するツールの開発
このツールはアプリケーションの機能(タスク)の実行順序を表わしたタスクグラフ、NoC モデル、NoC モデルにおけるコアの想定故障数を入力として与えれば、想定故障数のコアが故障しても正しく動作できる故障パターンを最大にするために複数のコアにタスクを冗長に割り当てる。また、割り当て結果とデッドラインといった時間制約を与えることによって、このツールは故障パターン毎に時間制約を満たすスケジュールが存在するかを判断する。そうしたスケジュールが存在する場合、いつどのコアに入っているタスクを用いて実行するかを決定する。このツールにより、ディペンダビリティを考慮したタスクスケジューリング・割り当てが自動で行われる。
2. 非同期アクセラレータを合成するツールの開発
このツールは C 言語によるアプリケーションの動作モデル、設計制約、リソースライブラリを与えれば、演算スケジューリング、リソース割り当て、制御合成といった動作合成を介して Verilog HDL による束データ方式による非同期式回路の RTL モデルを自動で生成する。このツールにより、非同期アクセラレータとして実現したい機能から RTL モデルへの合成が自動で行われる。

③研究のアプローチ

1. NoC を対象にディペンダビリティを考慮したタスクスケジューリング・割り当てを支援するツールの開発方法・アイデアの適用効果

想定故障数のコアが故障しても正しく動作できる故障パターンを最大にするために、整数線形計画法を用いて複数のコアにタスクを冗長に割り当てる。整数線形計画法を用いれば厳密解を得ることができるが、アプリケーションや NoC モデルが大きくなると問題を解くのに時間がかかる、あるいは膨大なメモリを要するといっ

た問題が生じるので、今後は発見的手法の開発を行う。なお、メモライズや時間制約の下、タスクスケジューリング・割り当てを行うので、現実的な状況での使用が可能である。

適用対象の広さ

入力を変えることによって、様々なケースを探索することが可能である。また、タスクグラフを用いることによってアプリケーションの形式を気にしなくてもよい。また、現在は2次元メッシュ構造のNoCをモデルとして想定しているが、他の構造のNoCモデルを扱えるように改良すれば、様々なNoCモデルに対応することも可能である。

優位性

ディペンダビリティを考慮したタスクスケジューリング・割り当てを行うことが可能である。すなわち、想定故障数の範囲内で多くの故障パターンに対応することができる。また、通信時間も考慮したタスク割り当て、デッドラインなどの時間制約を考慮したタスクスケジューリングを行うので、リアルタイム性の保証にも貢献することができる。

独創性

NoCを想定したタスクスケジューリング・割り当て手法は様々なところで研究がおこなわれているが、コアの想定故障数を入力とし、実行できる故障パターンを最大にするタスク割り当て手法は今までの調査でも見当たらなかった。そういった意味で本手法は独創的である。

2. 非同期アクセラレータを合成するツールの開発

方法・アイデアの適用効果

C言語によって記載されたアプリケーションの動作モデル、時間制約、資源制約といった制約、演算器などを含んだリソースライブラリより、束データ方式による非同期式回路のRTLモデルを自動で合成する(これを動作合成と呼ぶ)。束データ方式とは非同期式回路における実装方式の1つで、要求・応答信号によって回路部品を制御し、遅延素子によって動作タイミングを保証する。

適用対象の広さ

このツールのプロトタイプはこれまでの研究にてすでに開発されており、ここでは、MathWork社のSimulinkによってモデリングされたアプリケーションから同社のReal-Time Workshop Embedded Coderによって生成されたC言語を扱えるよう拡張する。こうすることで、C言語のみならず、Simulinkなどのモデルベースのアプリケーションからも非同期式回路の設計が可能となる。また、プロトタイプで利用する車載アプリケーションの多くはSimulinkでモデリングされているため、車載アプリケーションの非同期化にも適用できると考えている。

優位性と独創性

非同期式回路における動作合成手法は、これまでにも幾つか提案されてきたが、設計制約を扱えない、資源の共有に対応できないといった問題があった。これに対して、会津大グループが提供するツールは、こうした問題に対応できるという点で優位性がありかつ独創的である。

④研究実施方法(研究チーム内外の連携関係など)

上記のツールを開発後、ベンチマークを用いてツールの評価を行う。次に、NIIグループが中心になって行っているプロトタイプへの適用、東大グループが開発している非同期式回路設計支援ツール、および静的冗長タスク割り当てとの連携を検討していく。

§ 2. 研究実施体制

(1)「NII」グループ(研究機関別)

- ① 研究分担グループ長: 米田 友洋 (国立情報学研究所、教授) (研究代表者)
- ② 研究項目
 - (1) ルータ, 伝送方式, ネットワークインタフェースの全体設計
 - (2) CPU コア演算部の耐劣化性実現
 - (3) ハードウェアアクセラレータの実現

(2)「東大」グループ(研究機関別)

- ① 研究分担グループ長: 今井 雅 (東京大学、特任准教授) (主たる共同研究者)
- ② 研究項目
 - (ア) 非同期式回路設計用セルライブラリの評価・多入力アービタの設計・評価
 - (イ) NoC ルータの設計・評価
 - (ウ) プロセッサレベルの故障判定・再構築手法の確立

(3)「東北大」グループ(研究機関別)

- ① 研究分担グループ長: 松本 敦 (東北大学、助教) (主たる共同研究者)
- ② 研究項目
 - ・ ルータ, 伝送方式の設計
 - ・ 多値非同期実現に基づく転送方式の実証

(4)「会津大」グループ(研究機関別)

- ① 研究分担グループ長: 齋藤 寛 (会津大学、准教授) (主たる共同研究者)
- ② 研究項目
 - ・ 高位合成技術
 - ・ NoC ルータの基礎的検討

§ 3. 研究実施内容

(文中に番号がある場合は(4-1)に対応する)

(1) 研究の成果と自己評価

- (1) 成果 1. 「静的冗長タスク割り当てと動的ペア再構成に基づくタスク実行の高信頼化」(NII グループ・東大／弘前大グループ)

① 内容

マルチプロセッサコアシステムにおけるプロセッサレベルのフォールトトレラント技術を開発した。CMP(チップマルチプロセッサ)などに代表されるマルチプロセッサコアでは、各プロセッサコアは独立して動作することが可能であり、冗長化による高信頼化を行うことが出来る。一方で、CMP は故障が発生してもコア単体の修理は出来ないことから、非修理系として扱う必要があり、システムとして漸次縮退を行う必要が有る。そこで、プロセスの二重化と結果比較による誤り検出と、プロセスペア対の交換による故障判定と動的再構成を行う故障診断手法 Pair&Swap を前年度までに提案している。本年は、ディペンダブル NoC プラットフォーム向けの改良として、I/O コアがタスクの動的割当てと演算結果の比較を担当し、故障判定に一時的な三重化を行う改良 Pair&Swap 手法を提案した⁶⁾。

② 有用性

プロセッサレベルのフォールトトレラント技術として、従来手法としてあげられる静的三重化(TMR: Triple Module Redundancy)方式と比較して、二重実行で結果を比較して不一致の場合のみ故障判定動作に移る方式をとることで、通常動作時の消費電力を抑えることが出来る。また、スレッドレベルの並列性があるアプリケーションでは複数のタスクが同時実行させることができ、不一致ペアとほかのペアとの間でパートナーを交換することで故障判定を行うことができる本手法は、故障判定に伴うオーバーヘッドを小さくするこ

とが出来る。本研究で対象としているエンジン制御などのリアルタイム制約に余裕があるアプリケーションでは、故障判定に一時的な三重化を行う方式をとり、その判定を時間制約内に行うことが出来れば故障判定および永久故障時の動的再割当に伴うオーバヘッドを完全にマスクすることが出来る。

さらに、2重化実行等を隠蔽するAPI等を整備することにより、使用者が意識せずに漸次縮退を実現するシステムを実現することが出来る。また、漸次縮退したことを通知する機構を設けることで、使用者はシステムの状態を知ることが出来るため、メンテナンスに関する判断を容易に行うことが出来る。

③ 優位比較

プロセスの二重化と結果比較に関して、ソフトウェアレベルで同様の手順を用いて故障判定を行う手法として mSWAT と呼ばれる手法が提案されている。ディペンダブル NoC プラットフォーム向けにハードウェアを意識した実装を行うことができ、APIとして提供することが出来る点が本手法の優位点である。

また、CMP を対象としたプロセッサレベルのフォールトトレラント技術として、DCC(Dynamic Core Coupling)と呼ばれる方式が提案されている。DCC では、本提案方式と同様に複数のペア対で同時にタスクを実行させ、その結果を比較する。不一致だった場合、予備のスペアコアを用いて一時的に TMR を組んで故障判定を行う。DCC はバスアーキテクチャを想定しており、スペアコアではどのタスクでも実行できる。本提案方式では、ディペンダブル NoC プラットフォーム向けに、各コアが持つローカルなメモリに予め冗長的にタスクを割り当てる方式を提案しており、メモリ量が制約された組み込みシステムに適した故障判定・動的再割当て方式を提案している点が優位点である。

(2) 成果 2. 「高適応・高信頼タスクスケジューリング・割り当て」(会津大グループ)

① 内容

高適応・高信頼タスクスケジューリング・割り当て手法を開発した。この手法は、アプリケーションの各機能(タスク)を NoC 上で、いつどこで実行するかを決定する。適応性として、NoC のコア数、コア間通信時間、各コアのメモリサイズ、タスクの開始時間やデッドラインといった制約のもと、実行時間を最小化するようタスクスケジューリング・割り当てを行う。信頼性として、コアの想定故障数を入力として与え、想定故障数のコアが故障したとしても正しく実行できる故障パターンを最大にするよう複数のコアにタスクを冗長に割り当てる。こうすることで、想定故障数のコアが故障したとしても、残りのコアで同じ処理を実行することが可能となる。現在は、この手法を線形計画問題に置き換えて最適解を生成するツールを実装している。今後は、同様なことを発見的手法で行い、規模の大きなアプリケーションに対応する予定である。

② 有用性

アプリケーションをタスクグラフとして表し、NoC モデルをパラメータとして表すことにより、特定の仕様記述や NoC アーキテクチャに依存しないツールを実現するため、広い範囲で使うことができる。従来技術との差異は、コアの想定故障数を入力として与え、実行できる故障パターンを最大にするよう、タスク割り当てを行うという点である。有用性を高めるためには、パラメータの与え方が重要となるので、今後はベンチマークなどを通じた評価を行っていき、改善をおこなう。

③ 優位比較

NoC を想定したタスクスケジューリング・割り当て手法は様々なところで研究がおこなわれているが、有用性のところでも述べたとおり、コアの想定故障数を入力とし、実行できる故障パターンを最大にするタスク割り当て手法は今までの調査でも見当たらなかった。今後は、調査を継続しつつ、仮にもそうした手法が存在するのであれば、そうした手法と比較し有用性を実証していきたい。また、タスク割り当ての結果の精度(実際の実行時間との差)やリアルタイム性の保証に関しても優位性を打ち出していく予定である。

(3) 成果 3. 「高効率チップ間通信技術の開発」(東北大グループ)

① 内容

シームレスなチップ間転送を実現するための部分並列型非同期バースト転送方式について開発を行った。提案する高効率チップ間通信技術は、NRZ(Non-Return-to-Zero)符号である LEDR 符号を用いることと、単一転送毎にではなく、ある一定長のワード単位で応答信号を返すバースト転送方式を組み合わせたものであり、これによりチップ間通信という厳しいピン数制約条件の下で、高速な非同期チップ間転送を実現している。また、信頼性を維持するために、ジッターの発生により受信側にデータが正しく到達しなかった場合に、ウォッチドッグタイマを用いたタイムアウト検出・再送機構についても実装を行った。これらの回路を 130nm CMOS Technology を用いて評価した。

② 有用性

非同期 NoC アーキテクチャに基づくチップを相互に接続するシステムにおいて、オンチップの通信速度と比較して低速なオフチップ通信部分がシステム性能向上のための障害となる。特に通常の非同期通信においては、一回の転送毎に受信側から送信側へ応答信号を返すため、実効的なスループットはより低下する。また、オンチップ通信と比較した場合、入出力ピン数の制約により、通信リンクに使用できる配線数に厳しい制約がある。この部分に LEDR とバースト転送による、高速かつ端子数に関して高効率な通信技術を用いることで、転送速度を維持し、結果として拡張性の高い非同期 NoC の実現が可能になる。

③ 優位比較

過去の非同期チップ間通信技術 (ASYNC03, 09, ISCAS10 等) がいくつか提案されているが、いずれもオンチップの通信速度と比較して、十分な速度が得られているとは言えず、またジッター発生時の再送機構の具体的な実装については明確には述べられていない。我々の開発した方式では、テクノロジー等の条件を揃えた評価において、3.5 倍程度のスループットを達成している。今後、チップ試作、測定を通じて提案方式の有用性を示し、プロジェクトの最終成果物となる高信頼非同期 NoC アーキテクチャに基づくチップへの組み込みを予定している。

(4) 成果 4. 「第二次実証用モデルの構築」(全グループ)

① 内容

前年度に試作した16コアのNoCチップの評価を行って不具合を確認し、その改良としてオンチップネットワークをチップ間に拡張する方式を検討した。チップ間通信ではピン数が限られることから、チップ内のようにルータ間を全ビット数分の配線を用いたメッシュ構造で接続することは困難である。そこで、チップ間通信において限られた接続方向・接続数のもとでもディペンダビリティ、アダプタビリティを維持したままルーティングするアルゴリズムの開発と回路実装を行い、第二次実証用モデルとして4コアのNoCチップの設計・試作を行った。

② 有用性

自動車メーカーからはコア単体の故障だけではなく、チップ全体の故障が生じたときのことを考慮するべきであるとの意見を頂いており、オンチップネットワークを複数のチップ間に拡張してアダプティブかつディペンダブルなネットワークを構築することができる技術は重要である。また、チップ間に拡張することで高級車用では多くのチップを使い、低コスト車には少ないチップを使うなど、用途に応じたディペンダブルなシステム設計が容易に行える。

③ 優位比較

NoC を用いた車載制御システムは我々の知るところでは、他にない。一方で、ダイムラー (DATE2009)、フィアット (2011)、トヨタ (第8回カーエレ研究会) などの自動車メーカーは統合 ECU の必要性に言及しており、少なくともエンジン制御関連の ECU を統合することは、冗長化・再構成が容易という点で有効であると考えられる。また、我々のアプローチは、複数チップをチップ間通信で接続する形を想定しており、ディペンダビリティの切り分け、スケーラビリティの確保が可能で、自動車メーカーからのコメントに沿った形となっている。

(2) 上記(1)のうち、特筆すべき成果

(1) 特に顕著な成果 (科学や技術の新しい分野の展望など)

収容コア数の増加とともに有望なソリューションとされている NoC の枠組みにおいて、コアのタスク実行やオンチップネットワーク部をディペンダブル化した、ディペンダブル NoC プラットフォームを、実際に試作し、HILS システムを用いて、実アプリケーションにおいて実証した点は顕著な成果であると考えられる。今後、ディペンダビリティ向上、性能向上、アプリケーションの規模の拡大等、行うべきことは多いが、LSI メーカー、自動車メーカー、ECU メーカー等とよく議論しながら、使いたいと思われるようなプラットフォームの実現を目指したい。

(2) 当初計画で想定外であった重要・新規な展開

絶対性能は劣るが、HILS システムでの実証に最低限必要なオンチップネットワーク機能を、FPGA を用いた同期版 NoC で実現できる目途がつき、FPGA を搭載し、ユーザに様々な構成を試してもらえる評価キットの構想に思い至った。評価キットでは、試作チップにて非同期版および同期版 NoC を、そして、FPGA にてさまざまなルーティングアルゴリズムやネットワーク規模を持つ同期版 NoC を評価できるように構想中である。

§ 4. 成果発表等

(4-1)原著論文発表

●論文詳細情報

1. Masashi Imai and Tomohiro Yoneda : Improving Dependability and Performance of Fully Asynchronous On-chip Networks, Proc. IEEE Int. Symp. Asynchronous Circuits and Systems 2011, pp.65-76, (Apr., 2011), DOI:10.1109/ASYNC.2011.15
2. Scott Little, David Walter, Chris Myers, Robert Thacker, Satish Batchu, Tomohiro Yoneda : Verification of Analog/Mixed-Signal Circuits Using Labeled Hybrid Petri Nets, IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, Vol 30, No. 4, pp. 617-630, (Apr., 2011), DOI: 10.1109/TCAD.2010.2097450
3. Takao Kawano, Naoya Onizawa, Atsushi Matsumoto, and Takahiro Hanyu : Adjacent-State Monitoring Based Fine-Grained Power-Gating Scheme for a Low-Power Asynchronous Pipelined System, Proc. IEEE Int. Symp. Circuits and Systems 2011, pp. 2067-2070, (May, 2011), DOI:10.1109/ISCAS.2011.5938004
4. Atsushi Matsumoto, Naoya Onizawa and Takahiro Hanyu : Complementary Multiple-Valued Encoding Scheme for Interconnect-Fault-Resilient Bidirectional Asynchronous Links, Proc. 41th IEEE International Symposium on Multiple-Valued Logic, pp.236-241, (May, 2011), DOI: 10.1109/ISMVL.2011.30
5. Naohiro Hamada and Hiroshi Saito : Integration of Behavioral Synthesis and Floorplanning for Asynchronous Circuits with Bundled-data Implementation, Proc. ACM Great Lakes Symposium on VLSI 2011, Campus Lausanne, Switzerland, (May, 2011), DOI:10.1145/1973009.1973042
6. Masashi Imai and Tomohiro Yoneda : Duplicated Execution Method for NoC-based Multiple Processor Systems with Restricted Private Memories, Proc. DFT2011, pp.453-471, Vancouver, Canada, (Oct., 2011), DOI:10.1109/DFT.2011.38

(4-2)知財出願

- ① 平成23年度特許出願件数(国内 0 件)
- ② CREST 研究期間累積件数(国内 4 件)