

高木 直史

京都大学大学院情報学研究科・教授

単一磁束量子回路による再構成可能な低電力高性能プロセッサ

## §1. 研究実施体制

### (1)「高木」グループ

① 研究代表者:高木直史 (京都大学大学院情報学研究科、教授)

#### ② 研究項目

単一磁束量子論理回路設計及び設計支援技術の開発

・多層配線プロセスに対応した論理回路設計ツールの開発

・SFQ-RDP 用算術演算ユニットの構成法の開発

### (2)「村上」グループ

① 主たる共同研究者:村上和彰 (九州大学大学院システム情報科学研究所、教授)

#### ② 研究項目

大規模再構成可能データパスを有するプロセッサ・アーキテクチャの開発

・RDP 向き計算アルゴリズムの開発

・RDP 性能評価とアーキテクチャ洗練

・RDP コンパイラの開発

### (3)「吉川」グループ

① 主たる共同研究者:吉川信行 (横浜国立大学大学院工学研究所、教授)

#### ② 研究項目

単一磁束量子算術演算ユニットの開発

・多層配線プロセスに適した論理セル開発

・SFQ 算術演算ユニットの高速動作実証

(4)「赤池」グループ

① 主たる共同研究者:赤池宏之 (名古屋大学大学院工学研究科、助教)

② 研究項目

単一磁束量子再構成可能データパスの開発

- ・超伝導多層配線による広帯域フレキシブル超伝導配線技術及び論理セル設計技術の開発
- ・SFQ 回路による再構成可能なデータパスの実証

(5)「永沢」グループ

① 主たる共同研究者:永沢秀一 ((財)国際超伝導産業技術研究センター

超伝導工学研究所、主管研究員)

② 研究項目

単一磁束量子回路プロセスの高度化及び高信頼化

- ・Nb9層接合寸法 1 $\mu\text{m}$  プロセスの高信頼化及び SFQ 回路の試作
- ・Nb4層接合寸法 2 $\mu\text{m}$  プロセスの高信頼化及び SFQ 回路の試作

## § 2. 研究実施内容

(文中に番号がある場合は(3-1)に対応する)

超伝導単一磁束量子(SFQ)回路による大規模再構成可能データパス(RDP)を有するプロセッサの基盤技術を確立するために、RDP アーキテクチャ技術の確立、SFQ 回路による再構成可能な回路の構成法の開発、SFQ-RDP に適した算術演算ユニットの構成法の開発、SFQ 論理回路設計技術の開発、SFQ回路プロセスの高度化及び高信頼化を行っている。今年度は最終年度となる予定であったが、東日本大震災の影響で一部の最終目標の今年度における達成が不可能となり、また、最近の米国における新たな超伝導回路技術の研究開発の動向から新たに低消費電力回路技術を開発することが必要となったため、研究期間を1年延長し、一部の研究を来年度に後倒しし、低消費電力回路技術の開発に関する研究を追加した。

RDP アーキテクチャ技術に関しては、アーキテクチャを確定し、コンパイラを開発するとともに、いくつかのアプリケーションに対してRDP 向きのアルゴリズムを開発することを最終目標としている。今年度は、以下の研究を行い、最終目標を達成するとともに、現在、新たに開発している低消費電力回路技術に対応して、RDP の性能の再見積り、アーキテクチャの洗練の検討を行っている。

(1) RDP アーキテクチャ

昨年度作成した Runge-Kutta 計算による深い依存関係の特徴を持つ DFG 群をもマッピング可能な、横幅に比較して段数の大きな RDP のサイズを明らかにした。

(2) RDP コンパイラ

昨年度に完成したコンパイラのユーザビリティを向上させるとともに、仕様のドキュメントを作成した。また、2次元の実際の拡散方程式プログラムに適用し、適切に動作することを確認した。

### (3) RDP 向き計算アルゴリズムの開発

3次元の拡散方程式ならびに FDTD 計算に対し RDP 向けの計算アルゴリズムを開発した。拡散方程式の3次元計算について、2次元以下で有効であった差分方程式カーネル計算部分のループアンローリングによるDFG作成手法を用いず、元のDFGを直接使用した方が効率的であることを明らかにした。さらに、DRAMのDMA転送を最大限利用可能とするデータ配置を3次元問題へも適用し、プログラム実装を行った。この他、MD計算のカーネル部分についてDFGを生成し、RDP上で計算可能であることを示した。

### (4) RDP の性能評価

(3)で作成した3次元拡散方程式計算プログラムについて性能評価を行い、同一メモリバンド幅の条件ではGPU計算と比較し82%の性能が得られることを示した。さらに、昨年度対象とした2次元拡散方程式やFDTD計算を含め消費電力あたりの性能評価を行いGPU計算と比較した。その結果、プロセッサ部分のみの消費電力の考慮では1700倍以上の電力性能となることを示した。オフチップメモリを含める場合ではメモリ部分の消費電力が大半となり電力性能が低下するものの、すべての計算にておよそ2.5倍となることを示した。

再構成可能な回路の構成法および算術演算ユニットの構成法に関しては、当初、Nb9層接合寸法1 $\mu$ mプロセス技術及び論理セルライブラリを用いて、最終目標であるALUを16個搭載した4x4SFQ-RDPおよび浮動小数点演算器の50GHzにおける動作実証を目指していたが、東日本大震災の影響で実施できなくなり、来年度に後倒しすることとした。今年度は、以下の研究を行うとともに、試作プロセスの復旧に向けて、各種TEG回路、テスト回路の設計、評価を行った。

#### (1) SFQ-RDP の開発

昨年度にNb9層接合寸法1 $\mu$ mプロセスを用いて作製した2x3SFQ-RDP(ALU2並列3段)及び4x2SFQ-RDPの動作評価を行った。これらの評価結果及び、45GHz動作2x2SFQ-RDP<sup>1)</sup>の動作状況から、ALUアレーの各段間にFIFOを導入して並列処理される信号のタイミング調整を図ることが動作余裕の確保に対して重要であることが改めて分かった。一方、大規模SFQ-RDP用として並行して検討を進めてきたORN及びFIFOを結合させた回路を昨年度から継続して動作評価し、48GHzまでの正常動作を確認した<sup>5)</sup>。これらの結果を受けて、FIFOを導入した2x2SFQ-RDPの設計及び動作評価を行ったところ、FIFOに機能追加が求められることがわかった。

#### (2) 算術演算ユニットの開発

昨年度にNb9層接合寸法1 $\mu$ mプロセスを用いて作製した半精度浮動小数点加算器および乗算器用の回路コンポーネントの高速動作測定とその評価を行った<sup>2), 3)</sup>。これに基づき回路コンポーネントのタイミング設計の最適化を行い、タイミングばらつきに強い浮動小数点加算器および乗算器を設計し、シミュレーションにおいて50GHzで十分な動作余裕度を得た。また、スループット向上のため仮数部の複数ビットスライスをまとめて処理する演算方式を検討した。

論理回路設計技術およびSFQ回路プロセスに関しては、1 $\mu$ m多層配線プロセス技術を確立し

て、論理デバイスおよび受動配線(PTL)デバイスを開発し、このデバイスに対応した論理セルライブラリを構築するとともに、自動配置配線ツールを開発して、大規模な SFQ 集積回路の設計、製作が可能であることを示すことを最終目標としていた。最近の米国での新たな超伝導回路技術の研究開発の動きを踏まえ、SFQ 回路の低消費電力化技術の開発を新たに加え、静的消費電力をおよそ 10 分の1にすることを目指すこととした。今年度は、以下の研究を行うとともに、試作プロセスの復旧を図っている。

#### (1) 低消費電力回路技術およびセルライブラリの開発

SFQ 論理回路のさらなる低消費電力化を目指して、大きなバイアス電流制限抵抗を大きなインダクタンスと小さなバイアス電流制限抵抗の直列接続からなる回路に置き換えた LR バイアス駆動法の検討を数値計算により行った。この結果に基づき、低消費電力セルの設計を行うとともに、それらを用いた ALU の設計・試作を行った。しかしながら、論理セルの一部に設計ミスがあることがわかり、現在、修正後のセルを用いて再試作中である。

また、バイアス電流を各回路に直列に供給するカレントリサイクル技術を確立するため、異なるグランドプレーン上に形成された回路ブロック間で信号を伝搬させるための磁気結合型信号伝送回路の開発を行った。3次元シミュレーションにより外部磁場に強い最適な磁気結合構造を決定し、実験により高い磁気結合係数( $k=0.55$ )を得た。この構造を用いて磁気結合型信号伝送回路を試作し、異なるグランドプレーン上に形成された回路ブロック間での信号伝搬を実証した。

さらに、米国における SFQ 低消費電力化技術(eSFQ, RQL)及び HPC 開発動向について調査を行った。

#### (2) 多層配線プロセスに対応した論理回路設計ツールの開発

多層配線プロセス向け自動配線ツール、動作タイミング解析のための論理シミュレーションツールを完成した。昨年度までに完成し配布していた、指定ピン間配線ツール、静的タイミング解析ツールと合わせて使用方法説明書を取りまとめ、設計グループに配布した。設計者向けのセミナーを開催し、実際の設計にツールを利用するための講習を行った。

設計者からの情報聴取により、自動配線ツールへの指定長または等長配線機能の追加が有用であることが分かったため、その実現方式を検討し、開発を開始した。現在、新たに開発している低消費電力回路技術に対応すべく、論理設計ツールの拡張を検討している。

#### (3) SFQ 回路プロセスの復旧

今年度上期は、大震災で被害を受けた製造設備やインフラの復旧に努めた。特に製造設備に関しては、長期間の停止に伴う装置コンディションの変化があり、様々なプロセス条件の再検討と調整を行った。

また、昨年度に Nb9層接合寸法  $1\mu\text{m}$  プロセスを用いて試作した多数のシフトレジスタ回路の測定を行い回路動作不具合の原因の検討を行った。その結果、シフトレジスタの歩留まりの回路規模依存性やウェハ内のチップ位置依存性を評価することができ、はじめて 100%の歩留まりのチップも得られた。このことは、チップ当り約 7 万接合の SFQ 回路が正常に動作しているということであり、1 チップ上で 5 万接合規模のシフトレジスタの歩留まり向上という目標を達成することが

できた。ただ、ウエハ内のチップ間の歩留まりのバラツキはまだ大きく、測定評価と分析の結果、この主な原因がウエハ内での露光時のパターン解像度のバラツキに起因しており、今後の検討課題であることが明確になった。

今年度下期は、上期に新たに調整したプロセス条件の元で、試作用評価 TEG チップならびにプロセス評価用 SFQ 論理セルや小規模テスト回路の試作、および、各層のインダクタンスパラメータを抽出するためのデバイス試作を繰り返し行い、試作プロセスの復旧に努めた。その結果、当初バラツキの大きかった接合の臨界電流密度、接合サイズの縮小値、及び  $M_0$  抵抗値などのデバイス特性の制御性、再現性の向上を図ることができた。また、素子の欠陥率も震災前のレベルに徐々に戻り、下期後半には震災前のベスト試作と同程度のシフトレジスタの歩留まりが得られた。

加えて、これまでの試作の測定結果の蓄積から、プロセス評価チップの欠陥率とシフトレジスタチップの回路動作の歩留まりには大きな相関があることが明確になった。上記の様に欠陥率の低いベスト試作ではチップ当たり約 7 万接合の SFQ 回路の正常動作が確認でき、今後、上記露光時の解像度のバラツキを改善することで、10 万接合規模の SFQ 回路を実現可能にするプロセス上の見通しが得られた。

### §3. 成果発表等

#### (3-1) 原著論文発表

##### ●論文詳細情報

1. M. Tanaka, H. Akaike, A. Fujimaki, Y. Yamanashi, N. Yoshikawa, S. Nagasawa, K. Takagi, N. Takagi, “100-GHz Single-Flux-Quantum Bit-Serial Adder Based on 10-kA/cm<sup>2</sup> Niobium Process,” *IEEE Trans. Appl. Supercond.* vol. 21, 2011, pp.792-796. (DOI: 10.1109/TASC.2010.2101034)  
本CRESTで開発したNb9層接合寸法1 $\mu$ m プロセスを用いたビットシリアル加算器を設計・試作し、回路の複雑さを考慮すると世界最高速と言える 93GHz までの正常動作を確認した。また、開発過程で高周波動作のためには、バイアス電流の供給線にインダクタンスを挿入するLRバイアス法が有効であることを示した。
2. F. Miyaoka, T. Kainuma, Y. Shimamura, Y. Yamanashi, N. Yoshikawa, “High-Speed Test of a Radix-2 Butterfly Processing Element for Fast Fourier Transforms Using SFQ Circuits,” *IEEE Trans. Appl. Superconductivity*, vol. 21, 2011, pp. 823-826. (DOI: 10.1109/TASC.2010.2094175)
3. T. Kainuma, Y. Shimamura, F. Miyaoka, Y. Yamanashi, N. Yoshikawa, A. Fujimaki, K. Takagi, N. Takagi, S. Nagasawa, “Design and Implementation of Component Circuits of an SFQ Half-Precision Floating-Point Adder Using 10-kA/cm<sup>2</sup> Nb Process,” *IEEE Trans. Appl. Superconductivity*, vol. 21, 2011, pp. 827 – 830. (DOI: 10.1109/TASC.2010.2096374)
4. D. Ozawa, Y. Yamanashi, N. Yoshikawa, “Design and Evaluation of Multi-Flux-Quantum Drivers Using Under-Damped Josephson Junctions,” *IEEE Trans. Appl. Superconductivity*, vol. 21, 2011, pp. 835 – 838. (DOI: 10.1109/TASC.2010.2096453)
5. I. Kataeva, H. Akaike, A. Fujimaki, S. Nagasawa, and N. Takagi, “Clock Line Considerations for an SFQ Large Scale Reconfigurable Data Paths Processor,” *IEEE Trans. Appl. Supercond.* vol.21, 2011, pp.809-813. (DOI: 10.1109/TASC.2010.2092402)