

竹内 健

東京大学 大学院工学系研究科・准教授

ディペンダブル ワイヤレス ソリッド・ステート・ドライブ

§1. 研究実施の概要

フラッシュメモリを用いたストレージであるソリッド・ステート・ドライブ (SSD)、メモリカードは低価格・軽量・低消費電力なストレージとして、携帯端末・パソコン・データセンターなどへの応用が期待されている。フラッシュメモリはフローティングゲートに電子を蓄えることによりデータ記憶を行うが、データ保持中にフローティングゲート中の電子がリークしデータが破壊されるという問題がある。またメモリカードのコネクタはゴミの付着や汚染、メモリカードとホスト機器の頻繁な着脱によるコネクタの摩耗が接触不良や速度劣化を引き起こす。更に、有線通信のメモリカードの高速化実現には、コネクタの容量を減らす必要がある。その結果、ギガ bps 以上の高速通信ではメモリカードとして必要な ESD 保護素子を搭載することが困難になり、人体との接触による静電気破壊に脅かされる。

本研究ではフラッシュメモリを用いたテラバイト容量のワイヤレス SSD (メモリカード) 及びホストシステムの研究を行う。書き換え回数やデータ保持時間の増加など使用に伴うメモリの信頼性の劣化、接触不良、動作中の電源遮断や水への接触(人的エラー)、人体との接触による静電気破壊(ESD)などのエラー要因にディペンダブルな回路システムの開発を目標とする。1mm 程度の通信距離の短距離無線通信・給電により有線通信(SATA・PCIe)並みの 10~50Gbps の実現を目指す。本研究では次の3つの研究プログラムを行う。

まず、【研究 1】ではメモリシステムの不良を救済する、高信頼メモリシステムの研究を行う。最適な誤り訂正回路の実現のためには、メモリ・通信などチャネルのエラーパターンをモデリング・解析することが鍵になる。今年度はメモリシステムのエラーを詳細に評価・解析し、メモリの微細化が世代進むことに、メモリのエラーが 5~数 10 倍増加することを明らかにした。また、メモリのエラーに非対称性があることに着目し、メモリに書き込むデータに変調を掛けることで、記憶するデータ中に、“0”または“1”の数を増やす

Asymmetric Coding を提案した。SSD の実機を用いた実測を行い、提案手法により 95%不良を削減できることを示した。本研究成果を纏めた論文を ISSCC 2011 にて発表を行った。次に【研究 2】では無線給電・通信システムの研究を行う。無線給電では、カード側で急激な負荷変動が存在する状況においても高い電力伝送効率を保つための回路・システムを開発する必要がある。無線通信においては、磁界結合を用いた多チャンネルのデータ通信に適した送受信機の開発、および、さらなるデータ速度向上のための広帯域結合器の開発が鍵となる。また、電力チャンネルからデータチャンネルへの干渉対策が必須となる。今年度は、ワイヤレスデータ伝送に関して、伝送線路型の超広帯域結合器の基礎検討を開始した。電磁界シミュレーションにより、10GHz を超える帯域を有する結合器を設計できること、また線路のパラメータを調整することで比較的容易に帯域を最適化できることを確認した。また、90nm-CMOS プロセスを用いてデータの送受信機を設計しテストチップを試作した。設計した伝送線路型結合器およびテストチップを用いて対向通信の実験を行い、1 チャンネルで 12Gbps 以上という非常に高速なデータレートを達成した。本研究成果を纏めた論文を ISSCC 2011 にて発表を行った。また、ワイヤレス給電に関しては、ワイヤレス SSD のホストが有する動作を利用してカード側の消費電力を見積もり、高速な負荷（消費電力）変動が存在する場合でも、追従して高効率を維持できるシステムを考案した。180nm プロセスを用いて 0.1W~0.5W の範囲で効率 60%以上を維持できること、また 10usec 程度の高速負荷変動に対してカード側電圧を安定化させることが出来ることを確認した。さらに、高耐圧プロセスを用いたテストチップにおいて、1W 以上の電力伝送および 20V 以上への昇圧を確認した。

【研究 3】では、メモリ・通信のシステム全体のディペンダビリティを向上させる。今年度は、インダクタを用いたワイヤレスデータ・電力伝送システムにおいて、電力伝送チャンネルからデータ伝送チャンネルへの干渉および複数のデータ伝送チャンネル間の干渉を防ぐことができるクローバ型のインダクタを開発して、テストチップで電力とデータを同時通信できることを確認した。本研究成果を纏めた論文を Symposium on VLSI Circuits 2010 にて発表を行った。

§2. 研究実施体制

(1) 東京大学グループ

- ① 研究参加者名: 竹内 健(東京大学 工学系研究科 准教授) (研究代表者)
- ② 研究項目
メモリシステム

(2) 慶應大学・黒田グループ

- ① 研究参加者名: 黒田 忠広(慶應義塾大学大学院 理工学研究科 教授) (主たる共同研究者)
- ② 研究項目
通信システム

(3) 慶應大学・石黒グループ

① 研究参加者名: 石黒 仁揮 (慶應義塾大学大学院 理工学研究科 准教授) (主たる共同研究者)

② 研究項目
給電システム

§3. 研究実施内容

(文中に番号がある場合は(4-1)に対応する)

【 研究 1 】高信頼メモリシステム

本研究テーマでは、メモリシステムの不良を救済する、高信頼メモリシステムの研究を行う。最適な誤り訂正回路の実現のためには、メモリ・通信などチャネルのエラーパターンをモデリング・解析することが鍵になる。今年度はメモリシステムのエラーを詳細に評価・解析し、図1に示すようにメモリの微細化が一代進むことに、メモリのエラーが5~数10倍増加することを明らかにした。

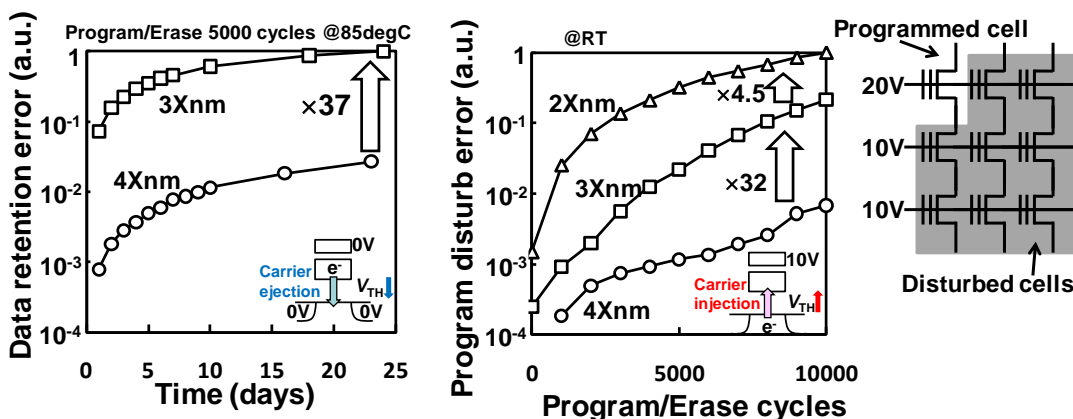


図1. 4Xnm, 3Xnm, 2Xnm フラッシュメモリのデータ保持及び書き込みディスタurb不良

また、メモリのエラーパターンには顕著な非対称性が存在する事を明らかにした。図2にメモリのエラーパターンを示す。データ保持不良はメモリのフローティングゲートの電荷がゲート酸化膜を通じて基板にリークすることにより生じるため、しきい値電圧が低下する不良である。しきい値電圧が高いほどゲート酸化膜に印加される電界が強まる。その結果、フローティングゲートからチャンネルへのリーク電流が大きくなり、エラーの発生確率が高くなる。

一方、書き込みディスタurb不良は、書き込み非選択のメモリのチャンネルで発生するホットエレクトロンがフローティングゲートに注入することで生じるため、

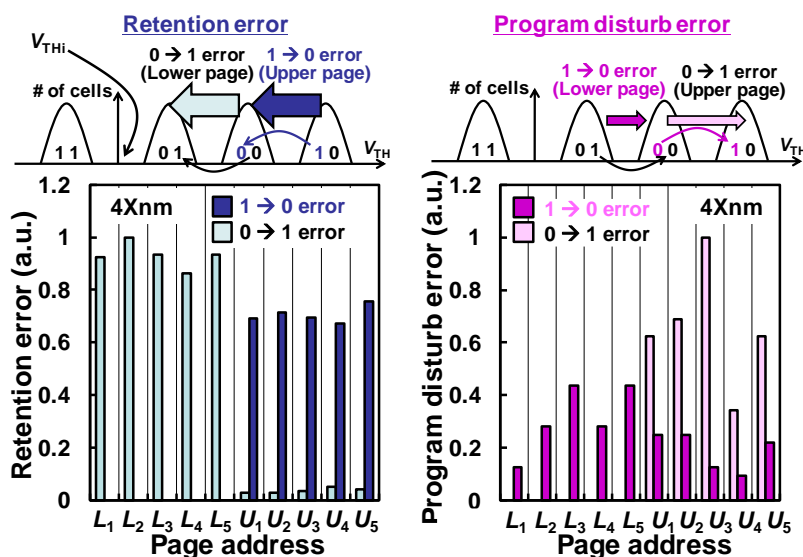


図2. NAND フラッシュメモリのデータ保持及び書き込みディスタurbのエラーパターン

しきい値電圧が高くなる不良である。データ保持不良・プログラムディスタurb不良ともに、図2の実測結果のように、エラーの顕著なパターンを生じる。データ保持では、Lower Page(下位のページアドレス)では「0」から「1」が主要な不良であり、Upper Page(上位のページアドレス)では「1」から「0」が主要な不良である。

本研究では、メモリのエラーに非対称性があることに着目し、メモリに書き込むデータに変調を掛けることで、記憶するデータ中に、「0」または「1」の数を増やす Asymmetric Coding を提案した。図3に示すように、SSDの実機を用いた実測を行い、提案手法により95%不良を削減できることを実証した。本研究成果を纏めた論文をISSCC 2011にて発表を行った(原著論文 1,4,6)。

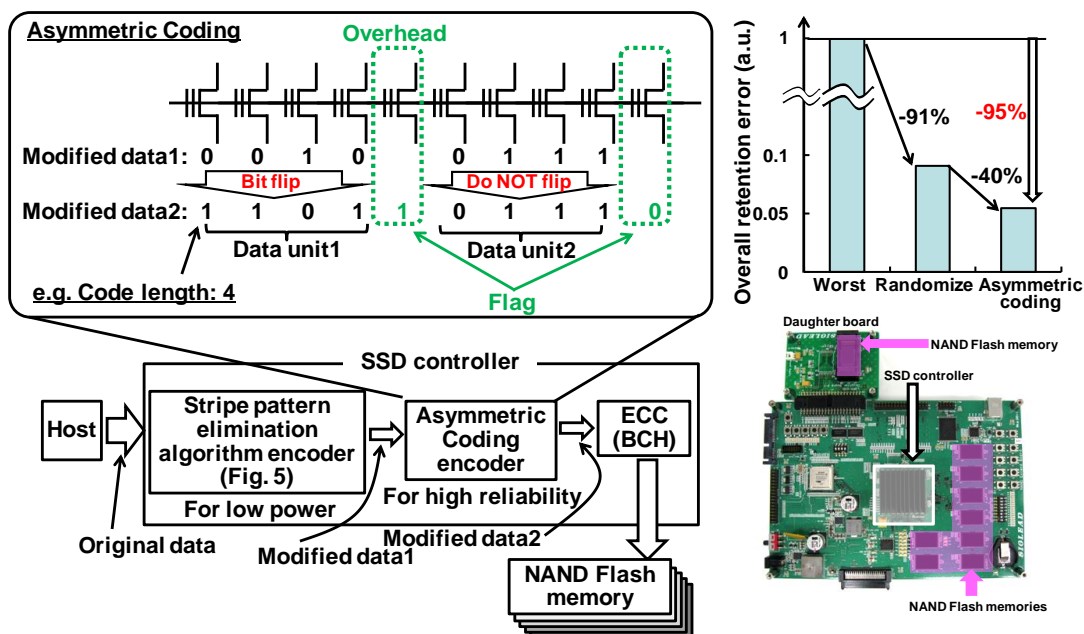


図3. 提案する Asymmetric Coding

【 研究 2 】適応制御ワイヤレス給電・通信システム

本研究テーマでは、絶え間なく向上している SSD のインターフェース速度に対応できる非接触データ伝送技術の開発、およびデータ伝送と同時に非接触で電力を給電するための回路システムの開発を行う。現在、ハイエンド用途ではインターフェースとして S-ATA3.0 規格(6Gbps)を採用したデータ転送速度 300MByte/sec を超える SSD が普通に市販されるに至っている。SSD の容量の増大にともない、今後もインターフェースに要求されるデータ転送速度は上昇し、本プロジェクト終了時(5年後)には現時点より1桁程度高い 50Gbps 程度のデータ転送速度が要求されると考えられる。このデータレートが実現できれば、Blue-Ray Disk (25GByte) の映像データを 10 秒弱で転送できる。ワイヤレス SSD でも同程度のデータ転送速度の実現が期待される。データ伝送レートの上昇に伴い SSD の消費電力も増大する。信頼性に大きな影響を与える熱の発生をすこしでも抑制するには、幅広い負荷変動の存在下において高い効率を維持するワイヤレス給電を実現しなければならない。

本研究テーマのうちワイヤレスデータ伝送では、これまでにインダクタによる磁界結合パルス通信を用いた高速ワイヤレスデータ通信のインターフェースの開発を進めると同時に、インダクタのチャンネル周波数特性に起因したデータレートの限界を超えるインターフェースを実現するために、伝送線路型の結合器を開発しその基本特性を評価した(図 4)。インダクタを用いた場合、1チャンネルあたり 2Gbps 程度のデータレートが限界であったが、新たに開発した伝送線路型結合器では、1チャンネルあたり 12Gbps 以上のデータレートを実現できることを、90nm-CMOSプロセスで試作したテストチップを用いて実証した(図 5)。本研究成果を纏めた論文を ISSCC 2011 にて発表を行った(原著論文 3,8,9)。

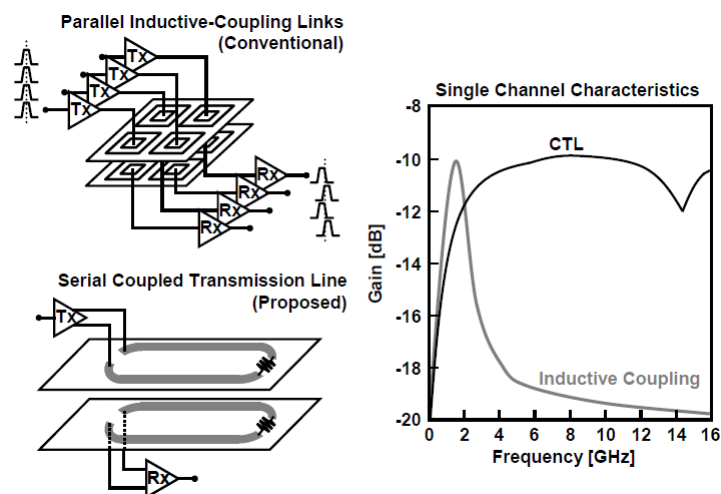


図 4 並列インダクタチャンネル (左上) と超広帯域結合伝送線路型チャンネル (左下) の模式図と各チャンネルの周波数特性 (右)

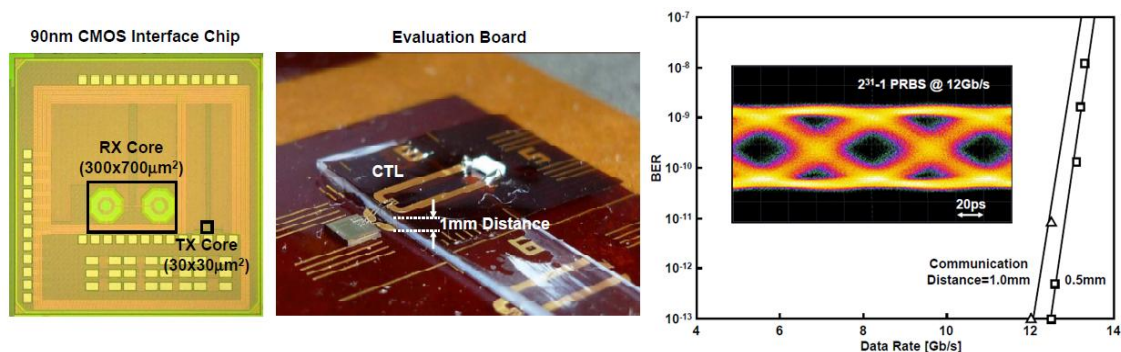


図 5 試作チップと測定結果

ワイヤレス給電のテーマでは、これまでに負荷の消費電力の変動に応じて、電力伝送チャンネル数やインピーダンスマッチングの調整により送信電力を制御することで、負荷変動が存在するなか

で高効率な電力伝送を実現する手法を考案しテストシステムを試作した(図6)。試作システムの評価により、0.1W~0.5W の範囲で高速に負荷が変動した場合でも高い効率を維持し、負荷側の電圧を安定に保持できることを確認した(図7)。高速な電力制御をおこなうことで、負荷側(SSD カード側)に不必要に高電圧、および熱の発生を抑制することができシステムの信頼性を改善することができる。

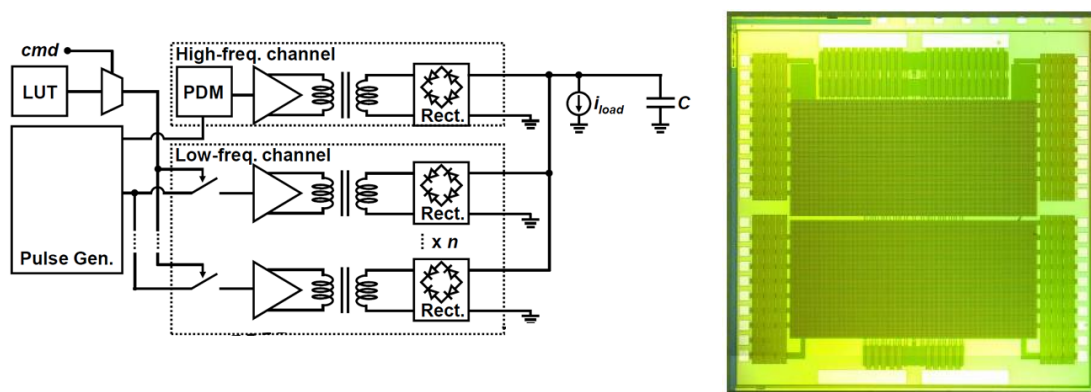


図6 高速電力制御ワイヤレス給電システムのブロック図(左)と試作チップ写真(右)

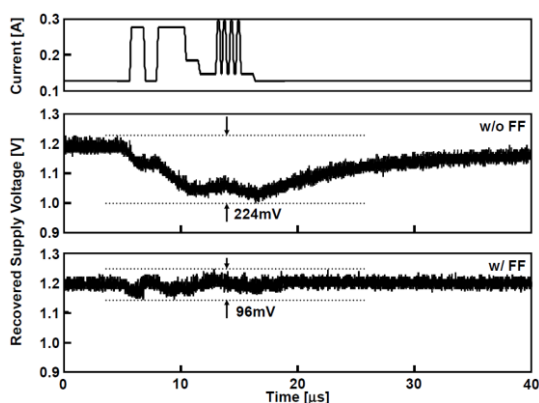


図7 高速電力制御ワイヤレス給電システムの負荷側発生電圧の変動(右)。電力制御有りの場合(w/ FF)と無の場合(w/o FF)を比較。

また、竹内チームでは非接触で数ワットの電力を伝送する高効率化な電源制御システムを実現するために鍵となる、負荷の変動(同時にインタリーブ動作するメモリのチップの数)を検知する、負荷変動検知システムを設計・試作及び、評価した。検出した並列動作するフラッシュメモリの数に応じて、フラッシュメモリに供給する電力の最適な制御を行う。並列動作させるフラッシュメモリの数を従来の15個から24個に増やすことで、メモリの書き込み速度を60%高速化した。その結果、従来のメモリは毎秒2.6ギガビットに対して、メモリの速度としては世界最速の毎秒4.2ギガビットの高速書き込みを実現した。この成果は、Symposium on VLSI Circuits 2010 で発表を行った(原

著論文 2,5)。

【 研究 3 】高 QoS(Quality of Service)メモリ・通信統合システム

ワイヤレスデータ伝送・給電技術は、利用形態を変えるほどの大きな利便性を SSD にもたらずが、有線と比較した場合に電力伝送効率の劣化および EMI(ElectroMagnetic Interference:電磁波障害)が課題として挙げられる。高い電力伝送効率を維持する手法の開発に関しては研究課題 2 で実施するが、EMI の課題を解決することもワイヤレス SSD の実用化のためには必須の課題となる。

本テーマでは、電力チャンネルの EMI がもたらす影響として、使用機器の外部や機器内部の他の LSI の動作に与える影響、さらにワイヤレス SSD そのものの動作(ワイヤレスデータ通信、フラッシュの読み書き)に与える影響を考察する。例えば、電力制御によく利用される連続的なスイッチング周波数制御やデューティ比制御は、広帯域の周波数成分を漏えいするため EMI の観点からは使用しづらい。一方で本研究では高速に大きく負荷が変動する状況においても高い効率を維持しなければならないため、従来の方法とは異なる電力制御手段が必要となる。これらの観点から、外部に漏えいする信号をコントロールできるような電力制御手段を開発し、さらに電力チャンネルによる妨害の影響を受けにくいディペンダブルなデータチャンネルを開発する。また、データ伝送チャンネルについても、最終的には 50Gbps の通信速度を実現するために、25Gbps の物理チャンネルを二つ使用する予定であるが、その際に想定されるチャンネル間の信号干渉の解決策を開発する。

これまでの研究で、電力伝送チャンネルが機器外部に与える影響を防ぐ手段として、周波数を固定で電力制御をおこない電波法で許容された周波数以外の成分の発生を防止することや、磁性コアを用いることで、磁場信号が外部に漏えいしないような電力伝送システムを考案して実機で確認した。

電力チャンネルからデータチャンネルへの干渉対策、およびマルチチャンネル間の干渉対策に関しては、これまでインダクタを用いたワイヤレスデータ・電力伝送システムにおいて、電力伝送チャンネルからデータ伝送チャンネルへの干渉および複数のデータ伝送チャンネル間の干渉を防ぐことができるクローバ型のインダクタを開発して、テストチップで電力とデータを同時通信できることを確認した(図8)。本研究成果を纏めた論文を Symposium on VLSI Circuits 2010 にて発表を行った(原著論文 7)。

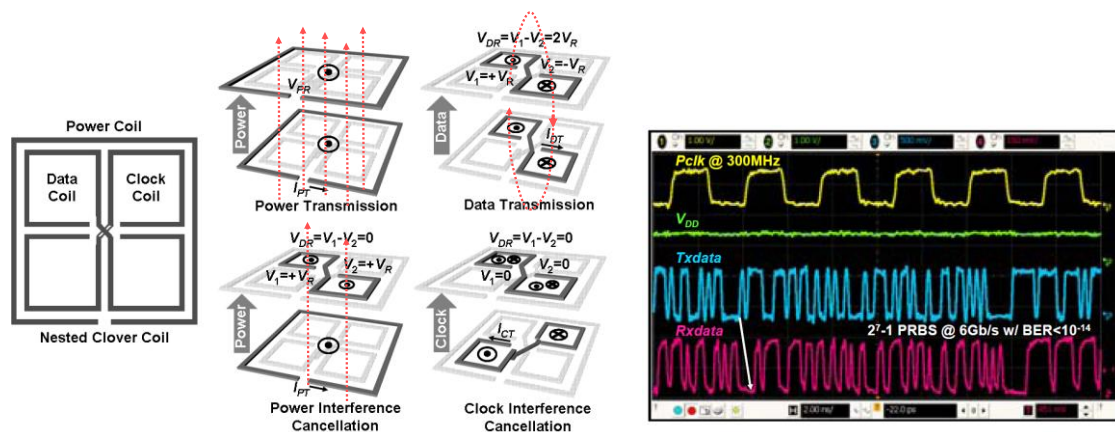


図8 チャンネル間帯干渉機能を有するクローバ型インダクタチャネル

§4. 成果発表等

(4-1) 原著論文発表

●論文詳細情報

1. Shuhei Tanakamaru, Atsushi Esumi, Mitsuyoshi Ito, Kai Li and Ken Takeuchi, "Post-manufacturing, 17-times Acceptable Raw Bit Error Rate Enhancement, Dynamic Codeword Transition ECC Scheme for Highly Reliable Solid-State Drives, SSDs," *Solid-State Electronics*, January 2011. (DOI: 10.1016/j.sse.2010.11.025)
2. Koh Johguchi, Teruyoshi Hatanaka, Koichi Ishida, Tadashi Yasufuku, Makoto Takamiya, Takayasu Sakurai and Ken Takeuchi, "Through-Silicon-Via (TSV) design for a 3D-Solid-State-Drive (SSD) System with Boost Converter in a Package," *IEEE Transactions on Advanced Packaging*, February 2011. (DOI 10.1109/TCPMT.2010.2101930)
3. H. Ishikuro and T. Kuroda, "Wireless proximity interfaces with a pulse-based inductive coupling technique," *IEEE Communications Magazine*, Vol.48, No. 10, pp.192-199, Oct. 2010. (DOI 10.1109/MCOM.2010.5594696)
4. Shuhei Tanakamaru, Atsushi Esumi, Mitsuyoshi Ito, Kai Li and Ken Takeuchi, "Post-manufacturing, 17-times Acceptable Raw Bit Error Rate Enhancement, Dynamic Codeword Transition ECC Scheme for Highly Reliable Solid-State Drives, SSDs," *IEEE International Memory Workshop*, pp88-91, May 2010. (DOI 10.1109/IMW.2010.5488311)
5. Teruyoshi Hatanaka, Koichi Ishida, Tadashi Yasufuku, Shinji Miyamoto, Hiroto Nakai, Makoto Takamiya, Takayasu Sakurai and Ken Takeuchi, "A 60% Higher Write Speed, 4.2Gbps, 24-Channel 3D-Solid State Drive (SSD) with NAND Flash Channel Number Detector and Intelligent Program-Voltage Booster," *IEEE Symp. on VLSI Circuits*, pp.233-234, June 2010. (DOI 10.1109/VLSIC.2010.5560284)
6. Shuhei Tanakamaru, Chinglin Hung, Atsushi Esumi, Mitsuyoshi Ito, Kai Li and Ken Takeuchi, "95% Lower Bit Error Rate, 35% Lower Power Intelligent

- Solid-State Drives (SSDs) with Asymmetric Coding and Stripe Pattern Elimination Algorithm,” *IEEE International Solid-State Circuits Conference (ISSCC)*, February 2011. (DOI 10.1109/ISSCC.2011.5746283)
7. Y. Yuan, A. Radecki, N. Miura, I. Aikawa, Y. Take, H. Ishikuro, T. Kuroda, “Simultaneous 6Gb/s Data and 10mW Power Transmission using Nested Clover Coils for Non-Contact Memory Card,” *IEEE Symposium on VLSI Circuits*, Dig. Tech. Papers, pp. 199-200, Jun. 2010. (DOI 10.1109/VLSIC.2010.5560298)
 8. Y. Take, N. Miura and T. Kuroda, “A 30Gb/s/link 2.2Tb/s/mm² Inductively-Coupled Injection-Locking CDR,” *IEEE Asian solid state circuit conference (A-SSCC'10)*, pp. 81-84, Nov. 2010. (DOI 10.1109/ASSCC.2010.5716562)
 9. T. Takeya, L. Nan, S. Nakano, N. Miura, H. Ishikuro, T. Kuroda, “A 12Gb/s non-contact interface with coupled Transmission lines,” *IEEE International Solid-State Circuits Conference (ISSCC)*, February 2011. (DOI 10.1109/ISSCC.2011.5746411)

(4-2) 知財出願

- ① 平成22年度特許出願内訳(国内 5件)
- ② CREST 研究期間累積件数(国内 5件)