

梶原誠司

九州工業大学 大学院情報工学研究院・教授

フィールド高信頼化のための回路・システム機構

§1. 研究実施の概要

研究のねらいと概要

本研究は、VLSI の故障によりフィールド運用中のシステムが突然ダウンすることを事前に防止し、システムの安心安全性を高めることをねらいとする。その実現方法として、システムの空き時間（パワーオン・パワーオフ・アイドル時など）を利用した VLSI の自己テスト・診断により、劣化の事前検知と故障検出を可能とする技術を開発する。研究のアプローチとしては、以下の4つの観点から各種の要素技術を開発し、並行してシステム化およびフィージビリティ検証を進める。

D(取扱い可能な劣化要因の比率)の向上

A(測定精度により検出可能な比率)の向上

R(修復可能な比率×修復による MTTF 増加比率)の向上

T(パワーオン・パワーオフテストによる検出率)の向上

また、本技術の実用化の観点から半導体及びシステム関連企業の協力を得て、アプリケーションごとに課題の洗い出しを行う。さらに、高いディペンダビリティが要求されるシステムにおいて DART 技術を実用化することを目標とする。

進捗状況と成果

DART の各要素技術は、国際会議や専門誌での論文発表、セミナー講演等を通じて世の中に発表するとともに、特許申請を行ってきた。以下に概要を記す。

D 項目は、劣化検知箇所選定手法を開発し、国際会議で発表した。NoC については、開発した非同期インターコネクトのテスト手法を CREST/DVLSI の米田チームの協力により、実チップ適用に向けて作業している。A 項目は、劣化検知の基本アーキテクチャの学会発表を行った。この基本アーキテクチャを実チップで評価するため、180nm のプロセスで回路設計を行っており、来年度の前半に試作チップの評価を行う。また、測定精度向上のためテスト時温度安定化のテストパターン生性技術を開発しており、論文発表・特許出願した他、国内半導体企業による評価を検

討中である。R項目は、現在実用化に向けて検討中のシステムの中で実装方法を検討している。T項目は、BIST のテスト品質評価法を論文発表した他、高品質な遅延テストのテストコスト制御手法を開発し、論文発表している。

一方、企業の連携においては、ヒアリングでテスト時間や品質、及びリソースの面で極めて厳しい要求を提示され、システム化を睨んだ技術目標の定量化を行ってきた。その中で、製品化を前提に開発するシステムに DART 技術を実装するため、1社と具体的な開発を進めている。

今後の見通し

企業連携について、当面は、DART 技術のシステム実装を行っている企業からの研究加速の要請に、重点的に対応する。その他の企業については、現在 5 社と協議を継続しているが、それぞれの要求内容に応じて、特許やノウハウ等の知財の提供を中心に、生産テスト(出荷前テスト)の高品質化・効率化やフィールドテストの技術移転を推進する。

各要素技術の高度化は、引き続き世界トップレベルの研究となるよう推進する。また、本研究を適用することにより得られるチップの遅延情報の活用について、新たな研究テーマを立ち上げて取得データの内容改善や診断の効率化に適用することを検討する。劣化検知回路の試作・評価については、基本回路の動作確認後、より微細なプロセスで設計・試作し、劣化検知回路の詳細な評価を行う。

§ 2. 研究実施体制

(1)「九工大」グループ

① 研究分担グループ長:梶原 誠司 (九州工業大学情報工学研究院、教授) (研究代表者)

② 研究項目

- ・劣化検知箇所選定・テスト生成
- ・品質・コスト制御インテグレーション
- ・SoC/NoC 温度制御
- ・テスト時間制御
- ・補正を伴う劣化判定
- ・試作チップ設計・製造・評価

(2)「奈良先端大」グループ

① 研究分担グループ長:藤原 秀雄 (奈良先端科学技術大学院大学情報科学研究科、教授) (主たる共同研究者)

② 研究項目

- ・SoC/NoC 温度制御
- ・品質・コスト制御インテグレーション

- ・テストアクセス機構・スケジューリング
- ・アダプティブテスト
- ・インターコネクトテスト

(3)「首都大学」グループ

- ① 研究分担グループ長: 三浦 幸也 (首都大学東京システムデザイン学部、准教授) (主たる共同研究者)
- ② 研究項目
 - ・補正を伴う劣化判定
 - ・測定回路設計

§3. 研究実施内容

(文中に番号がある場合は(4-1)に対応する)

以下では、各研究実施項目の概要を示す。

(A) SoC/NoC 温度制御

平成 21 年度に提案したテスト時の回路温度の場所による空間的なばらつきを最小にする手法 A-1) (国際会議での発表は今年度) を拡張し、テスト時に空間的・時間的に回路温度のばらつきを最小化する手法を提案した A-2)。ベンチマーク回路に対する実験では、低消費電力を指向したテストパターン集合に比べ、回路温度のピーク値が平均 10% 増加したものの、回路温度の空間的な分散値が平均 70% 以上改善、時間的な分散値は平均 95% 以上改善した。図 A-1 は、低消費電力を指向したテストパターン集合と提案法の比較であり、回路を 16 領域に分割して各領域のテスト時の温度の推移を示したものである。この研究成果は、平成 23 年 1 月に国際ワークショップ IEEE International Workshop on Reliability Aware System Design and Test (査読有、Proceedings なし) で発表した。

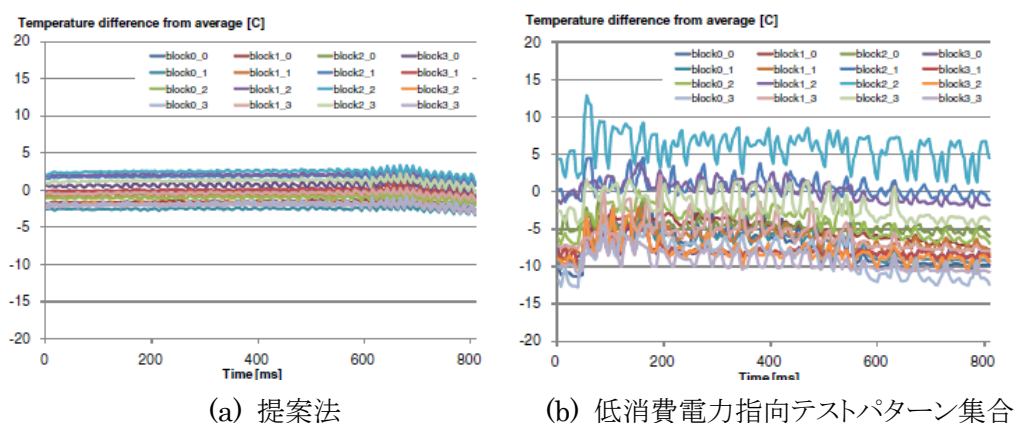


図 A-1. テスト時の回路温度の空間的・時間的推移 (ITC99 ベンチマーク b17 回路)

(B) 品質・コスト制御インテグレーション

与えられたテストパターン集合からテスト品質のよい小さなテストパターン集合を高速に選択する手法を提案し、研究成果を国際会議で発表した B-1)。テスト品質の評価尺度としては、回路中の遅延欠陥の量、テストクロックなどのテスト環境を総合的に評価する統計的遅延欠陥品質指標 SDQL (Statistical Delay Quality Level) を採用した。提案法では、同じテスト品質を持つテスト集合を従来手法の 20~50% の少ないテストパターン数で実現可能である。

本年度は、さらに、組み込み型のテスト回路でテストを行う組み込み自己テスト (BIST : Built-In Self Test) 方式において、高いテスト品質を保証するためのシード選択法を提案した B-2)。シードとは、BIST 方式でテストを行うときに必要となるテストデータであり、シードをテスト回路で展開して複数のテストパターンを生成することができる。提案法では、シードの個数、テスト実行時間、テ

スト品質のトレードオフを解析し、シード格納に必要なメモリ量、テスト実行時間などの制約下でテスト品質の最大化を行う。図 B-1 は、提案法(proposed)、ランダム選択(random, 10 回の試行の平均)、ATPG 生成順(ATPG)でシードを選択した場合の、シード数と SDQL の関係を示す。SDQL は値が小さいほどテスト品質がよいことを示すので、提案法が少ないシードで高いテスト品質を達成することがわかる。

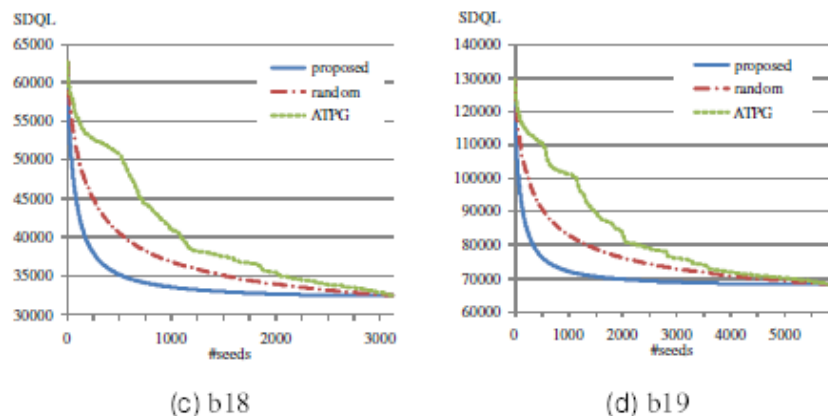


図 B-1. シード数によるテスト品質(SDQL,値が小さいほど高品質)の推移

(C) テストアクセス機構・スケジューリング・アダプティブテスト

複数のコアで構成される SoC において、フィールドテストを実現するテストアクセス機構、各コアに複数のテストパターン集合が与えられた場合のテストスケジューリング、および、フィールドテストの結果を解析しアダプティブにテストスケジューリングを変更する機構を提案した (C-1)。図 C-1 に、提案するテストアーキテクチャの概要を示す。提案法では、各コアに複数のテストパターン集合を用意し、SoC Test Controller がどのコアのどのテストパターン集合を用いてテストを実行するかをアダプティブに決定する。提案法を、32 コアと AMBA バスからなる SoC に適用したところ、面積オーバーヘッドは 14.8%であった。

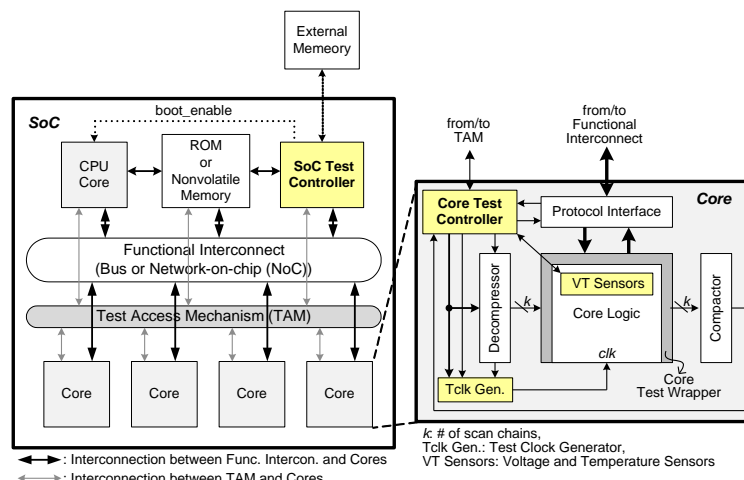


図 C-1. 劣化検知のためのテストアーキテクチャ

(D) インターコネクテスト

非同期インターコネク回路のテストのために、非同期回路に対するテスト手法およびテスト容易化設計法を提案した^{D-1)}。提案法では、非同期インターコネク回路でよく用いられる順序素子として C 素子を利用する非同期回路を対象とし、非同期回路の組合せ回路部および順序回路部に対する完全なテストを保証するテスト容易化設計を低い面積オーバーヘッドで実現できることを示した。

(E) 劣化検知箇所選定・テスト生成とテスト時間制御

本年度は、前年の研究成果を踏まえ^{E-1) E-2) E-3)}、テスト時間とテストデータ量の制約に対して、限られたテスト対象で障害発生予防効果を示す評価法を検討し、その結果に基づいて、テスト時間とテストデータ量の妥当性を考察した。スキャンベースの BIST 構造における故障検出率向上とテストデータ量削減を目的に、各テストパターンに対して複数回のクロックによるマルチサイクルテストを行い、クロックによるキャプチャで複数回部分的にフリップフロップの値を観測可能にすることで、通常のスキャンベース BIST よりもテスト性を向上する構造を提案した^{E-4)}。この手法により、1 パターン当たりのテスト時間をほとんど変更することなく、テストデータ量をベンチマーク回路で平均 29%削減することに成功した。また、スキャン回路の遅延テスト生成手法^{E-5) E-6)}、故障検出のためのテストパターンを分割し、複数回のテスト機会を利用して、通常の 1 回分のテストとする分割巡回テスト手法を研究した。今年度は、前年度提案したテスト品質を考慮したテスト分割アルゴリズムを改善し、分割テストのテスト品質(平均故障検出率)を向上させる手法を開発した。分割巡回テストによるテスト時間制御は、本研究で始めて提案された新規の概念であり、フィールドでの短時間テストを実現するために重要な役割を持つ。この研究成果は、平成 23 年 1 月に国際ワークショップ IEEE International Workshop on Reliability Aware System Design and Test (査読有、Proceedings なし)で発表した。

(F) 補正を伴う劣化判定と測定回路設計

本課題では、トランジスタ劣化に伴う遅延時間の増加を、高精度に測定する回路技術の確立を目指している。遅延時間の精度向上のために、計測対象回路の動作温度、動作電圧を既知にする必要がある。このために 3 種類の特性の異なるリング発振器 (RO) を使用して、回路の動作温度と動作電圧の推定を行う。表 F-1 に 180nm パラメータによる回路シミュレーションベースでの温度推定誤差、電圧推定誤差の結果を示す。計測周波数から温度・電圧推定の算出を単純化するためにシミュレーションデータから 1 次線形を仮定して近似した。温度推定の精度向上のため温度領域を 3 分割することで最大誤差 4.2°C、平均誤差 1.8°C の精度で温度の推定ができた。また電圧誤差は近似式 1 本で最大誤差 45mV、平均誤差 15mV の推定結果を得た。電圧推定も温度領域で 3 分割することで最大誤差 22mV、平均誤差 5mV まで精度を高めることができた。

表 F-1 3 個の RO による温度・電圧推定結果(シミュレーション結果)

温度領域 分割範囲	温度推定 [°C]			電圧推定 [mV]			
	-60~0	0~+60	+60~+130	分割なし	-60~0	0~+60	+60~+130
最大誤差	3.28	3.67	4.18	45.17	13.22	6.44	7.39
最小誤差	-4.09	-3.63	-3.50	-22.96	-21.69	-8.62	-6.70
平均誤差	1.36	1.55	1.80	15.02	5.20	3.20	3.40

RO は測定対象回路内に組み込まれるため、RO 自体の劣化対策が必要となる。そのために RO の電源を切らずに劣化進行を抑えられる回路構成を検討した。

(G) 試作チップ設計・製造・評価

上記(F)で得られた成果に基づいて、NBTI による劣化進行を抑えることのできる 3 種類の RO を用いて温度・電圧推定可能な回路を 180nm で設計し、VDEC にチップ試作申し込みを行った。当初計画では本年度中に試作チップのサンプルを得る予定であったが、設計は終了し、試作チップのサンプルを得るのは来年 4 月になった。

§4. 成果発表等

(4-1) 原著論文発表

●論文詳細情報

[A-1.] Tomokazu Yoneda, Michiko Inoue, Yasuo Sato and Hideo Fujiwara, "Thermal-uniformity aware x-filling to reduce temperature-induced delay variation for accurate at-speed testing," 28th *IEEE VLSI Test Symposium (VTS'10)*, pp.188-193, Apr. 2010.

[A-2.] Tomokazu Yoneda, Makoto Nakao, Michiko Inoue, Yasuo Sato, Hideo Fujiwara, "Temperature-Variation-Aware Test Pattern Optimization," *IEEE European Test Symposium (ETS'11)*, May 2011. (accepted)

[B-1.] Michiko Inoue, Akira Taketani, Tomokazu Yoneda, Hiroshi Iwata and Hideo Fujiwara, "Test pattern selection to optimize delay test quality with a limited size of test set," *IEEE European Test Symposium (ETS'10)*, pp.260, May 2010.

[B-2.] Tomokazu Yoneda, Michiko Inoue, Akira Taketani and Hideo Fujiwara, "Seed ordering and selection for high quality delay test," *IEEE 19th Asian Test Symposium (ATS2010)*, pp.313-318, Dec. 2010. (DOI: 10.1109/ATS.2010.60)

[C-1.] Hyunbean Yi, Tomokazu Yoneda, Michiko Inoue, Yasuo Sato, Seiji Kajihara and Hideo Fujiwara, "Aging test strategy and adaptive test scheduling for soc failure prediction," *IEEE International On-Line Testing Symposium (IOLTS'10)*, pp.21-26,

July 2010 (DOI: 10.1109/IOLTS.2010.5560239).

[D-1.] Hiroshi Iwata, Satoshi Ohtake, Michiko Inoue and Hideo Fujiwara, "Bipartite full scan design: a DFT method for asynchronous circuits," *IEEE 19th Asian Test Symposium* (ATS2010), pp.206-211, Dec. 2010. (DOI: 10.1109/ATS.2010.44)

[E-1.] Shinji Oku, Seiji Kajihara, Yasuo Sato, Kohei Miyase, Xiaoqing Wen, "On Delay Test Quality for Test Cubes," *IPSS Transactions on System LSI Design Methodology*, Vol. 3, pp. 283-291, Aug. 2010. (DOI:10.2197/ipsjtsldm.3.283)

[E-2.] Mitsumasa Noda, Seiji Kajihara, Yasuo Sato, Kohei Miyase, Xiaoqing Wen, Yukiya Miura, "On Estimation of NBTI-Induced Delay Degradation," *15th IEEE European Test Symposium* (ETS), pp.107-111, May 2010.

[E-3.] Kohei Miyase, Xiaoqing Wen, Seiji Kajihara, Yuta Yamato, Atsushi, Takashima, Hiroshi Furukawa, Kenji Noda, Hideaki Ito, Kazumi Hatayama, Takashi Aikyo, Kewal K. Saluja, "A Study of Capture-Safe Test Generation Flow for At-Speed Testing," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, Vol.E93-A, No.7, pp.1309-1318, July. 2010. (DOI: 10.1587/transfun.E93.A.1309)

[E-4.] Seiji Kajihara, Makoto Matsuzono, Hisato Yamaguchi, Yasuo Sato, Kohei Miyase, Xiaoqing Wen, "On Test Pattern Compaction with Multi-Cycle and Multi-Observation Scan Test," *10th International Symposium on Communications and Information Technologies*, Oct. 26-29, 2010. (DOI: 10.1109/ISCIT.2010.5665084)

[E-5.] Kohei Miyase, Xiaoqing Wen, Masao Aso, Hiroshi Furukawa, Yuta Yamato, Seiji Kajihara, "Transition-Time-Relation Based Capture-Safety Checking for At-Speed Scan Test Generation," *Design Automation and Test in Europe*, pp. 895-898, March 2011.

[E-6.] Marie Engelen J. Obien, Satoshi Ohtake, Hideo Fujiwara, "F-Scan Test Generation Model for Delay Fault Testing at RTL using Standard Full Scan ATPG," *IEEE European Test Symposium* (ETS'11), May 2011. (accepted)

(4-2) 知財出願

- ① 平成22年度特許出願件数(国内 4 件)
- ② CREST 研究期間累積件数(国内 6 件)