

小野寺 秀俊

京都大学 大学院情報学研究科・教授

ロバストファブリックを用いたディペンダブル VLSI プラットフォーム

§1. 研究実施の概要

素子寸法の極限的な微細化に伴い、製造性劣化や素子特性のばらつき、使用に伴う特性劣化、ならびにソフトエラーなどの一過性雑音事象への耐性低下が問題となっている。本研究では、これらのディペンダビリティ阻害要因の排除を目的とし、適応的調整と再構成が可能な新しい VLSI プラットフォームを開発する。すなわち、ばらつきに強靱な構造を持ち特性の適応的調整が可能なロバストファブリック、各種の高信頼化構造の実現が容易な再構成アーキテクチャ、必要に応じた信頼度で逐次処理を実行可能な再構成プロセッサ、機能記述から再構成アーキテクチャへのマッピング技術を明らかにし、アプリケーションに応じたディペンダビリティを持つ VLSI システムが実現可能であることを示す。また、ディペンダビリティ評価手法の検討とともに本技術の応用展開を図る。

平成 22 年度は、要素課題ごとにディペンダビリティ向上技術の完成度を高めるとともに、粗粒度再構成可能アレイ部と高信頼性プロセッサ等で構成されるプラットフォーム全体構想の具体化と設計・評価環境の構築を進めた。ロバストファブリックについては、スタンダードセルの製造性やばらつき耐性の向上技術について検討し、チップ内ばらつきに対して強靱なフリップフロップを開発した。再構成アーキテクチャについては、信頼性可変再構成可能クラスタアレイの動作検証用テスト回路を試作し、要求されるディペンダビリティに応じた回路の再構成が可能であることを α 線源を用いた加速試験により実証した。信頼性と必要ハードウェア量のトレードオフ調節は、アプリケーションをクラスタアレイに自動マッピングする際に、回路の部分的多重化を行うことにより実現した。再構成プロセッサについては、パイプライン単位で多重化度を変更可能なプロセッサアーキテクチャを開発し、その RTL 記述の一部を公開した。本高信頼性プロセッサは、故障発生時にも該当個所の多重度を修正することにより、プロセッサ機能を喪失することなく稼働する。粗粒度再構成可能クラスタアレイと高信頼性プロセッサを構成要素とするディペンダブル VLSI プラットフォームの実現に向けて、FPGA によるプロトタイピング環境の構築に取り組んだ。

§ 2. 研究実施体制

(1) 京大グループ

①研究分担グループ長: 小野寺秀俊(京都大学大学院情報学研究科、教授)(研究代表者)

②研究項目

- ・ロバストファブリック
- ・再構成可能ディペンダブル VLSI へのマッピング技術

(2) 阪大グループ

①研究分担グループ長: 尾上孝雄(大阪大学大学院情報科学研究科、教授)(主たる共同研究者)

②研究項目

- ・ディペンダブル VLSI プラットフォーム用再構成可能アーキテクチャ

(3) 京都高度技術研究所グループ

①研究分担グループ長: 神原弘之(京都高度技術研究所、主任研究員)(主たる共同研究者)

②研究項目

- ・ディペンダブル VLSI プラットフォームのアプリケーション展開に向けた評価・実用化検討

(4) 京都工繊大学グループ

①研究分担グループ長: 小林和淑(京都工芸繊維大学大学院工芸科学研究科、教授)(主たる共同研究者)

②研究項目

- ・ディペンダブル VLSI プラットフォーム信頼性向上技術の検討

(5) 奈良先端グループ

①研究分担グループ長: 嶋田創(奈良先端科学技術大学院大学情報科学研究科、准教授)(主たる共同研究者)

②研究項目

- ・再構成プロセッサ

§3. 研究実施内容

(文中に番号がある場合は(4-1)に対応する)

本研究は、物理的・自然現象的ディペンダビリティ阻害要因を克服するため、回路技術、アーキテクチャ、プロセッサ、設計自動化技術を結集し、適応的調整と再構成が可能な VLSI プラットフォームを開発するものである。プラットフォームの全体構成を図 1 に示す。 α 線源を用いた信頼性可変再構成可能クラスタアレイの動作検証の様子を図 2 に示す。

平成 22 年度の研究実施内容は、以下の通りである。

(1) ロバストファブリック

今年度は、製造性やばらつき耐性を高めるための回路およびレイアウト設計指針の効果を、実シリコン上で検証した。具体的には、チップ内ばらつきに対する論理ゲートのばらつき耐性を理論的および実験的に評価し、順序論理セル(フリップフロップ)のタイミング特性が特に脆弱であることを明らかにするとともに、ばらつき耐性の向上法を示した。65nm プロセスで開発したばらつき耐性強化フリップフロップは、特性ばらつき量を 55%(0.7V 電源)削減した[9]。ばらつき等による遅延故障を警告するフリップフロップも開発した[11]。また、製造ばらつきや経年劣化状態を自己診断するモニタ回路を開発した[23]。NBTI(Negative Bias Temperature Instability)劣化の評価モニタとして、ストレス開放後の回復特性を高速に測定可能な回路を開発した[8,26]。本回路の測定遅延は 400ns で、現時点で世界最速である。微細化に伴い、デバイス固有のノイズである RTN(Random Telegraph Noise)の影響が懸念されている。本研究では、RTN が組み合わせ回路の遅延とフリップフロップの動作特性に及ぼす影響を世界で初めて実測し、そのシミュレーション法を開発した[19,24]。チップレベルの耐遅延故障化技術について、モンテカルロ法に基づく静的タイミング解析ツールを開発した[20]。FPGA 上での高並列なアルゴリズム実行により対ソフトウェア実装 87 倍の高速化を達成した。特性モニタ回路に基づき特性ばらつきの動的補償を行う回路を試作し、補償方式の原理的実現性を確認した。

(2) 再構成アーキテクチャ

今年度は、再構成可能アーキテクチャの試作チップを用いた加速試験により、静的なディペンダビリティの獲得とその有効性を実デバイス上で実証した。具体的には、提案アーキテクチャ[3]に基づく信頼性可変粗粒度再構成可能アレイのプロトタイプチップ上に 3 タップ FIR フィルタなどの信号処理回路をマッピングし、 α 線源を用いた放射線照射実験を行った。回路構成情報メモリに記憶されている構成情報の平均寿命を測定することで、異なるソフトエラー耐性を適応的な冗長構成によって実現できることをプロトタイプチップを用いた加速試験により実証し、信頼性(平均寿命)と使用リソース量のトレードオフを示すことができた[21]。さらに、画像処理におけるソフトエラー耐性を評価するための実験環境を構築し、通常マッピングと高信頼マッピングの 2 種類の異なる信頼性レベルにおいてソフトエラー耐性の違いを可視化することに成功した。これにより、提案アーキテクチャによって柔軟な信頼性レベルを実現できることに加えて、高信頼マッピングによるきわめて高

いソフトウェア耐性を実証することができた。また、動的ディペンダビリティ獲得に向けてホットスワップ機構に関する具体的な検討を行った。異なるホットスワップ方式における信頼性向上と必要ハードウェア資源に関する定量的評価環境の構築を進めた。

クラスタアレイの VLSI 実装に必要な、回路技術や設計技術についても成果を得ている。SRAM の α 線起因ソフトウェア率について、0.3V までの電圧依存性を世界で初めて測定した[1]。ソフトウェア耐性と性能のトレードオフに重要な SET パルス幅分布取得のため、新規測定回路を考案し、 α 線による加速試験を行った[13]。引き続き、中性子照射実験での評価を行っている。ソフトウェア耐性を持つレイアウト設計に必要な SEMT 分布を世界で初めて取得した[22]。動的なディペンダビリティの実現に必要な、回路の静的/動的遅延変動の検出、ならびに適応的な速度制御に取り組み、有効性を試作チップの動作で実証した[18][30]。オンチップのばらつきセンサーを利用したクロックスキュー低減の可能性を評価した[2]。低電圧回路の非同期動作による高性能化手法を考案し、効果を試作チップで実証した[29]。低電圧動作回路のチップ内速度ばらつきが、閾値電圧変動により表現できることを明らかにした[6]。また発展課題として、高セキュリティアプリケーションが要求する高品質真性乱数の提供を目的とし、乱数品質評価用動作モデルの提案[7]、ならびに乱数品質の向上に有効なゆらぎ増幅回路を考案し、実証した[16][27]。

アプリケーション展開グループならびに再構成プロセッサグループと協力し、高信頼プロセッサとの連携について検討を進めるとともに、ディペンダブル VLSI プラットフォームの FPGA 検証環境の実現に向けて協議し、そのシステム構成を明らかにした。さらに、提案アーキテクチャの実応用性確保の観点から、関連企業・研究組織と協調研究開発の可能性について引き続き協議を進めた。

(3) 再構成プロセッサ

再構成プロセッサのアーキテクチャにおいて、今年度は、再実行の改良による故障挿入確率の低下[15]や、サイクル・レベルの時間冗長を組み込むことによる面積性能比向上の研究を行った。また、開発した再構成プロセッサのうち、研究発表が終了して公開可能な部分について RTL 設計を公開した。さらに、上記のアーキテクチャ・レベルの改良とフリップフロップの改良を組み合わせた物に対する、実チップ評価に向けた設計も進めている。なお、研究の最終目標であるディペンダブル VLSI プラットホーム実現に向け、再構成アーキテクチャと再構成プロセッサの混載 SoC の設計も進めている。

昨年度試作し、特許出願を行った耐ソフトウェア FF(BCDMR FF)は、アルファ線源において従来の BISER FF と比べて 100 倍以上のエラー耐性を示した[4], [17]。今年度試作を行った 65nm プロセスのチップに置いてもすでに測定結果を得ており、SET パルス幅分布や耐ソフトウェア FF などの評価結果は[25]や[28]などで発表予定である。また NBTI が FPGA にどのような影響を与えるかについても検討を行い、NBTI 劣化がばらつき反比例して小さくなるとしたところ、FPGA の設計マージンを 1/3 に減らせることを明らかにした[14]。

(4) マッピング技術

今年度は、昨年度までに開発したマッピングツールと耐故障性評価環境を用いてアプリケーション(FIR フィルタ、Viterbi デコーダ等)に様々な部分的多重化を施したものを何種類かの粗粒度再構成アーキテクチャにマッピングし、シミュレーションベースでソフトウェア耐性(sensitive bit 数)を評価・比較した。この結果、部分的多重化を柔軟に適用することによりディペンダビリティとコストのトレードオフを図ることが可能であることを示すことができた[5,10, 12]。

また今年度はマッピングツールと耐故障性評価環境の改良に取り組んだ。前者については、開発済みの配置配線ツールに上流合成系を追加するための開発に着手した。またこれと関連し、ディペンダビリティを考慮して粗粒度再構成可能アレイにマッピングするための信頼性モデルを検討した。後者については、GPU を利用する高速なサイクルベースシミュレータを開発し、汎用プロセッサ上のシミュレータに対し数十倍以上の高速化が可能であることを示した。

(5) アプリケーション展開に向けた評価・実用化検討

本研究グループは、提案している再構成可能 VLSI プラットフォームの適用先を開拓するため、高度な信頼性が要求されている宇宙航空分野及び自動車の車体と電装メーカを対象に、ヒアリングとディスカッションによるディペンダビリティの要件調査を行ってきた。提案プラットフォームを宇宙機の観測データ処理に適用すべく、衛星用ネットワーク:SpaceWire 規格に基づく宇宙機の電子機器の構成に関する調査と、チップ化したプラットフォームをイオンビーム照射による加速試験で信頼性を評価する方法を実地調査した。また機能安全規格(IEC61508)ならびに自動車電装分野の機能安全規格(ISO26262)を VLSI に適用する調査を行った。

また、再構成アーキテクチャおよび再構成プロセッサグループと綿密に連携して、粗粒度再構成可能アーキテクチャ(FRRARY)とプロセッサが協調動作するプラットフォームの FPGA 上へのプロトタイピングを進めてきた。このプラットフォームの設計資産を、次年度以降のプラットフォームのチップ試作に活用する。

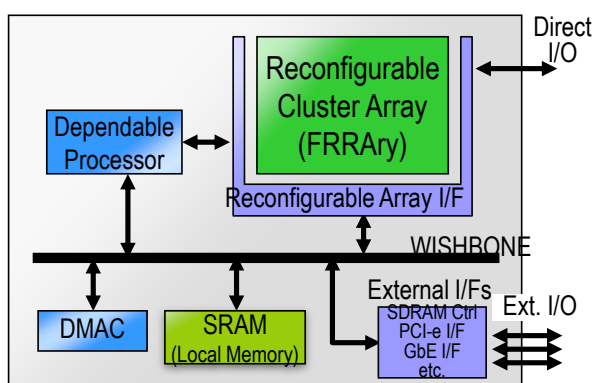


図 1. ディペンダブル VLSI プラットフォーム

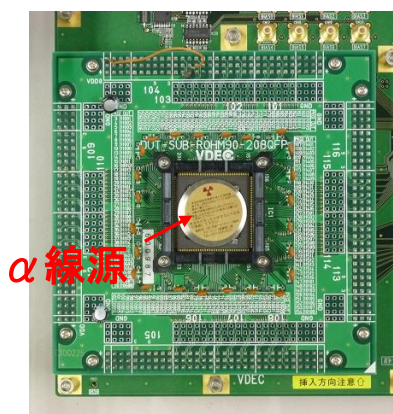


図 2. α線源を用いた加速試験

§4. 成果発表等

(4-1) 原著論文発表

●論文詳細情報

1. H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye(Osaka Univ.), “Alpha-Particle-Induced Soft Errors and Multiple Cell Upsets in 65-nm 10T Subthreshold SRAM,” Proceedings of International Reliability Physics Symposium (IRPS), pp. 213 - 217, May 2010. DOI: 10.1109/IRPS.2010.5488826
2. S. Abe, K. Shinkai, M. Hashimoto, and T. Onoye(Osaka Univ.), “Clock Skew Reduction by Self-Compensating Manufacturing Variability with On-chip Sensors,” ACM Great Lake Symposium on VLSI (GLSVLSI), pp. 197 - 202, May 2010. DOI: 10.1145/1785481.1785530
3. 密山幸男、高橋一真、今井林太郎、橋本昌宜、尾上孝雄、白川功(大阪大学)、「メディア処理向け再構成可能アーキテクチャでの動画像復号処理の実現」、電子情報通信学会論文誌 A、vol. J93-A、no. 6、pp. 397 - 413、June 2010.
4. Jun Furuta(Kyoto Univ.), Chikara Hamanaka, Kazutoshi Kobayashi(KIT), Hidetoshi Onodera(Kyoto Univ.), “A 65nm Bistable Cross-coupled Dual Modular Redundancy Flip-Flop,” 2010 Symposium on VLSI Circuits Digest of Technical Papers, pp. 123 - 124, June 2010. DOI:10.1109/VLSIC.2010.5560329
5. Takashi Imagawa, Masayuki Hiromoto, Hiroyuki Ochi, and Takashi Sato(Kyoto Univ.), “A Tool Chain for Generating SEU-Vulnerability Map for Coarse-Grained Reconfigurable Architecture,” in Proc. of 26th Annual Intl. Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC 2010) (Pattaya, Thailand), pp. 420 - 423, July 2010.
6. H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye(Osaka Univ.), “Transistor Variability Modeling and Its Validation with Ring-Oscillation Frequencies for Body-Biased Subthreshold Circuits,” IEEE Trans. on VLSI Systems, vol. 18, no. 7, pp. 1118 - 1129, July 2010. DOI: 10.1109/TVLSI.2009.2020594
7. T. Amaki, M. Hashimoto, Y. Mitsuyama, and T. Onoye(Osaka Univ.), “A Design Procedure for Oscillator-Based Hardware Random Number Generator with Stochastic Behavior Modeling,” Proceedings of International Workshop on Information Security Applications (WISA), pp. 107 - 121, August 2010. DOI: 10.1007/978-3-642-17955-6_8
8. Takashi Matsumoto, Hiroaki Makino(Kyoto Univ.), Kazutoshi Kobayashi(KIT), and Hidetoshi Onodera(Kyoto Univ.), “A 65nm CMOS 400ns Measurement Delay NBTI-Recovery Sensor by Minimum Assist Circuit,” Proceedings of International Conference on Solid State Devices and Materials (SSDM 2010), pp. 806 - 807, Sept.

2010.

9. Hiroki Sunagawa, Hidetoshi Onodera(Kyoto Univ.), "Variation-Tolerant Design of D FlipFlops," Proceedings of IEEE International SOC Conference 2010, pp. 147 - 151, Sept. 2010.
10. Takashi Imagawa, Masayuki Hiromoto, Hiroyuki Ochi, and Takashi Sato(Kyoto Univ.), "A Routing Architecture Exploration for Coarse-Grained Reconfigurable Architecture with Automated SEU-tolerance Evaluation," in Proc. of 23rd IEEE Intl. SOC Conference (SOCC 2010) (Las Vegas, USA), pp. 248 - 253, Sept. 2010.
11. Bishnu Prasad Das, Hidetoshi Onodera(Kyoto Univ.), "Warning Prediction Sequential for Transient Error Prevention," 2010 IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, pp. 382 - 390, Oct. 2010. DOI:10.1109/DFt.2010.52
12. Takashi Imagawa, Masayuki Hiromoto, Hiroyuki Ochi, and Takashi Sato(Kyoto Univ.), "Reliability Evaluation Environment for Exploring Design Space of Coarse-Grained Reconfigurable Architectures," IEICE Trans. Fundamentals, Vol.E93-A, No.12, pp. 2524 - 2532, Dec. 1, 2010, DOI:10.1587/transfun.E93.A.2524.
13. R. Harada, Y. Mitsuyama, M. Hashimoto, and T. Onoye(Osaka Univ.), "Measurement Circuits for Acquiring SET Pulse Width Distribution with Sub-Fo1-Inverter-Delay Resolution," IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, vol. E93-A, no. 12, pp. 2417 - 2423, December 2010. DOI: 10.1587/transfun.E93.A.2417
14. M. Yabuuchi, and K. Kobayashi(Kyoto Inst. Of Tech.), "Evaluation of FPGA design guardband caused by inhomogeneous NBTI degradation considering process variations," International Conference on Field Programmable Technologies, pp. 417 - 420, Beijing, China, Dec. 2010, DOI: 10.1109/FPT.2010.5681449
15. J. Yao, R. Watanabe, T. Nakada, H. Shimada, Y. Nakashima(Nara Institute of Science and Technology), and K. Kobayashi(Kyoto Inst. of Tech.), "Minimal Roll-Back Based Recovery Scheme for Fault Toleration in Pipeline Processors," Pacific Rim International Symposium on Dependable Computing, pp. 237 - 238, Tokyo, Japan, Dec. 2010, DOI: 10.1109/PRDC.2010.44
16. T. Amaki, M. Hashimoto, and T. Onoye(Osaka Univ.), "Jitter Amplifier for Oscillator-Based True Random Number Generator," Proceedings of Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 81 - 82, January 2011. DOI: 10.1109/ASPDAC.2011.5722301
17. J. Furuta(Kyoto Univ.), C. Hamanaka, K. Kobayashi(Kyoto Inst. of Tech.), and H. Onodera(Kyoto Univ.), "A 65nm Flip-Flop Array to Measure Soft Error Resiliency against High-Energy Neutron and Alpha Particles," Asia and South Pacific Design

Automation Conference, pp. 83 - 84, Yokohama, Japan, Jan. 2011, DOI:

10.1109/ASPDAC.2011.5722306

18. M. Hashimoto (Osaka Univ.), “Run-Time Adaptive Performance Compensation Using On-Chip Sensors (Invited) ,” Proceedings of Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 285 - 290, January 2011, DOI:10.1109/ASPDAC.2011.5722199

19. Kyosuke Ito, Takashi Matsumoto, Shinichi Nishizawa, Hiroki Sunagawa(Kyoto Univ.), Kazutoshi Kobayashi(KIT) and Hidetoshi Onodera(Kyoto Univ.), “Modeling of Random Telegraph Noise under Circuit Operation - Simulation and Measurement of RTN-induced delay fluctuation -,” Proceedings of 2011 International Symposium on Quality Electronic Design(ISQED), pp. 22 - 27, March 2011.

20. Hiroshi Yuasa, Hiroshi Tsutsui, Hiroyuki Ochi, Takashi Sato, “A fully pipelined implementation of Monte Carlo based SSTA on FPGAs,” Proceedings of 2011 International Symposium on Quality Electronic Design (ISQED), pp. 785 - 790, March 2011.

21. D. Alnajjar, H. Kounoura, Y. Mitsuyama, M. Hashimoto, and T. Onoye, “MTTF Measurement under Alpha Particle Radiation in a Coarse-Grained Reconfigurable Architecture with Flexible Reliability,” in Proc. IEEE Workshop on Silicon Errors in Logic - System Effects, March 2011.

22. R. Harada, Y. Mitsuyama, M. Hashimoto, and T. Onoye (Osaka Univ.), “Neutron Induced Single Event Multiple Transients with Voltage Scaling and Body Biasing,” Proceedings of International Reliability Physics Symposium (IRPS), pp. 253-257, April 2011, to appear.

23. Islam A.K.M Mahfuzul, Akira Tsuchiya(Kyoto Univ.), Kazutoshi Kobayashi(KIT) and Hidetoshi Onodera(Kyoto Univ.) “Variation-sensitive Monitor Circuits for Estimation of Die-to-Die Process Variation,” Proceedings of 2011 IEEE International Conference on Microelectronic Test Structure(ICMTS), pp. 153 - 157, April 2011, to appear.

24. Kyosuke Ito, Takashi Matsumoto, Shinichi Nishizawa, Hiroki Sunagawa(Kyoto Univ.), Kazutoshi Kobayashi(KIT) and Hidetoshi Onodera(Kyoto Univ.), “The Impact of RTN on Performance Fluctuation in CMOS Logic Circuits,” Proceedings of 2011 IEEE International Reliability Physics Symposium, pp. CR.5.1 - CR.5.4, April 2011, to appear.

25. Jun Furuta(Kyoto Univ.), Chikara Hamanaka, Kazutoshi Kobayashi(KIT) and Hidetoshi Onodera(Kyoto Univ.), “Measurement of Neutron-induced SET Pulse Width Using Propagation-induced Pulse Shrinking,” Proceedings of 2011 IEEE International Reliability Physics Symposium, pp. 5B2.1 - 5B2.5, April 2011, to appear.

26. Takashi Matsumoto¹, Hiroaki Makino¹(Kyoto Univ.), Kazutoshi Kobayashi(KIT), and Hidetoshi Onodera¹(Kyoto Univ.), “A 65 nm Complementary Metal-Oxide-Semiconductor 400 ns Measurement Delay Negative-Bias-Temperature-Instability (NBTI) Recovery Sensor with Minimum Assist Circuit,” Japanese Journal of Applied Physics, Vol. 50, 04DE06, April 2011, to appear.
27. T. Amaki, M. Hashimoto, and T. Onoye (Osaka Univ.), “An Oscillator-Based True Random Number Generator with Jitter Amplifier,” Proceedings of IEEE International Symposium on Circuits and Systems (ISCAS), May 2011, to appear.
28. R. Yamamoto, C. Hamanaka(Kyoto Inst. of Tech.), J. Furuta(Kyoto Univ.), K. Kobayashi(Kyoto Inst. of Tech) and H. Onodera(Kyoto Univ.), “An Area-efficient 65 nm Radiation-Hard Dual-Modular Flip-Flop to Avoid Multiple Cell Upsets,” 2011 IEEE Nuclear and Space Radiation Effects Conference, July, 2011, to appear.
29. H. Fuketa, D. Kuroda, M. Hashimoto, and T. Onoye (Osaka Univ.), “An Average-Performance-Oriented Subthreshold Processor Self-Timed by Memory Read Completion,” IEEE Transactions on Circuits and Systems II, in press.
30. H. Fuketa, M. Hashimoto, Y. Mitsuyama, and T. Onoye (Osaka Univ.), “Adaptive Performance Compensation with In-Situ Timing Error Predictive Sensors for Subthreshold Circuits,” IEEE Transactions on VLSI Systems, in press.

(4-2)知財出願

- ① 平成22年度特許出願件数(国内 2件)
- ② CREST 研究期間累積件数(国内 3件)