

高木直史

京都大学大学院情報学研究科・教授

単一磁束量子回路による再構成可能な低電力高性能プロセッサ

## §1. 研究実施の概要

超伝導単一磁束量子 (SFQ) 回路による再構成可能な大規模データパス (RDP) を有するプロセッサの基盤技術の確立を目指し、RDP アーキテクチャ技術の確立、SFQ 回路による再構成可能な回路の構成法の開発、SFQ-RDP に適した算術演算ユニットの構成法の開発、SFQ 論理回路設計技術の開発、SFQ 回路プロセスの高度化及び高信頼化を行っている。

RDP アーキテクチャ技術に関しては、アーキテクチャを確定し、コンパイラを開発するとともに、いくつかのアプリケーションに対して RDP 向きアルゴリズムを開発することを最終目標としている。今年度は、RDP 向きアルゴリズムに関して、2 次元拡散方程式計算に対する主記憶-RDP 間入力データ転送削減のための最適な主記憶上のデータ配置を考案し、これにより、同一メモリバンド幅での既存の GPU 計算に近い性能を得た。また、2 次元 FDTD 計算のデータフロー解析から GPU での既存研究報告に比べ FLOPS 値において優位な結果を得た。アーキテクチャの改善では、入出力データ転送の削減を可能とするメモリコントローラーの提案を行った。コンパイラの開発に関しては、既存の ISAcc コンパイラの拡張を行うことでコンパイラバックエンドを開発した。現在、RDP の再構成情報を生成するツールを開発中である。

再構成可能な回路の構成法に関しては、Nb9層接合寸法  $1\mu\text{m}$  プロセスを用いて ALU が4個搭載された  $2\times 2$  SFQ-RDP の設計を行い、45GHzまでの正常動作を全演算に対して確認した。また、 $2\times 3$ 、 $4\times 2$ 、 $4\times 4$  SFQ-RDP を設計した。さらに、大規模 SFQ-RDP 用の ORN 及び FIFO 等の小規模回路も設計し、動作を確認した。算術演算ユニットの構成法に関しては、Nb9層接合寸法  $1\mu\text{m}$  プロセス用論理セルを用いて、種々の回路コンポーネントを試作し、正常動作を確認した。

論理回路設計技術および SFQ 回路プロセスに関しては、 $1\mu\text{m}$  多層配線プロセス技術を確立して、論理デバイスおよび受動配線 (PTL) デバイスを開発し、このデバイスに対応した論理セルライブラリを構築するとともに、自動配置配線ツールを開発して、大規模な SFQ 集積回路の設計、製作が可能であることを示すことを最終目標としている。今年度は、8層から変更した9層デバイス構造に基づいて接合寸法  $1\mu\text{m}$  多層配線プロセスを改善するとともに、論理セルライブラリのフルセットをほぼ完成した。また、本プロセス向け自動概略配置ツールを開発し、これと自動配線ツールを連

携して用いて回路を設計・試作し、評価を行った。また、プロセスの高信頼化に努めた。

## § 2. 研究実施体制

### (1)「高木(直)」グループ

① 研究分担グループ長:高木直史 (京都大学情報学研究科、教授)

#### ② 研究項目

- 単一磁束量子論理回路設計及び設計支援技術の開発
- ・多層配線プロセスに対応した論理回路設計ツールの開発
- ・SFQ-RDP 用算術演算ユニットの構成法の開発

### (2)「高木(一)」グループ

① 研究分担グループ長:高木一義 (名古屋大学情報科学研究科、准教授)

#### ② 研究項目

- 単一磁束量子論理回路設計技術の開発
- ・多層配線プロセスに対応した論理回路設計ツールの開発
- ・SFQ-RDP 用算術演算ユニットの構成法の開発

### (3)「村上」グループ

① 研究分担グループ長:村上和彰 (九州大学システム情報科学研究所、教授)

#### ② 研究項目

- 大規模再構成可能データパスを有するプロセッサ・アーキテクチャの開発
- ・RDP 向き計算アルゴリズムの開発
- ・RDP 性能評価とアーキテクチャ洗練
- ・RDP コンパイラの開発

### (4)「吉川」グループ

① 研究分担グループ長:吉川信行 (横浜国立大学工学研究院、教授)

#### ② 研究項目

- 単一磁束量子算術演算ユニットの開発
- ・多層配線プロセスに適した論理セル開発
- ・SFQ 算術演算ユニットの高速動作実証

### (5)「赤池」グループ

① 研究分担グループ長:赤池宏之 (名古屋大学工学研究科、助教)

② 研究項目

単一磁束量子再構成可能データパスの開発

- 超伝導多層配線による広帯域フレキシブル超伝導配線技術及び論理セル設計技術の開発
- SFQ 回路による再構成可能なデータパスの実証

(6)「永沢」グループ

① 研究分担グループ長:永沢秀一 ((財)国際超伝導産業技術研究センター 超伝導工学研究所、主管研究員)

② 研究項目

単一磁束量子回路プロセスの高度化及び高信頼化

- Nb9層接合寸法 1 $\mu\text{m}$  プロセスの高信頼化及び SFQ 回路の試作
- Nb 4 層接合寸法 2 $\mu\text{m}$  プロセスの高信頼化及び SFQ 回路の試作

### §3. 研究実施内容

(文中に番号がある場合は(4-1)に対応する)

#### 1. RDP アーキテクチャ技術

##### ① アプリケーションの分析、RDP 向き計算アルゴリズムの開発

隣り合う複数の点に対し差分方程式計算を行う際には、重複する入力データが必要となるが、2次元拡散方程式計算に対し主記憶-RDP間重複入力データ転送削減のための最適な主記憶上のデータ配置を考案した。また、2階のRunge-Kutta法によるCoulomb関数計算ならびに連立1階Runge-Kutta法による位相空間中での物体の運動シミュレーションにおいて複数ステップの計算をアンローリングすることで、計算途中の入出力を不要としたデータ依存関係の深いデータフローグラフを生成可能であることを示した。

##### ② RDP アーキテクチャの評価、洗練

①での2次元の拡散方程式計算ならびにFDTD計算に対してソフトウェア処理のみでは必要となってしまう余分な入出力データ転送の削減を可能とするメモリコントローラの提案を行った。これは前年度までに考案していた1次元の構成を拡張したものである。このメモリコントローラを利用した場合の2次元拡散方程式ならびに2次元のFDTDプログラムによる性能評価では、同一メモリバンド幅での既存のGPU計算結果と比較し同程度の性能を得た。この結果から、SFQ利用を含めた場合の性能/電力の指標による比較では両計算とも既存プロセッサに対し効率的な計算が可能と期待される。

##### ③RDP コンパイラの開発

既存のISAccコンパイラの拡張を行うことで、汎用プロセッサプログラムならびにRDP計算用データフローグラフを入力とし、汎用プロセッサ実行オブジェクトを出力とするコンパイラバックエンドを開発した。現在は計算のためのRDP再構成情報の生成部を開発中である。この再構成情報生成部では、高木グループにより開発されたORN内のマイクロルーティングアルゴリズムを実装している。

#### 2. 再構成可能な回路および算術演算ユニットの開発

##### ①SFQ-RDP の設計

Nb 9層接合寸法  $1\ \mu\text{m}$  プロセスを用いてALUが4個搭載された $2\times 2$  SFQ-RDPの設計を行った。これに用いたALUは、本年度に十分なタイミング余裕を確保すべく再設計したものであり、実験的にも良好な動作余裕・歩留が確認されたものである。また、新設計のORNも、本プロセスの特長を活かすべく配線専用層を積極的に使用することにより、従来のNb 4層接合寸法  $2\ \mu\text{m}$  プロセスに比べ大幅な回路面積縮小、接合数削減に成功したものである。これらの回路ブロックの使用と、タイミング調整のための等長配線技術の使用により、試作した $2\times 2$  SFQ-RDPにおいて45GHzまでの正常動作を全演算に対して確認した。さらに、 $2\times 3$ 、 $4\times 2$ 、 $4\times 4$  SFQ-RDPを設計した。現在、動作評価中である。一方、大規模SFQ-RDP用のORN及びFIFO等の小規模回路もNb

9層接合寸法 1  $\mu\text{m}$  プロセスを用いて設計し、動作を確認した<sup>9)</sup>。

## ② SFQ-RDP 用算術演算ユニットの構成法の開発と高速動作実証

Nb9層接合寸法 1  $\mu\text{m}$  プロセス用論理セルを用いて、SFQ 算術演算ユニット用の回路コンポーネントを試作し、高速での動作検証を行った。半精度浮動小数点加算器用のシフト回路と指数部正規化回路について、それぞれ最高動作周波数 78GHz、87GHz での正常動作を確認した<sup>11)</sup>。また、半精度浮動小数点乗算器用の仮数部乗算器と指数部回路について、それぞれ最高動作周波数 45GHz、90GHz での正常動作を確認した。また、演算クロック数を増やさずに IEEE 標準の丸めモードに対応する方法を検討した。さらに、ビットスライス型の仮数部乗算器の構成法を検討した。

## 3. 論理回路設計技術および SFQ 回路プロセス

### ① 接合寸法1 $\mu\text{m}$ 多層配線プロセスの開発

前年度末に、PTL 配線設計の自由度の向上を目的として、Nb グランド面(GND3)を1層追加することで、接合を含むゲート回路の直下にも PTL 配線を独立して設計することを可能にした9層の Nb 層からなるデバイス構造に変更した。今年度は、この変更した9層の Nb 層からなるデバイス構造に基づいた多層配線プロセスの試作を行い、接合、抵抗、コンタクトといった素子パラメータの測定評価と、層間リークや断線といった欠陥率の測定評価を行った。この測定評価を通して、問題点の把握とプロセスの改善を行い、素子パラメータの再現性や欠陥率の低減といった信頼性の向上に努めた。さらに、この Nb 9層接合寸法 1  $\mu\text{m}$  プロセスの信頼性評価を目的とした、シフトレジスタの開発を行った。具体的には、16ビット、64ビット、160ビット、640ビット、1280ビット、2560ビットの6種類のシフトレジスタを設計し、各シフトレジスタを複数個1チップに集積することで、5万接合規模のシフトレジスタの評価チップの試作を行った。その結果、16ビットから2560ビットまでの全てのシフトレジスタで正常動作を確認し、回路規模に依存した動作イールドとチップごとの動作イールドを評価することができた。動作イールドが最も良好であった試作では、1チップに挿入した4個の2560ビットのシフトレジスタ全ての正常動作を確認することができた。このチップでは、他のサイズのシフトレジスタも含めて合計6万個以上の接合を含む回路の正常動作が確認でき、今年度の当初の目標であった5万接合規模のシフトレジスタを動作させるという目標を達成することができた。加えて、本シフトレジスタのバイアス電流の最小発振電流値の測定から、プロセス起因の欠陥と磁束トラップ起因の動作不良を分析評価した。また、吉川グループ、赤池グループで設計したNb 9層接合寸法 1  $\mu\text{m}$  プロセスに対応したSFQ回路も同時に繰り返し試作することができた。

### ② 論理セル・配線技術開発

Nb 9層接合寸法 1  $\mu\text{m}$  プロセス用セルライブラリフルセット版の実現を目的に、前年度までに開発したNb 8層接合寸法 1  $\mu\text{m}$  プロセス用論理セルをNb 9層プロセス用に修正を行うとともに、その他の論理セル、能動配線セル、受動配線(PTL)用ドライバ・レシーバセルの設計を行った<sup>3)</sup>。実験的にも各セルの動作を確認し、フルセット版を実現した。また、SFQ 回路の更なる低消費電

力化を目的とした低消費電力型基本論理セルライブラリの設計指針について検討を開始した。

#### ③ 多層配線プロセスに対応した論理回路設計ツールの開発

昨年度までに開発した、クロック木合成に伴い配線遅延と混雑度を考慮してセルの概略配置を行うアルゴリズムに基づき、Nb9層接合寸法 1  $\mu\text{m}$  プロセス向け自動概略配置ツールを開発した<sup>7)</sup>。このツールと自動配線ツール<sup>2)</sup>を連携して用いて回路を設計・試作し、評価した。小規模回路での予備的な評価ではあるが、提案している設計フローが実際の設計に適用可能であることを確認した。また、設計された回路のパイプライン動作のタイミング検証を行う手法を開発し、ツール作成に着手した。

#### ④ プロセスの高信頼化

Nb 9 層接合寸法 1  $\mu\text{m}$  プロセスの基本であり、より工程が短い、Nb 4 層接合寸法 2  $\mu\text{m}$  プロセスを用いて、成膜、エッチング、洗浄といった要素技術のプロセス条件の最適化及び問題点の検討と対策を行い、欠陥率の低減に努めた。加えて、吉川グループ、赤池グループで設計した SFQ 回路の試作を行い、その評価結果を迅速にフィードバックして、問題点の対策を行うことで、素子パラメータの再現性や欠陥率の低減といったプロセスの信頼性を徐々に改善させることができた。

## §4. 成果発表等

### (4-1) 原著論文発表

#### ●論文詳細情報

1. N. Takagi, M. Tanaka: "Comparisons of Synchronous-Clocking SFQ Adders," IEICE Trans. Electron. vol. E93-C, no. 4, pp. 429-434, Apr. 2010 (doi: 10.1587/transele.E93.C.429)
2. M. Tanaka, K. Obata, Y. Ito, S. Takeshima, M. Sato, K. Takagi, N. Takagi, H. Akaike, A. Fujimaki: "Automated Passive-transmission-line Routing Tool for Single-flux-quantum Circuits Based on A\* Algorithm," IEICE Trans. Electron. vol. E93-C, no. 4, pp. 435-439, Apr. 2010 (doi: 10.1587/transele.E93.C.435)
3. Y. Yamanashi, T. Kainuma, N. Yoshikawa, I. Kataeva, H. Akaike, A. Fujimaki, M. Tanaka, N. Takagi, S. Nagasawa, M. Hidaka, "100 GHz Demonstrations Based on the Single-Flux-Quantum Cell Library for the 10 kA/cm<sup>2</sup> Nb Multi-Layer Process," IEICE Trans. Electron., vol. E93-C, no. 4, pp. 440-444, Apr. 2010. (doi: 10.1587/transele.E93.C.440)
4. Y. Okamoto, H. Jin, K. Yaguchi, Y. Yamanashi, and N. Yoshikawa, "Access Time Measurement of 64-kb Josephson-CMOS Hybrid Memories using SFQ Time-to-Digital Converter," IEICE Electron. Express, vol. 7, pp.320-325, 2010. (doi: 10.1587/elex.7.320)
5. H. Noori, F. Mehdipour, K. Inoue, K. Murakami: "Improving performance and energy efficiency of embedded processors via post-fabrication instruction set customization," The Journal of Supercomputing, 10 November 2010, pp. 1-27. (doi:10.1007/s11227-010-0505-0)
6. F. Mehdipour, H. Honda, K. Inoue, H. Kataoka, and K. Murakami: "A Design Scheme for a Reconfigurable Accelerator Implemented by Single-Flux Quantum Circuits," Journal of Systems Architecture - Embedded Systems Design 57, pp.169-179, Jan. 2011. (doi: 10.1016/j.sysarc.2010.07.009).
7. K. Takagi, Y. Ito, S. Takeshima, M. Tanaka, N. Takagi: "Layout-Driven Skewed Clock Tree Synthesis for Superconducting SFQ Circuits," IEICE Trans. Electron., vol. E94-C, no. 3, pp.288-295, Mar. 2011. (doi: 10.1587/transele.E94.C.288)
8. F. Miyaoka, T. Kainuma, Y. Shimamura, Y. Yamanashi, and N. Yoshikawa, "High-speed test of a radix-2 butterfly processing element for the Fast Fourier Transform using SFQ circuits," IEEE Trans. Appl. Supercond., (accepted).
9. I. Kataeva, H. Akaike, A. Fujimaki, S. Nagasawa, and N. Takagi: "Clock Line

Considerations for an SFQ Large Scale Reconfigurable Data Paths Processor,”  
IEEE Trans. on Appl. Supercond. (accepted).

10. M. Tanaka, H. Akaike, A. Fujimaki, Y. Yamanashi, N. Yoshikawa, S. Nagasawa, K. Takagi, N. Takagi: “100-GHz Single-Flux-Quantum Bit-Serial Adder Based on 10-kA/cm<sup>2</sup> Niobium Process,” IEEE Trans. Appl. Supercond. (accepted).
11. T. Kainuma, Y. Yamanashi, F. Miyaoka, Y. Yamanashi, N. Yoshikawa, A. Fujimaki, K. Takagi, N. Takagi and S. Nagasawa, “Design and implementation of component circuits of an SFQ half-precision floating-point adder using 10 kA/cm<sup>2</sup> Nb process,” IEEE Trans. Appl. Supercond., (accepted).

#### (4-2) 知財出願

- ① 平成22年度特許出願件数(国内 0 件)
- ② CREST 研究期間累積件数(国内 0 件)