

「情報システムの超低消費電力化を目指した技術革新と統合化技術」
平成19 年度採択研究代表者

松岡 聡

東京工業大学学術国際情報センター・教授

ULP-HPC: 次世代テクノロジーのモデル化・最適化による 超低消費電力ハイパフォーマンスコンピューティング

§ 1. 研究実施の概要

平成 21 年度は引き続き超低消費電力高性能計算の研究を、システム・アプリケーション・数理に基づいたチューニングの三つの観点から推進した。

システム面では GPU などのアクセラレータを用いたスケジューリングシステムや高性能ソフトウェアの研究を推進した。省電力化・高性能化の主要アプローチは、GPU やネットワークなどの構成要素の電力・性能モデリングと自動チューニングに基づく最適化である。前者については平均誤差 5%以下で GPU 電力を見積もるモデルと、ノード内部のバス干渉を考慮した性能モデルを研究した。後者についてはシステム研究チームとチューニングチームの間で強力な連携をとっている。さらにこれらの結果を活用するための、主として GPU 向けのプログラミングシステムの研究も引き続き押し進めている。

HPC アプリケーションとしては、流体計算や材料力学の研究を多数の GPU を用いて高速化した。前年度までは単一 GPU 上の実証実験が主であったが、大規模高性能計算のためには多数 GPU の利用が必須である。津波計算においては、100GPU 規模の弱スケーリングおよび 32GPU 規模の強スケーリングを実証した。また 1000CPU コアと同等の性能を 10GPU で達成しており、電力性能としては CPU のみの場合と比較して 1/50 程度の低消費電力を達成することが明らかになった。

チューニングについては、逐次実験計画における制御コスト削減手法の提案、並列実験計画の提案と並列疎行列ベクトル積における評価、敵対的コストモデルにおける自動チューニング数理手法の考察、敵対的コストモデルにおける自動チューニングの研究により、さらなる低電力・高性能化を図った。数理的手法の研究と並行して、行列演算や離散アルゴリズムなどの具体的なソフトウェアの自動チューニングの研究を推進した。

また引き続き計算ノード内部の電力を詳細に(例えば GPU ボードレベル)測定できる機器の利用

体制を構築、維持を行っている。HPC 分野では世界最大規模のカンファレンスである IEEE Supercomputing 09 では、東工大 GSIC などと共同でブース出展し、上記の機器をブースに設置して、電力実測のデモなどにより成果発表を行った。また本 CREST の成果を活用し、東工大の次期 TSUBAME2 スパコンの設計を推進した。この計画は GPU の大規模導入により現行マシンに近い電力でピーク性能 3PFlops を目指すものであり、国内外より大変大きな反響を呼んでいる。

§ 2. 研究実施体制

(1)「研究代表者・松岡」グループ

①研究分担グループ長:松岡 聡(東京工業大学、教授)

②研究項目

次世代 HPC システムにて超省電力・高性能を達成するハードウェア・ソフトウェア統合システムの研究開発

(2)「主たる共同研究者①・須田」グループ

①研究分担グループ長:須田 礼仁(東京大学大学院、准教授)

②研究項目

超省電力 HPC システムに適したロバストな性能モデルや高性能と省電力の複合目的関数最適化などの数理の研究を行う。その成果は、自動チューニング数理基盤ライブラリおよび自動チューニングスクリプト言語 ABCLibScript の超省電力 HPC システム向けの拡張の形で実体化する。最終的には、ヘテロ複合アーキテクチャである超省電力 HPC システムに、柔軟かつロバストに適応するソフトウェアに必須である、自動チューニング基盤システムの完成を目指す。

(3)「主たる共同研究者②・青木」グループ

①研究分担グループ長:青木 尊之(東京工業大学、教授)

②研究項目

超省電力型の HPC アプリケーション及びアルゴリズムの研究開発

(4)「主たる共同研究者③・本多」グループ

①研究分担グループ長:本多 弘樹(電気通信大学大学院、教授)

②研究項目

超省電力化 SIMD アクセラレータのための汎用プログラミング環境

(5)「主たる共同研究者④・鯉淵」グループ

①研究分担グループ長:鯉渕 道紘(国立情報学研究所、准教授)

②研究項目

省電力インターコネクットの研究開発

(6)「主たる共同研究者⑤・合田(日向寺)」グループ

① 研究分担グループ長:合田(日向寺) 祥子(東海大学、講師)

② 研究項目

巨大分子量子化学計算における超省電力 HPC システムの性能評価

§ 3. 研究実施内容

(文中に番号がある場合は(4-1)に対応する)

(1)「研究代表者・松岡」グループ (東京工業大学)

前年度に引き続き、省電力高性能計算の研究を、GPU を中心に推進した。主要な方針は、自動チューニングの導入、多数 GPU 利用時におけるスケーラビリティ実現、メモリエラーへの対応、性能モデリングであり、以下に示す。なお本 CREST の成果を活用し、次期 Tsubame2 スパコンの設計を推進した。

- 前年度に引き続き、GPU を用いた省電力高性能数値演算カーネルの研究を推進した。すでに提案した CUDA GPU での高速な FFT アルゴリズムを改良するため、本年度は自動チューニング手法を提案し、かつ様々なサイズへの対応を実現した[A-3, A-6, A-7]。チューニングパラメータとしては、FFT の基底の組み合わせ及び順序の選択、スレッド数の選択に加えて GPU のオンチップ shared memory 内でのバンクコンフリクトを自動的に回避する手法を提案・評価した。自動チューニングに必要な、多数の CUDA カーネルの生成・ロード・実行処理にかかる時間は多くの場合1分以内であり、その実行性能は手動チューニング時と同等かそれ以上である。
- 多数 GPU を用いた省電力高性能計算の実証実験として、CUDA GPU による高速な CG 法を開発した。我々は疎行列格納方式の一つである JDS 方式を独自に拡張し、GPU に適した計算手法を提案した[A-2, A-4]。また Tsubame スパコンを用い多数の GPU を用いた実験を行った。CPU 間の並列化に比べ、単体が高速な GPU においては通信がボトルネックになりスケーラビリティが低下しやすい。これを改善するために Hyper-Graph パーティショニングの手法による行列データの効率的な分散が有効であった。
- GPU を省電力高性能計算に本格利用するためには、少なくとも現時点においては耐故障性の対応を行う必要がある。そのため引き続き GPU メモリエラーへの耐故障性実現のために、ソフトウェアによる ECC の研究を推進した。本年度の主な成果としては、昨年度の通常のハミング符号による提案手法よりも GPU に適したパリティ符号による大幅な高効率化があげられる[A-9]。実際に、本研究項目で研究開発された高速 3 次元 FFT コードや行列積等のプログ

ラムに適用した結果、FFT で 30 パーセント程度、行列積で数パーセント程度のオーバーヘッドで抑えられることを確認し、実利用に耐えられる性能であることを実証した。

- 電力最適化のために GPU の電力モデリングが必要であるため、昨年度構築した高精度電力モニタリングシステム (ULP-HPC テストベッド)を用いた研究を推進した。CUDA GPU においては 20 種類程度のパフォーマンスカウンタを取得可能であるため、それらを性能プロファイルとして用い、消費電力を見積もるモデリング手法を提案した。本手法では、数十種類の CUDA カーネルの性能プロファイルと実測消費電力から線形回帰モデルを学習させる。このモデルは消費電力を平均 5 パーセント以下の差異で予測可能であることを実証した。並行して GPU プログラム同士の干渉を考慮した性能モデルとそれに基づくジョブスケジューリングアルゴリズムを開発中であり[A-1]、今後は上記の電力モデルと統合する計画である。
- 東京工業大学学術国際情報センターでは H22 年度に次期スパコン TSUBAME2 を、松岡代表が中心となり導入予定である。その計画は今年度発表され、GPU の大規模導入により現行マシンに近い電力でピーク性能 3PFlops を目指し、H22 時点で世界トップクラスとなる予定であることから国内外に大きな反響を呼んだ。また計算ノードのローカルストレージには不揮発性メモリ(SSD)を導入する予定である。本計画はこれまでの CREST における実験成果/研究成果を利用している。H22 年度の TSUBAME2 運用開始以降はさらに大規模・省電力環境における HPC アプリケーションの実証実験を推進していく。
- TSUBAME のような汎用 CPU とアクセラレータが混在する HPC システムを想定し、ジョブスケジューリングアルゴリズムの研究を推進している。同じノードに複数のアプリケーションが実行された場合には、メモリバスや PCI-Express 等の競合によって単独で実行した場合より実行時間が増加することが多い。この増加率を各アプリケーションのメモリアクセス回数(パフォーマンスカウンタから取得)と PCI-Express 転送量 (CUDA プロファイラから取得)の情報から予測するモデルを提案した。このモデルによる予測を ECT(earliest completion time)という単純なスケジューリング方式に組み込んだ結果、Quad-Core CPU と 4 つの GPU を搭載するノードで構成されるクラスタシステムでの評価では、実行時間をより正確に予測することができ、かつ競合の少なくなるようにジョブ割り当てが行われ、実行時間で最大 2.6%、消費エネルギーでは最大 1.9%の削減を実現した。

(2)「主たる共同研究者①・須田」グループ(東京大学)

自動チューニング研究グループでは、マルチコアや GPU などの高性能計算環境における低消費電力・高性能計算のための自動チューニング技術の研究を行った。(1) 消費電力モデリング: 須田は GPU の消費電力をカーネル単位で高速・高精度に測定する技術を開発し、ここから GPU の演算器の消費電力の精緻なモデルを構築した^{B-7}。その結果、CUDA のソフトウェアモデル(32 スレッドがワープ)とは異なり、GPU のハードウェアは半ワープ(16 スレッド)が実行単位となっており、半ワープ中の演算を行わないスレッドが演算を行うスレッドの 71% の電力を消費することを示した。(2) 自動チューニングの数理手法: 須田は逐次実験計画における制御コスト削減手法の提案、並

列実験計画の提案と並列疎行列ベクトル積における評価、敵対的コストモデルにおける自動チューニング数値手法の考察を行った。また小谷は機械学習を用いた疎行列反復法の自動チューニング手法について研究を行ったが、これは敵対的コストモデルにおける効率的な自動チューニング手法となっている。(3) 数値アルゴリズムと高性能 GPU 計算の手法: 黒田は行列基本演算ライブラリの性能と消費電力をマルチコア上で評価し、各種評価指標の下での最適な方式を示した。片桐は固有値ソルバにおける自動チューニング手法を開発した^(B-8)。Rocki および富山は、離散アルゴリズムの GPU での高性能実装の研究を展開した^(B-6)。(4) 総合的な低消費電力化: Ren は行列積等を対象としてマルチコアと GPU を組み合わせた環境での低消費電力・高性能計算の手法について研究を進めた^(B-1, B-2, B-3, B-4, B-5)。所要時間と消費電力をモデル化し、実装方式や負荷分散を総合的に最適化することにより、エネルギー効率の向上を実現した。

(3)「主たる共同研究者②・青木」グループ(東京工業大学)

超省電力型の HPC アプリケーション及びアルゴリズムの研究開発のグループでは、GPU を用いて高速化することで実行時間を大幅に短縮することで低消費電力化を図っている。単一 GPU での流体アプリケーションの高速化を平成 20 年度に示し、そのための数々のアルゴリズム開発を行った。HPC アプリケーションの殆どは大規模計算であり、単一 GPU カードに搭載されるメモリの範囲内では実行できない。それを踏まえ平成 21 年度は複数 GPU に対して大規模流体計算および材料力学の計算を行い、TSUBAME1.2 において強スケーリングと弱スケーリングを検証した。格子ボルツマン法による非圧縮性流体計算では、GPU 間のデータ通信時間が長いこと強スケーリングは悪いが、2次元および3次元方向の領域分割を行うことにより100GPU程度までならば十分な弱スケーリングが得られることを明らかにした。4000×8000 格子に対する津波計算では、GPU 間データ通信と GPU の演算をオーバーラップさせることにより、32GPU 程度まで理想的な強スケーリングが得られ、三陸沖地震を想定した[C-2]。GPU 計算によるリアルタイム津波シミュレーションが十分可能であることを示した。また、フェーズ・フィールドモデルによる熔融金属の凝固計算では、GPU 間データ通信と GPU の演算をオーバーラップさせることにより、理想的な強スケーリングを示す GPU 数の範囲が拡大し、弱スケーリングにおいても大きな性能向上が得られた[C-3]。

全く同じ計算問題に対して TSUBAME の Tesla GPU と CPU の直接比較も行い、上記の全ての計算において10GPUは1000CPUと同程度の実行性能を示すことが分かり、電力性能としてはGPUで計算することによりCPUだけの計算と比較して1/50程度の低消費電力であることが明らかになった。

(4)「主たる共同研究者③・本多」グループ(電気通信大学)

本多(電通大)グループにおいては、省電力化に有効な SIMD 型アクセラレータの有効活用を目指し、特に GPU に対してその特徴である CPU から分離された演算コアとメモリに対応可能な並列プログラミングインタフェースの仕様を考察し、評価を行っている。具体的には、NVIDIA 社が提供する GPU コンピューティングフレームワークである CUDA に対応する OpenMP 処理系で

ある OMPCUDA の開発を引き続き行っており[D-1]、上記高速共有メモリの有効活用方法の OMPCUDA への追加および、C 言語に加えて Fortran 言語を対象とする拡張を行っている。また、GPU 内の高速共有メモリをソフトウェアにより有効に活用できるチューニングフレームワークを提案し、評価した。また、東大グループと連携してアプリケーションからシステムまで統合的にチューニング可能とする省電力チューニングフレームワークについて考案を行っており、その現状の報告を行った。関連して、省電力チューニングフレームワークにおいてユーザが指定するべきポリシーおよび、いかに注釈として表現すべきであるか明らかにした。

(5)「主たる共同研究者④・鯉淵」グループ(国立情報学研究所)

本年度は、省電力インターコネクトの実現に不可欠である On/Off リンクアクティベーション法に、スイッチの各ポートのリンク速度を独立に変更する拡張を行い、更なる電力削減を実現した。そして、大規模高性能計算システムのインターコネクトで最も頻繁に用いられているイーサネット、InfiniBand における実装方法を示した。具体的には、InfiniBand スイッチの場合、各ポートの速度をトラフィック負荷に応じて、SDR/DDR, x1/x4,イーサネットスイッチの場合、10Gb, Gb,100M に柔軟に変更する枠組み、電力モデルを提案した。前者については、フリットレベルシミュレータを開発し、数十スイッチを接続したインターコネクトにおける性能を算出し、実スイッチの電力測定結果から性能低下なしに 19%の電力削減ができることを示した[E-2]。後者については、実際の PC クラスタにおいて実装し、NAS 並列ベンチマークなどの並列アプリケーションを用いて最大 25%の電力削減効果を明らかにした[E-1][E-5][E-6][E-7]。また、典型的な SIMD 型プロセッサにおけるインターコネクトの通信性能を解析し、遅延、スループットに関するモデルを検証する等した[E-3][E-4]。

(6)「主たる共同研究者⑤・合田(日向寺)」グループ(東海大学)

平成21年度、これまでの電力測定実験結果を考察し、省電力設計のCPUを用いた分子計算による電力コストの測定を新規に行うこととした。測定実験には、省電力設計されたAMD OpteronをCPUに用いた小規模クラスタ(32コア)を構築し、昨年度までと同様に量子化学計算ソフトABINIT-MPを用いた。フラグメントサイズが均一となる小規模なテストデータ(単一アミノ酸から構成されるポリペプチド)および、現実的な生体高分子による測定実験を実施した。現実的な生体高分子としては、小規模ながら多種のアミノ酸が含まれるTrp-cageを用いた。測定した手法はFMO-HF/6-31Gおよび、計算コストの高いFMO-MP2/6-31Gである。この結果、MP2計算の中でもより計算コストの高い電子相関計算部分においては、処理をノード分散することによる省電力性能効果が見られた。また、この本年度には他グループで進めているGPUを利用した低電力数値計算の分子計算への適用について調査を行った。

§ 4. 成果発表等

(4-1) 原著論文発表

●論文詳細情報

[A-1] Tomoaki Hamano, Toshio Endo, and Satoshi Matsuoka. Power-Aware Dynamic Task Scheduling for Heterogeneous Accelerated Clusters. In Proceedings of the Fifth Workshop on High-Performance, Power-Aware Computing (HPPAC), in conjunction to IEEE IPDPS 2009, Rome, May 2009.

DOI:10.1109/IPDPS.2009.5160977

[A-2] Ali Cevahir, Akira Nukada, and Satoshi Matsuoka. Fast Conjugate Gradients with Multiple GPUs. In Proceedings of International Conference on Computer Science (ICCS 2009), Lecture Notes in Computer Science, Vol. 5544, pp.893-903, Springer, May 2009.

DOI:10.1007/978-3-642-01970-8_90

[A-3] 額田彰, 松岡聡. CUDA GPU 向けの自動最適化 FFT ライブラリ. 先進的基盤システムシンポジウム SACSIS 2009 論文集, pp. 345-352, 広島, 2009 年 5 月.

DOI: N/A

[A-4] Ali Cevahir, Akira Nukada, and Satoshi Matsuoka. An Efficient Conjugate Gradient Solver on Double Precision Multi-GPU Systems. 先進的基盤システムシンポジウム SACSIS 2009 論文集, pp. 353-360, 広島, 2009 年 5 月.

DOI: N/A

[A-5] Satoshi Matsuoka Takayuki Aoki Toshio Endo Akira Nukada Toshihiro Kato, Atsushi Hasegawa, GPU accelerated computing-from hype to mainstream, the rebirth of vector computing, Journal of Physics: Conference Series, Scientific Discovery through Advanced Computing (SciDAC 2009), Vol. 180, No. 1, pp. 012043, San Diego, CA, July 2009.

DOI:10.1088/1742-6596/180/1/012043

[A-6] 額田 彰, 松岡 聡, CUDA GPU 向けの自動最適化 FFT ライブラリ, 情報処理学会論文誌コンピューティングシステム(ACS), Vol. 2, No. 3, pp. 107-115, 2009 年 9 月.

DOI: N/A

[A-7] Akira Nukada, Satoshi Matsuoka, Auto-Tuning 3-D FFT Library for CUDA GPUs, In Proceedings of the 2009 ACM/IEEE conference on Supercomputing (SC09), Portland, OR, November 2009.

DOI:10.1145/1654059.1654090

[A-8] Toshio Endo, Akira Nukada, Satoshi Matsuoka, and Naoya Maruyama. Linpack Evaluation on a Supercomputer with Heterogeneous Accelerators, In Proceedings of IEEE International Parallel & Distributed Processing Symposium (IPDPS 2010), Atlanta, April 2010, accepted.
DOI:(未発行の為不明)

[A-9] Naoya Maruyama, Akira Nukada, and Satoshi Matsuoka. A High-Performance Fault-Tolerant Software Framework for Memory on Commodity GPUs, In Proceedings of 24th IEEE International Parallel and Distributed Processing Symposium (IPDPS'10), Atlanta, April 2010, accepted.
DOI:(未発行の為不明)

[A-10] Ali Cevahir, Akira Nukada, and Satoshi Matsuoka. “High Performance Conjugate Gradient Solver on Multi-GPU Clusters Using Hypergraph Partitioning” In Proceedings of the 2010 International Supercomputing Conference (ISC'10), Hamburg, Germany, June 2010, to appear.
DOI:10.1007/s00450-010-0112-6

[B-1] Da Qi Ren and Reiji Suda, “Measurement, Modeling and Evaluation for the Power Consumption of Large Matrices Multiplication on Multi-core Computers”, International Journal of Computational Science. Volume 3, Number 4, pp. 387-401, 2009.
DOI: N/A

[B-2] Da Qi Ren and Reiji Suda, “Load Scheduling for Power Aware Matrix Multiplication on CPU-GPU Multiprocessing Platform”, Proceedings of the 17th Conference on the Computation of Electromagnetic Fields (COMPUMAG 2007), pp.1080-1081. Florianopolis, Brazil, Nov 22-26, 2009.
DOI: N/A

[B-3] Da Qi Ren and Reiji Suda, “Power Model of Large-Scale Matrix Multiplication on Multi-core CPUs and GPUs Platform”, The 8th International Conference on Parallel Processing and Applied Mathematics (PPAM 2009). Wroclaw, Poland, Sep 13-16, 2009.
DOI: 未決定 (postproceedings 準備中)

[B-4] Da Qi Ren and Reiji Suda, “Power Efficient Large Matrices Multiplication by Load Scheduling on Multi-core and GPU platform with CUDA”, Proceeding of 12th IEEE International

Conference on Computational Science and Engineering (CSE 2009) , pp. 424-429, 6 pages in CD, Vancouver Canada, Aug 29-31, 2009.

DOI: 10.1109/CSE.2009.488

[B-5] Da Qi Ren, Reiji Suda, "Modeling and Estimation for the Power Consumption of Matrix Computations on Multi-core CPU and GPU platform", Proceedings of IEEE International Workshop on HPC and Grid Applications (IWHGA 2009), pages 42-46, Sanya, China, Apr 24-26, 2009.

DOI: 10.1109/CSO.2009.451

[B-6] Kamil Rocki, Reiji Suda, "Parallel minimax tree searching on GPU", 8 pages, The 8th International Conference on Parallel Processing and Applied Mathematics (PPAM 2009), Wroclaw, Poland, Sep. 13-16, 2009.

DOI: 未決定 (postproceedings 準備中)

[B-7] Reiji Suda and Da Qi Ren, "Accurate Measurements and Precise Modeling of Power Dissipation of CUDA Kernels toward Power Optimized High Performance CPU-GPU Computing ", The Tenth International Conference on Parallel and Distributed Computing, Applications and Technologies (PDCAT), Hiroshima, Japan, Dec 8-11, 2009.

DOI: 10.1109/PDCAT.2009.65

[B-8] 片桐孝洋, 「ペタフロップス環境における小規模行列用対称密行列固有値ソルバに向けてー逆変換の改良ー」, 情報処理学会 2010 年ハイパフォーマンスコンピューティングと計算科学論文集 HPCS2010, 2010 年 1 月, pp. 27- 34.

DOI: なし

[B-9] Da Qi Ren, Dennis Giannacopoulos, Reiji Suda, "Power Performance Analysis of 3-D Finite Element Mesh Refinement with Tetrahedra by CUDA/MPI on Multi-core and GPU architecture", 14th Biennial IEEE Conference on Electromagnetic Field Computation, Conference CD and IEEE Explore, Chicago, USA, May9-12, to appear.

DOI: 未定

[B-10] Kamil Rocki and Reiji Suda, "Massively Parallel Monte Carlo Tree Search" Proceedings of VECPAR'10, June 2010, to appear.

DOI: 未定

[C-1] 小川 慧, 青木 尊之, 「GPU によるマルチグリッド法を用いた 2 次元非圧縮性流体解析の高速計算」, 日本計算工学会論文集, Vol. 2009, No.20090021, 2009 年 11 月 9 日

DOI:なし

[C-2] 小川 慧, 青木 尊之, 山中 晃徳, 「マルチ GPU によるフェーズフィールド相転移計算のスケールビリティ ～ 40 GPU で 5 TFLOPS の実効性能 ～」, 情報処理学会 2010 年ハイパフォーマンスコンピューティングと計算科学論文集 HPCS2010, 2010 年 1 月.

DOI:なし

[C-3] Marlon Arce Acuna, Takayuki Aoki, 「Multi-GPU Computing and Scalability for Real-Time Tsunami Simulation」, 情報処理学会 2010 年ハイパフォーマンスコンピューティングと計算科学論文集 HPCS2010, 2010 年 1 月.

DOI:なし

[C-4] 小川慧, 青木尊之, 「マルチ GPU によるフェーズフィールド相転移計算のスケールビリティ ～ 40 GPU で 5 TFLOPS の実効性能 ～」, 情報処理学会, ACS 論文誌, 第 30 号, 採録決定

DOI:なし

[D-1] Satoshi Ohshima, Shoichi Hirasawa, Hiroki Honda, "OMPCUDA: OpenMP Execution Framework for CUDA Based on Omni OpenMP Compiler", In Proceedings of The International Workshop on OpenMP (IWOMP 2010), June, 2010, accepted.

DOI: N/A

[E-1] 廣安 知之, 渡辺 崇文, 中尾 昌広, 大塚 智宏, 鯉淵 道紘, ``PC クラスタにおける LAN イーサネットのトポロジの評価'', 情報処理学会論文誌:コンピューティングシステム(ACS),

Vol.2, No.3, pp.131-141, Sep 2009

DOI: N/A

[E-2] Jose Miguel Montanana, Michihiro Koibuchi, Takafumi Watanabe, Tomoyuki Hiroyasu, Hiroki Matsutani, Hideharu Amano, ``An On/Off Link Activation Method for Power Regulation in InfiniBand'', Proc. of the 2009 International Conference on Parallel and Distributed Processing Techniques and Applications (PDPTA'09), pp. 289-295, Jun 2009

DOI: N/A

[E-3] Yuri Nishikawa, Michihiro Koibuchi, Masato Yoshimi, Akihiro Shitara, Kenichi Miura, Hideharu Amano, ``Performance Analysis of ClearSpeed's CSX600 Interconnects'',

IEEE International Symposium on Parallel and Distributed Processing with Applications (ISPA), pp.203-210, Aug 2009

DOI: 10.1109/ISPA.2009.102

[E-4] Jose Miguel Montanana, Michihiro Koibuchi, Hiroki Matsutani, Hideharu Amano,

“Balanced Dimension-Order Routing for k-ary n-cubes”, Proc. Of the 4th International Symposium on Embedded Multicore Systems-on-Chip (MCSoc’09), Sep 2009 (CD-ROM)

DOI: 10.1109/ICPPW.2009.64

[E-5] 廣安 知之, 渡辺 崇文, 中尾 昌広, 大塚 智宏, 鯉渕 道紘, “PC クラスタにおける VLAN イーサネットのトポロジの評価”, 第7回先進的計算基盤システムシンポジウム(SAC SIS’09) 論文集, pp.283-291, May 2009

DOI: N/A

[E-6] Michihiro Koibuchi, Tomohiro Otsuka, Hiroki Matsutani, Hideharu Amano, “An On/Off Link Activation Method for Low-Power Ethernet in PC Clusters”, Proc. of the 23rd IEEE International Parallel and Distributed Processing Symposium (IPDPS’09), CD-ROM, May 2009

DOI: 10.1109/IPDPS.2009.5161069

[E-7] Michihiro Koibuchi, Tomohiro Otsuka, Tomohiro Kudoh, Hideharu Amano, “A Switch-tagged Routing Methodology for PC Clusters with VLAN Ethernet”, IEEE Transactions on Parallel and Distributed Systems , to appear

DOI:(未発行の為不明)