

「情報システムの超低消費電力化を目指した技術革新と統合化技術」
平成18年度採択研究代表者

中村 宏

東京大学大学院情報理工学系研究科・准教授

革新的電源制御による次世代超低電力高性能システム LSI の研究

§ 1. 研究実施の概要

本研究課題の目的は、快適な高度情報化社会を支える高性能システム LSI のさらなる高性能化と低消費電力化を、回路実装、アーキテクチャ、コンパイラ、システムソフトウェアの各階層が真に連携・協調し、革新的な電源制御を行い実現することである。

本年度は、上記の目的を達成するために各グループがこの目的に沿った研究を行うと同時に、グループ間の協調を実現させるための共通プラットフォームとして、MIPS-CPU (R3000) 互換のプロセッサ Geysers-1 の設計・試作を行った。Geysers は、パワースイッチによる細粒度の電源制御で低消費電力化を目指す汎用プロセッサである。低消費電力化という観点において本方式が克服すべき課題の一つは、パワースイッチの切り替えに伴うエネルギー的なオーバーヘッドを抑えることであり、パワースイッチの切り替え頻度を抑えつつ、パワーオフの時間を出来るだけ長くすることが肝要である。そのため、電源制御対象の演算器の使用頻度に応じて異なるパワーオフ制御を行う戦略を採用している。65nm テクノロジーを採用する Geysers-1 の設計・試作を行い、正常動作させることに成功した。パワースイッチによる電源制御をサイクルレベルという時間的に極めて細粒度に正しく動作させることを実証できた点は大きな成果である。また実チップを用いてアプリケーションプログラムを実行した結果、細粒度パワーゲーティングにより消費電力が 25℃で 3%程度低減し、80℃で 25%程度低減することがわかった。

また、電力効率アクセラレータとして大規模リコンフィギュラブルプロセッサ Silent Mega Array (SMA) の電力モデル構築とアーキテクチャ検討および 65nm テクノロジーでの設計を行った。現在試作中の SMA ではパワースイッチによる細粒度電源制御は実装されていないが、シミュレーション評価では、レジスタへのアクセスを格段に抑えられるために、一部アプリケーションでは一桁以上電力を削減できるという予備評価結果が得られている。

これらのほかに、各グループは階層間の協調による低消費電力化を目指した研究を行っており、

実行時の状況に応じて変動するリーク電流を測定するオンチップ・リークモニター回路、来年度以降検討を本格化させる超低電圧回路、チップマルチプロセッサ用プロセス実行制御方式、動的リコンフィギャラブルプロセッサ MuCCRA-3 の試作とインダクタンス結合で3次元実装を目指す MuCCRA-Cube の開発、Geyser 上での OS の試作、リアルタイム制御を考慮した省電力方式、パワーゲーティング方式と親和性の高い命令コード生成技術などを行った。

今年度もほぼ想定通りの進捗と成果を出せる見込みであり、今後も当初計画どおりに、目標達成を目指して引き続き研究を推進させる。

§ 2. 研究実施体制

(1)「回路技術」グループ

- ① 研究分担グループ長:宇佐美 公良(芝浦工業大学、教授)
- ② 研究項目:アーキテクチャ協調型超低電力回路技術

(2)「アーキテクチャ」グループ

- ① 研究分担グループ長:中村 宏(東京大学大学院、准教授)
- ② 研究項目:超低電力データレジデントアーキテクチャ

(3)「動的リコンフィギャラブル」グループ

- ① 研究分担グループ長:天野 英晴(慶應義塾大学、教授)
- ② 研究項目:超低電力動的リコンフィギャラブルアーキテクチャ

(4)「システムソフトウェア」グループ

- ① 研究分担グループ長:並木 美太郎(東京農工大学大学院、教授)
- ② 研究項目:超低電力を実現するアーキテクチャ協調型システムソフトウェア

(5)「コンパイラ」グループ

- ① 研究分担グループ長:近藤 正章(電気通信大学大学院、准教授)
- ② 研究項目:超低電力を実現するデータレジデントコンパイラ

§ 3. 研究実施内容

(文中に番号がある場合は(4-1)に対応する)

本年度は、回路実装とアーキテクチャの協調による低電力化、およびアーキテクチャとシステムソフトウェアの協調による低電力化を 2 つの柱とし、5 つの研究グループで以下の研究を実施した。

(1)回路技術グループ:以下の3つの主要な成果を得た。

- ・ パワーゲーティングの電力モデルおよびパワーゲーティング制御方式の検討:パワーゲーティングでは、1つのスリープイベントで、スリープサイクルが損益分岐点(Break Even Time, BET)を超えないと、消費エネルギーは削減できない。今年度、BET の温度依存性に関する解析モデルの構築に取り組み、解析式を導出した。その結果、(1)BET は温度上昇とともに指数関数的に短くなる、(2)BET の短縮率は回路構造によらず同じ値を取る、という結論が解析式から導かれた。65nm プロセスを用いて設計した Geyser-1 の実験結果と比べ、上記(1),(2)が成り立っていることを確認した。さらに、BET の温度依存性を、細粒度パワーゲーティングの効果向上に活用する方式について、過去のスリープイベントの履歴に基づいて次のアイドルサイクルが BET を超えるか否かを予測する方式(History-based policy)を新たに考案し、有効性を確認した。これらの成果をまとめた論文を(K.Usami, et.al., “Adaptive Power Gating for Function Units in a Microprocessor”, ISQED-2010, March, 2010)で発表した。
- ・ オンチップ・リークモニター:昨年度までの研究により、MTCMOS 構造を使った新しいリークモニター回路の基本動作がチップで確認できたが、一方、プロセスばらつき(素子のランダムばらつき)に対する回路動作のロバスト性が課題であることが分かった。今年度、ばらつきの影響を最も受ける回路部分が特定し、改良した回路を複数考案し、チップに実装した。
- ・ 超低電圧回路:トランジスタのしきい値近傍の超低電圧で動作させることにより消費エネルギーを削減する方式の実現に向け、論理ゲートやフリップフロップといった基本回路に対する基礎的な分析(65nm プロセスに対する超低電圧での遅延時間、消費エネルギー等の解析)を行った。さらに、超低電圧から通常電圧に信号振幅を引き上げるレベルシフタの回路を検討した。カレントミラー・センスアンプを改良した新たな回路構造を考案し、シミュレーションで評価した結果、従来提案されている回路構造に比べ、遅延時間、消費エネルギーの点で優位性を示す結果を得た。

(2)アーキテクチャグループ:以下の3つの主要な成果を得た。

- ・ データレジダントに基づく命令実行制御方式:回路技術グループが実現を目指すパワーゲーティング方式と親和性の高い命令実行制御方式⁵⁾の検討を行い、BET が小さい場合にはコンパイラによる短い時間のパワーゲーティングを採用し、BET が大きい場合には、キャッシュミス発生時に演算処理やデータ移動をまとめることでBETに見合ったパワーゲーティングを採用する手法を提案し、その有効性を示した。
- ・ 性能/電力アクセラレータ SMA アーキテクチャの検討
超低電圧動作とパワーゲーティング方式を採用し、SMA のアーキテクチャとSMA 上での処理制御方式を、リコンフィギャラブルグループとコンパイラグループと密に連携して進めた。当グループでは、PE 間の接続パスにレジスタを挿入するか否かの得失利害を性能と電力の観点から検討し、メモリ部とのデータ転送性能と実行アプリケーションの性質にこの得失利害が依

存することを示した。本年度実装をした SMA-1 は、上記検討を受け、PE 間接続パスにレジスタは挿入されていない。

- ・ チップマルチプロセッサ用プロセス実行制御方式の検討：複数のプロセッサコアを1チップに搭載するチップマルチプロセッサにおいては、L2 キャッシュやメモリバスなどの共有リソース上で複数のプロセス間の競合が発生する。そこで、プログラムの特徴と競合の状況をモデル化し、L2 キャッシュのパーティショニング手法とメモリリクエストのリオーダーリング手法を用いた上でそれぞれのコアの周波数を近づけることによって、それぞれのプログラムの性能制約を満たしつつ消費電力を最小化できることを示した。

(3) 動的リコンフィギャラブルグループ：以下の3つの主要な成果を得た。

- ・ 動的リコンフィギャラブルプロセッサ MuCCRA-3 の稼動に成功した。MuCCRA-3 は e-shuttle 65nm CMOS プロセスで実装され、今までの研究成果^{6),7)}を取り入れて、PE の命令削減、構造の簡素化、結合網のデータ固定などを行い省電力化に努めた。この結果、250MHz で稼動する DSP と同等の性能を10mW-13mW という低電力で実現した。このエネルギー効率は DSP の 30 倍程度、同じプロセスを用いた FPGA、Virtex-5 の 12 倍程度に当たる。この成果は国際学会 ICFPT のデモンストレーションセッションで実アプリケーションによる電流値測定の実演によって示され、大きな反響を得た。さらに、チップの実測結果により、電力のかかなりの割合が、データバス形成に消費されることがわかった。この電力を削減するため、差分再構成法を提案した。また、漏れ電流の削減のために、Dual-Vth を利用した設計手法を提案して、一定の成果を得た。
- ・ MuCCRA の研究成果を基本として、動的リコンフィギュレーションを制限すると共に、クロックツリーの範囲を限定、大規模な組み合わせ回路からなる計算アレイを、必要に応じて電源電圧を下げて利用するアーキテクチャ SMA のプロトタイプ SMA-1 を実装した。SMA-1 は、MuCCRA-3 と同じ e-shuttle 65nm CMOS プロセスを用いた。現在チップの評価中であるが、MuCCRA の 2 倍以上のエネルギー効率が得られる見込みである。
- ・ 複数の動的リコンフィギャラブルプロセッサをインダクタンス結合によるワイヤレス接続を行い三次元化したチップ MuCCRA-Cube を開発した。これは、同じ CREST の別グループに属する慶應大学の黒田研究室との共同プロジェクトである。ワイヤレス接続により、製造後のチップを必要とされる性能と許される電力内で自由に組み替える新しい SoC の可能性を示すことができた。残念ながら、PE アレイ部とワイヤレス接続部との結合部の問題から、三次元チップとしては動作しなかったが、ワイヤレス接続部は動作し、この方式の実現可能性を示した。

(4) システムソフトウェアグループ

- ・ Geysler 上での OS の省電力方式の予備評価と OS の試作：プロセス単位の細粒度パワーゲーティング制御を行う OS の研究を行った。実チップだけではなく、Geysler-0 を FPGA に移植

すると同時に、FPGA 上でメモリコントローラ、各種の入出力装置、処理性能及びパワーゲーティングによる電力削減効果の評価を行うため、専用のパフォーマンスカウンタを設計・実装し、OSによる省電力効果の削減を評価する環境を整えた。このFPGAを用いた環境の上に、マルチタスクの機能を有する軽量なOSを実装し、省電力効果の評価を行った。実装したOSは、マルチタスク管理、仮想メモリ管理、および Geysers のスリープポリシーを制御する省電力機構を備えている。この環境にLinuxカーネルを移植することにも成功した。

- ・ リアルタイム制御を考慮した省電力方式の研究： OSの資源管理の管理目標としてリアルタイム性の確保はスループットの向上に並ぶ重要な課題である。本研究では、性能制約の厳しいリアルタイムシステムにおける省電力制御として、シングルコアCPUにおけるEDFスケジューリングを対象としたDVFS制御方式を提案した。本方式では、コンテキストスイッチ時にカレントタスクに与えられる最大実行可能時間を近似的に見積もることで、デッドラインミスが発生させずに少ない計算量で効果的なDVFS制御を実現した。
- ・ 計算機システム全体、特に分散システムを考慮した省電力方式の研究： これまで実施してきたプロセッサに対する省電力方式の研究で得られた知見のより広い適用可能性を検証するため、フィードバックによる省電力スケジューラを分散システムに拡張した。このスケジューラは、システム一律でプロセッサの周波数や稼働ノード数を制御するのではなく、各ノードに対して目標性能を与えるものであり、この目標性能はクラスタへの負荷に応じてフィードバックを用いて最適化される。その目標性能を満たすように、各ノードにおいて、タスクスケジューラが性能予測に基づいてプロセス単位、処理単位で周波数を制御し、省電力化を行うものである。Webサーバクラスタにおいて、最大で40%程度の消費エネルギー削減を達成した。

(5)コンパイラグループ：主に以下の2項目について検討を行った。

- ・ パワーゲーティング方式と親和性の高い命令コード生成技術：Geysersプロセッサに実装されている演算器毎に細粒度のパワーゲーティングを行う方式に対し、近い将来の命令実行を考慮した各演算器のパワーオン/オフを命令により制御する手法を実装したコンパイラのプロトタイプを開発した。命令コード解析とプロファイリングを用いた各演算器のアイドル時間を予測する手法である。また、BET(損益分岐時間)は温度に大きく依存するため、システムソフトウェアからの指示を基にパワーオン/オフ用のコードを損益分岐時間に応じて動的に選択可能な手法の基礎検討も行った。さらに、パワーゲーティング手法をより高速なプロセッサで使用する際に課題となる、パワーオンしてから演算器が実際に使用可能となるまでの遅延時間も考慮した命令コード生成手法の検討を行った。評価を行った結果、性能をほとんど低下させることなく、最大で80%程度演算器部のリーク消費エネルギーを削減できることがわかった。
- ・ SMAアーキテクチャのためのコード生成技術の検討：多数のプロセッシングエレメントを並列に配置し、それらを低電圧で動作させることでダイナミック電力の削減を目指したSMAアーキテクチャにおいて、各プロセッシングエレメントのパワーオン/オフを適切に管理しつつダイナミック電力の削減効果を最大化できるコード生成手法を検討するため、SMA上にいくつかのアプリケ

ーションをマッピングしつつ種々のマッピングパターンにおいて性能と電力を評価し、システムとして消費電力を削減できるようなコード生成技術のアルゴリズム構築を行った。

§ 4. 成果発表等

(4-1) 原著論文発表

●論文詳細情報

1. Daihan Wang, Hiroki Matsutani, Michihiro Koibuchi, Hideharu Amano, “A Link Removal Methodology for Application-Specific Network-on-Chip on FPGA,” IEICE Trans. Information and Systems, Vol.E92-D, No.4, 2009.
2. H. Sasaki, M. Kondo, and H. Nakamura, “Energy-Efficient Dynamic Instruction Scheduling Logic through Instruction Grouping”, IEEE Transactions on Very Large Scale Integration Systems, Page(s): 848-852, Vol.17, Issue 6, 2009
3. Hiroaki Matsutani, Michihiro Koibuchi, Yutaka Yamada, D. Frank Hsu, Hideharu Amano, “Fat H-Tree: A Cost-Efficient Tree-Based On-Chip Network”, IEEE Transactions on Parallel and Distributed Systems, Vol.20, No.8, pp.1126-1141, Aug.2009.
4. 牧田優人、松谷宏紀、鯉渕道鉦、天野英晴、“パイプラインステージ統合による省電力・可変パイプラインルータに関する研究、情報処理学会論文誌 ACS-28、Aug. 2009.
5. 近藤正章、高木紀子、中村宏、Pipeline Blocking: 走行時パワーゲーティングのための命令実行制御手法、情報処理学会論文誌 コンピューティングシステム(ACS), Vol.2, No.3, pp.83-95, 2009年9月.
6. 西村隆、平井啓一郎、斎藤貴樹、中村拓郎、堤 聡、長谷川揚平、天野英晴、“動的リコンフィギャラブルデバイスにおける電力分析と低電力化手法の検討、”電子情報通信学会論文誌 D 分冊、Vol.J92-D No.10, pp.1763-1771.
7. 中村拓郎、佐野徹、堤 聡、長谷川揚平、バスタン タンブンヘン、天野英晴、“動的リコンフィギャラブルデバイスにおける構成情報配送のためのマルチキャスト手法の検討、”電子情報通信学会論文誌 D 分冊 Vol.J92-D No.12 pp.2185-2194.

(4-2) 知財出願

- ① 平成21年度特許出願件数(国内 1件)
- ② CREST 研究期間累積件数(国内 2件)