

「情報システムの超低消費電力化を目指した技術革新と統合化技術」
平成18 年度採択研究代表者

高木 直史

名古屋大学大学院情報科学研究科・教授

単一磁束量子回路による再構成可能な低電力高性能プロセッサ

§ 1. 研究実施の概要

超伝導単一磁束量子 (SFQ) 回路による再構成可能な大規模データパス (RDP) を有するプロセッサの基盤技術の確立を目指し、RDP アーキテクチャ技術の確立、SFQ 回路による再構成可能な回路の構成法の開発、SFQ-RDP に適した算術演算ユニットの構成法の開発、SFQ 論理回路設計技術の開発、SFQ 回路プロセスの高度化及び高信頼化を行っている。

RDP アーキテクチャ技術に関しては、アーキテクチャを確定し、コンパイラを開発するとともに、いくつかのアプリケーションに対して RDP 向きのアルゴリズムを開発することを最終目標としている。本年度は、ネットワークの JJ 数の見積りを評価に加え、プロセッサの面積を最適化する RDP 構成を決定した。また、RDP コンパイラの一部として汎用プロセッサ部 (GPP) 実行用のオブジェクトコード生成部分を ISAcc の拡張を行う事で実現すべく、バックエンド部を開発している。さらに、効率的な RDP-主記憶間データ転送を可能とするようにプログラム中のデータ構造の変更を考案し、1次元の熱伝導方程式や振動方程式ならびに2次元の拡散方程式プログラムを開発した。

再構成可能な回路および算術演算ユニットの構成法に関しては、多層配線プロセス向けの構成法の開発を最終目標としている。現在開発中の Nb 8層接合寸法 $1\ \mu\text{m}$ プロセス用論理セルを用いて、SFQ-RDP 用 ALU および算術演算ユニット用の回路コンポーネントの設計を行い、実験において ALU および仮数部 4b 乗算回路の 50GHz での動作を確認した。また、SFQ-RDP 実現に向けたクロッキング法について、これまでに検討してきたクロスバ型 SFQ スイッチネットワークに基づき、検討を開始した。

論理回路設計技術および SFQ 回路プロセスに関しては、 $1\ \mu\text{m}$ 多層配線プロセス技術を確立して、このプロセスに対応した論理セルライブラリを構築するとともに、自動配置配線ツールを開発して、大規模な SFQ 集積回路の設計、製作が可能であることを示すことを最終目標としている。今年度は、10 層から変更した8層デバイス構造に基づいて多層配線プロセスを改善するとともに、多層配線用セルライブラリの充実化を図り、動作評価の結果、一部のセルを除き、良好な動作余

裕を持つことを確認した。また、PTL及びPTLドライバ・レシーバ、ビア構造の再設計を行った。さらに、PTL 配線設計の自由度の向上を目的として、9層デバイス構造を開発し、これに対応するため、論理セル及び配線関連セルの修正及び再設計を行った。また、多層配線プロセス用の自動配線ツールの洗練、改善を行うとともに、手作業によるレイアウト設計・修正の際に用いるための指定ピン間配線ツールを新たに開発した。さらに、配線を考慮したセルの概略配置アルゴリズムを実装した。

§ 2. 研究実施体制

(1) 高木グループ

① 研究分担グループ長: 高木 直史 (名古屋大学大学院、教授)

② 研究項目

- ・多層配線プロセスに対応した論理回路設計ツールの開発
- ・SFQ-RDP 用算術演算ユニットの構成法の開発

(2) 村上グループ

① 研究分担グループ長: 村上 和彰 (九州大学大学院、教授)

② 研究項目

- ・アプリケーションの分析、RDP 向き計算アルゴリズムの開発
- ・RDP コンパイラの開発
- ・RDP アーキテクチャの評価、洗練

(3) 吉川グループ

① 研究分担グループ長: 吉川 信行 (横浜国立大学大学院、教授)

② 研究項目

- ・多層配線プロセスに適した論理セル開発
- ・SFQ 算術演算ユニットの高速動作実証

(4) 赤池グループ

① 研究分担グループ長: 赤池 宏之 (名古屋大学大学院、助教)

② 研究項目

- ・超伝導多層配線による広帯域フレキシブル超伝導配線技術及び論理セル設計技術の開発
- ・SFQ 回路による再構成可能なデータパスの実証

(5) 永沢グループ

①研究分担グループ長:永沢 秀一((財)国際超電導産業技術研究センター、主管研究員)

②研究項目

- ・SFQ 回路高度化のための多層配線プロセス最適化とセルライブラリ構築
- ・SFQ 回路プロセスの高信頼化および SFQ 回路の試作

§ 3. 研究実施内容

(文中に番号がある場合は(4-1)に対応する)

1. RDP アーキテクチャ技術

① アプリケーションの分析、RDP 向き計算アルゴリズムの開発

計算における実行前処理オーバーヘッドの削減のため、RDP 計算のデータ必要順と主記憶上のデータ配置が一致し効率的な RDP-主記憶間データ転送を可能とするような、プログラム中のデータ構造の変更方法を考案した。更にこのデータ構造を効率的に利用する1次元の熱伝導方程式や振動方程式プログラムならびに2次元の拡散方程式プログラムを開発した。これにより、プログラム実行中に主記憶上にてデータの並び替えをする処理の大部分を削減可能とした。

② RDP コンパイラの開発

RDP コンパイラの一部として汎用プロセッサ部実行用のオブジェクトコード生成部分を作成する必要があるが、RDP を取り扱うことの可能な既存のコンパイラの一つの ISAcc の拡張を行うことで実現予定である。現在はバックエンド部を開発中である。

③ RDP アーキテクチャの評価、洗練

コンパイラの一部としてのマッピングツールは構成パラメータを探索可能とすることで RDP アーキテクチャ検討にも使用可能である¹³⁾。これまでにベンチマークとしてのデータフローグラフを RDP へとマッピングする際に、そのマッピングアルゴリズムのコスト関数を隣接行間の最大結合距離とし、その結果から RDP のアーキテクチャ構成を検討してきた。今回、新たにコスト関数を SFQ 実装における JJ 数見積りに変更することで、プロセッサの面積を最適化する RDP 構成を決定することができた。次に、①で作成した実行前処理を大部分削減したアプリケーションに対し、新規のハードウェア構成を RDP メモリコントローラ部分に追加すると仮定することで、ソフトウェア処理のみでは必要となってしまう余分な入出力データ転送を更に削減することが可能であり、必要最小限のオーバーヘッド処理時間による計算が可能となることを示した。

2. 再構成可能な回路および算術演算ユニットの開発

① SFQ-RDP の設計

最終目標とする Nb 8層接合寸法 1 μm プロセスによる 4x4SFQ-RDP に搭載する ALU の設計を行った。その結果、要求される 50GHz の動作周波数においても十分な動作余裕が見込まれた。さらに、実際の実験によって、昨年度 Nb10層接合寸法 1 μm プロセスを用いて実証した ALU に比べ、RDP 用周辺回路が付加されたにも関わらず、大きな動作余裕を確認した。一方、

SFQ-RDP 実現に向けたクロッキング法について、クロスバ型 SFQ スイッチネットワークに基づき、RDP 大規模化に伴うクロック信号間タイミング問題の解決に向けた検討を開始した。

② SFQ-RDP 用算術演算ユニットの構成法の開発と高速動作実証

現在開発中の Nb 8層接合寸法 1 μm プロセス用論理セルを用いて、SFQ 算術演算ユニット用の回路コンポーネントの基本設計を行った。半精度浮動小数点加算器用のシフト回路と加算回路、ならびに半精度浮動小数点乗算器用の仮数部乗算回路、指数部加減算回路、正規化回路の設計を行い、論理シミュレーションにおいて、それぞれ最高 70GHz 以上での正常動作を確認した。また、実験において仮数部 4b 乗算回路の 50GHz での正常動作を確認した。ただし、内部タイミング設計の問題により、一部の入力データに対して誤動作が見られた。

3. 論理回路設計技術および SFQ 回路プロセス

① 1 μm 多層配線プロセス開発

前年度に変更した8層の Nb 層からなる新しいデバイス構造に基づいた多層配線プロセスの試作を行い、接合、抵抗、コンタクトといった素子パラメータの測定評価と、層間リークや断線といった欠陥率の測定評価を行った。この測定評価を通して、問題点の把握とプロセスの改善を行い、素子パラメータの再現性や欠陥率の低減といった信頼性の向上に努めた^{1), 9)}。さらに、本8層配線プロセスの信頼性評価を目的とした、シフトレジスタの開発を行った。具体的には、64 ビット、160 ビット、640 ビット、1280 ビット、2560 ビット及び 5120 ビットの6種類のシフトレジスタを設計し、これらを1チップに集積することで、5万接合規模のシフトレジスタの評価チップの試作を行った。その結果、64 ビットから 2560 ビットまでのシフトレジスタで、正常動作を確認することができた。但し、64 ビットのシフトレジスタでは、約 9 割のチップ歩留りが得られたが、回路規模が増大するにつれて歩留りが低下することが分かった。今後は、本シフトレジスタを用いて回路規模に依存したチップ歩留りの評価を行いプロセスの向上に努める。また、PTL 配線設計の自由度の向上を目的として、デバイス構造の変更を再度行った。具体的には、Nb グランド面 (GND3) を1層追加して 9 層構造にすることで、接合を含むゲート回路の直下にも PTL 配線を独立して設計することを可能にした。プロセス技術の向上により、この様な 9 層構造が可能になり、PTL 配線の設計自由度を向上させることができた。

② 論理セル・配線技術開発

昨年度決定した Nb 10層接合寸法 1 μm プロセス用の論理セル設計指針¹⁰⁾に基づき、Nb 8層接合寸法 1 μm プロセスに対応するよう、すでに設計済みの論理セルの修正を行うとともに、その他の論理セル及び能動配線セルの設計を新たに行い、Nb 8層接合寸法 1 μm プロセス用セルライブラリの充実を図った¹⁴⁾。また、受動配線 (PTL) 層のインダクタンスの再評価を行い、PTL 及び PTL ドライバ・レシーバ、ビア構造の再設計を行った。設計したセルの動作評価の結果、一部のセルを除き、良好な動作余裕を持つことを確認した。さらに、Nb8 層プロセスと比べより設計柔軟性に富んだ 9 層プロセスに対応するため、論理セル及び配線関連セルの修正及び再設計を行った。

③ 多層配線プロセスに対応した論理回路設計ツールの開発

昨年度までの成果に基づき、Nb 8層接合寸法 1 μm プロセス用の自動配線ツールの洗練、改善を行った¹⁶⁾。また、手作業によるレイアウト設計・修正の際に用いるための、指定ピン間配線ツールを新たに開発し、実際の設計に適用可能な形にとりまとめた。このツールは、これまで開発してきたツールと同様の配線アルゴリズムに基づいており、設計者が指定する二つのピン間の配線を個別に行う。配線を個別に調整する必要がある場合に、複雑な配線を設計規則違反や接続の誤りなく設計することができる。セルの自動配置に関しては、配線を考慮した概略配置アルゴリズムを実装し、性能評価を行っている。

④ 2 μm プロセス高信頼化

今年度は、ISTEC の Nb プロセスラインの産総研への移転に伴うプロセス環境の大きな変化に対して、第一に移転前と同レベルのプロセスの信頼性が得られるように努力した。移転直後は、断線やショートなどの欠陥率の増大が見られたが、成膜、エッチング、洗浄といった要素技術のプロセス条件の最適化及び問題点の検討と対策を行い、欠陥率の低減に努力した。加えて、設計した SFQ 回路の試作を行い、その評価結果を迅速にフィードバックして、問題点の対策を行うことで、素子パラメータの再現性や欠陥率の低減といったプロセスの信頼性を徐々に改善させることができた。

§ 4. 成果発表等

(4-1) 原著論文発表

●論文詳細情報

1. T. Satoh, K. Hinode, S. Nagasawa, Y. Kitagawa, M. Hidaka, N. Yoshikawa, H. Akaike, A. Fujimaki, K. Takagi, and N. Takagi: “Planarization Process for Fabricating Multi-layer Nb Integrated Circuits Incorporating Top Active Layer,” IEEE Trans. Appl. Supercond., vol. 19, no. 3, pp. 167-170, Jun. 2009. (doi:10.1109/TASC.2009.2018188)
2. H. Akaike, K. Shigehara, A. Fujimaki, T. Satoh, K. Hinode, S. Nagasawa, and M. Hidaka: “The Effects of a DC Power Layer in a 10-Nb-Layer Device for SFQ LSIs”, IEEE Trans. Appl. Supercond., vol. 19, no. 3, pp. 594-597, Jun. 2009. (doi:10.1109/TASC.2009.2018033)
3. K. Fujiwara, S. Nagasawa, Y. Hashimoto, M. Hidaka, N. Yoshikawa, M. Tanaka, H. Akaike, A. Fujimaki, K. Takagi, and N. Takagi: “Research on Effective Moat Configuration for Nb Multi-Layer Device Structure”, IEEE Trans. Appl. Supercond., vol. 19, no. 3, pp. 603-606, Jun. 2009. (doi:10.1109/TASC.2009.2018545)
4. K. Takagi, M. Tanaka, S. Iwasaki, R. Kasagi, I. Kataeva, S. Nagasawa, T. Satoh,

- H. Akaike, and A. Fujimaki: “SFQ Propagation Properties in Passive Transmission Lines Based on a 10-Nb-Layers Structure”, *IEEE Trans. Appl. Supercond.*, vol. 19, no. 3, pp. 617-620, Jun. 2009. (doi:10.1109/TASC.2009.2019130)
5. H. Park, Y. Yamanashi, K. Taketomi, N. Yoshikawa, M. Tanaka, K. Obata, Y. Itou, A. Fujimaki, N. Takagi, K. Takagi, and S. Nagasawa: “Design and Implementation and On-Chip High-Speed Test of SFQ Half-Precision Floating-Point Adders,” *IEEE Trans. Appl. Supercond.*, vol. 19, no. 3, pp. 634-639, Jun. 2009. (doi:10.1109/TASC.2009.2019070)
 6. M. Tanaka, K. Obata, K. Takagi, N. Takagi, A. Fujimaki, and N. Yoshikawa: “A High-Throughput Single-Flux Quantum Floating-Point Serial Divider Using the Signed-Digit Representation,” *IEEE Trans. Appl. Supercond.*, vol. 19, no. 3, pp. 653-656, Jun. 2009. (doi:10.1109/TASC.2009.2018537)
 7. H. Hara, K. Obata, H. Park, Y. Yamanashi, K. Taketomi, N. Yoshikawa, , M. Tanaka, A. Fujimaki, N. Takagi, K. Takagi, and S. Nagasawa: “Design, Implementation and On-Chip High-Speed Test of SFQ Half-Precision 657-660, Jun. 2009. (doi:10.1109/TASC.2009.2018039)
 8. I. Kataeva, H. Akaike, A. Fujimaki, N. Yoshikawa, N. Takagi, K. Inoue, H. Honda, and K. Murakami: “An Operand Routing Network for an SFQ Reconfigurable Data-Paths Processor,” *IEEE Trans. Appl. Supercond.*, vol. 19, no. 3, pp. 665-669, Jun. 2009. (doi:10.1109/TASC.2009.2018534)
 9. S. Nagasawa, T. Satoh, K. Hinode, Y. Kitagawa, M. Hidaka, H. Akaike, A. Fujimaki, K. Takagi, N. Takagi, N. Yoshikawa: “New Nb multi-layer Fabrication Process for Large-Scale SFQ Circuits,” *Physica C*, vol. 469, no. 15-20, pp. 1578-1584, Oct. 2009. (doi:10.1016/j.physc.2009.05.219)
 10. H. Akaike, M. Tanaka, K. Takagi, I. Kataeva, R. Kasagi, A. Fujimaki, K. Takagi, M. Igarashi, H. Park, Y. Yamanashi, N. Yoshikawa, K. Fujiwara, S. Nagasawa, M. Hidaka, and N. Takagi: “Design of Single Flux Quantum cells for a 10-Nb-layer process”, *Physica C.*, vol. 469, no. 15-20, pp. 1670-1673, Oct. 2009. (doi:10.1016/j.physc.2009.05.041)
 11. M. Tanaka, H. Akaike, A. Fujimaki: “Control of return current flows in the single-flux-quantum circuits using positive/negative bias supply lines,” *Physica C.*, vol. 469, no. 15-20, pp. 1666-1669, Oct. 2009. (doi:10.1016/j.physc.2009.05.040)
 12. H. Park, Y. Yamanashi, N. Yoshikawa, M. Tanaka, and A. Fujimaki: “Design of Fast Digit-Serial Adder Using SFQ Logic Circuits”, *IEICE Electronics Express*,

vol. 6, no. 19, pp. 1408-1413, Oct. 2009. (doi:10.1587/elex.6.1408)

13. F. Mehdipour, H. Noori, K. Inoue, and K. Murakami, "Rapid Design Space Exploration of a Reconfigurable Instruction-Set Processor", *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E92-A, no. 12, pp. 3182-3192, Dec. 2009. (doi:10.1587/transfun.E92.A.3182)
14. Y. Yamanashi, T. Kainuma, N. Yoshikawa, I. Kataeva, H. Akaike, A. Fujimaki, M. Tanaka, N. Takagi, S. Nagasawa, M. Hidaka, "100 GHz Demonstrations Based on the Single-Flux-Quantum Cell Library for the 10 kA/cm² Nb Multi-Layer Process" *IEICE Trans. Electron.* (accepted).
15. N. Takagi and M. Tanaka, "Comparisons of Synchronous-Clocking SFQ Adders," *IEICE Trans. Electron.* (accepted).
16. M. Tanaka, K. Obata, Y. Ito, S. Takeshima, M. Sato, K. Takagi, N. Takagi, H. Akaike, A. Fujimaki, "An Automated Passive-transmission-line Routing Tool for Single-flux-quantum Circuits Based on the A* Algorithm," *IEICE Trans. Electron.* (accepted).