

「情報システムの超低消費電力化を目指した技術革新と統合化技術」
平成 18 年度採択研究代表者

小池 帆平

(独)産業技術総合研究所 エレクトロニクス研究部門・グループ長

しきい値電圧をプログラム可能な超低消費電力 FPGA の開発

§ 1. 研究実施の概要

本研究課題では、少量多品種向け LSI として、スーパーコンピュータから各種情報家電まで幅広い分野で大量に利用されている FPGA(Field Programmable Gate Array:プログラム可能論理素子)の、漏れ電流に起因する静的消費電力を最小限にするために、FPGA を構成するトランジスタのしきい値電圧を細粒度でプログラム可能とした超低消費電力 FPGA「Flex Power FPGA」を開発し、FPGA の静的消費電力を 100 分の 1 以下に低減させ、低消費電力型高速大容量情報処理システムの基盤技術を確立することを目指している。

これまでに、Flex Power FPGA 実験チップを拡張して FPGA のフル機能を搭載し、FPGA としてのフル機能の動作を確認し、Flex Power FPGA の概念を実証することを目指した、「Flex Power FPGA 基本チップ」と、基本チップをさらに拡張して回路・面積等の改良や性能最適化を行ない、しきい値制御粒度の細粒度化や面積オーバーヘッドの削減や FPGA としての機能性の向上によって Flex Power FPGA のポテンシャルを実証することを目指した「Flex Power FPGA 改良チップ」の開発を進めてきた。

平成20年度に開発した改良チップ第1版は、90nm、6層 Cu 配線の技術を利用した、おおむね 5×5mm のチップに、新規設計の FPGA 基本タイルが 6×6 に配置した FPGA アレイ部等を内蔵したものであり、コンフィギュレーションメモリの完全な SRAM 化、ボディバイアス制御用レベルシフトの内蔵、など、改良チップとしての性能面・機能面での改良を加えるとともに、設計の簡素化・簡略化、設計検証の徹底によって動作確実性の向上を図ったものとなっている。改良チップ第1版に対し、リングオシレータ回路、カウンタ回路などを書き込んで動作確認を行い、Flex Power FPGA 機能の全体について正しく動作することを確認し、Flex Power FPGA の概念実証に成功するとともに、消費電力削減効果を評価し、使用している半導体特性による制約はあるものの、2 ないし3分の1程度の消費電力削減効果を確認できた。平成 21 年度は、改良チップ第 1 版の評価結果に基づいて策定された更なる数値目標達成のための改良方針に基づいて改良チップ第 2 版の

設計に全力を傾けた。

一方、基本チップ、改良チップの開発と並行して、新たに Flex Power FPGA 用の独自のソフトウェアツールの開発を進めてきており、最終的にはオープンソースソフトウェアとして幅広く FPGA 研究に利用してもらうことを計画している。これまでに構築した、Flex Power FPGA 用のトータルな回路設計フローを用いて、ハードウェア記述言語(Verilog-HDL)で記述したテスト回路に対して論理合成を行い、その結果得られたネットリストに対して、改良チップ第1版をターゲットとして、パッキング、配置処理、配線処理、Vt マッピングを行い、チップに書き込むビットストリームファイルを生成させ、得られたビットストリームファイルを、今回試作した改良チップ第1版に書き込み、既述した論理回路として正しく動作することが確認できており、一通りの Flex Power FPGA 用ソフトウェアツールの開発が既に完了し、Flex Power FPGA 本格研究のためのハードウェア/ソフトウェアの両輪を揃えることができた。

さらに、将来の Flex Power FPGA の更なる低消費電力化を見越して、回路の動的振る舞いの特性を利用してさらなる Flex Power FPGA の低消費電力化を図ることを目標とした Dynamic Flex Power FPGA 技術について検討を進めてきているほか、半導体微細化とともに問題が顕在化してきた半導体特性ばらつきを抑制する Robust Flex Power FPGA の基礎的検討の一環として、複数の回路構成情報をあらかじめ用意しチップ毎に目標性能を満たす最適の回路構成を選択することでチップ内ばらつきを回避する独創的な方法を提案して評価し、その成果を国際学会と国際学会誌で発表した。また、しきい値制御性の高い将来のデバイス技術、すなわち SOI トランジスタやダブルゲート MOS トランジスタを採用した Super Flex Power FPGA の設計についての検討を進めてきている。最終的には、これらの研究成果を総合して、静的消費電力を 1/100 にまで削減可能であることを示したいと考えている。

§ 2. 研究実施体制

(1)「産総研」グループ

①研究分担グループ長:小池 帆平((独)産業技術総合研究所、グループ長)

②研究項目

- Flex Power FPGA 技術統合化の研究
- Flex Power FPGA アーキテクチャの研究
- Flex Power FPGA 回路技術の研究
- Flex Power FPGA チップレイアウト設計
- Flex Power FPGA 関連ソフトウェアの研究
- Super Flex Power FPGA の研究
- Dynamic Flex Power FPGA の研究
- Robust Flex Power FPGA の研究

(2)「明大」グループ

① 研究分担グループ長:堤 利幸(明治大学、准教授)

② 研究項目

(ア) Flex Power FPGA チップの設計、テストの研究

(イ) Super Flex Power FPGA 向けデバイスのモデリングに関する研究

(3)「金沢工大」グループ

① 研究分担グループ長:河並 崇(金沢工業大学、講師)

② 研究項目

(ア) Flex Power FPGA チップ関連ソフトウェアの研究

(イ) Dynamic Flex Power FPGA 研究

§ 3. 研究実施内容

平成 21 年度は、前年度に開発した改良チップ第 1 版の評価と、その結果に基づく更なる数値目標達成のための改良方針の策定、策定結果に基づく改良チップ第 2 版の設計を中心として、以下の研究内容を実施した。

1. Flex Power FPGA改良チップの評価

平成 21 年度には、前年度に開発した改良チップ第 1 版の消費電力削減効果の評価を進めた。外注による LSI テスタを用いた多サンプルを用いた詳細な測定と、手元の評価ボードでの柔軟な測定作業とを併用して、結果の分析を進めた。

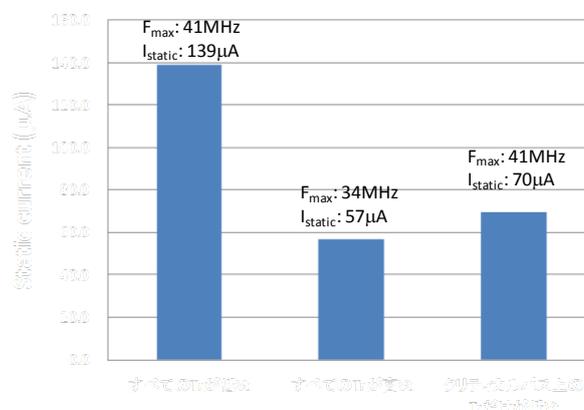


図 1 : 改良チップの漏れ電流削減効果測定結果
(左より全て LVT/全て HVT/FP2GA、カウンタ回路構成時)

図1に改良チップの漏れ電流削減効果の測定例を示す。カウンタ回路を構成した 6x6 タイル部分のコア電流を測定したものであり、左より、全てのしきい値制御ドメイン(576 カ所)を低しきい値とした場合(バイアス電圧 0V)、全てのしきい値制御ドメインを高しきい値にした場合(バイアス電圧 -1.15V)、クリティカルパスとなるしきい値制御ドメインのみを低しきい値にした場合の3つの場合について、コア電流と動作周波数が示されている。この結果から、全て低しきい値とした場合と全て高しきい値とした場合で3倍弱の漏れ電流の変化があること、クリティカルパスだけを低しきい値にした Flex Power FPGA では、全てを低しきい値とした場合と全く等しい動作周波数で動作しつつ、全てを高しきい値とした場合に匹敵する漏れ電流削減効果が得られていることが確認でき、Flex Power FPGA の概念の実証に成功した。

2. Flex Power FPGA改良チップ第2版の設計

Flex Power FPGA 改良チップの評価では、全て低しきい値とした場合と全て高しきい値とした場合での3倍弱の漏れ電流の変化幅は、当初もくろんでいた2桁の変化幅に残念ながら及んでいない。そこで、限られた手段の中から、数値目標達成のために、この変化幅を拡大する Flex Power FPGA 改良チップ第2版の設計を進めた。

低しきい値の場合のバイアス電圧を従来の0V から、より正の電圧に変更(フォワードバイアス化)して、バイアス電圧の変化幅を増大させることにより、変化幅を 6 倍程度まで増大させることがわかった(図 2)。低しきい値側での大幅な消費電力の増大を押さえるために、改良チップ第1版(G プロセスを使用)より低消費電力な LP プロセスで製造することになるが、ゲート酸化膜厚の増大により、ゲート電圧の制御力が弱まる分、より大きなしきい値制御性が期待できると考えられ、シミュレーションでは2桁以上の変化幅の達成が予測されている。

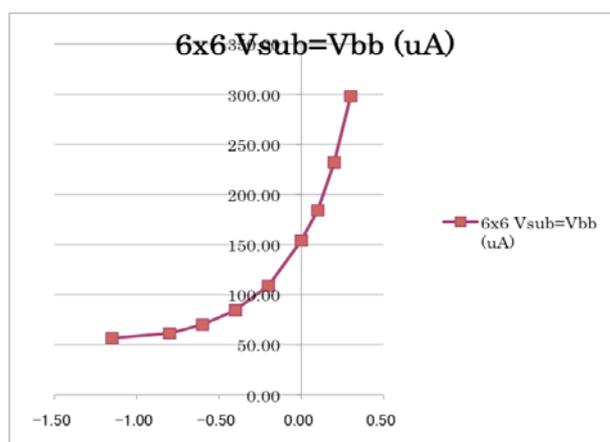


図 2 : 改良チップの漏れ電流削減効果測定結果
(バイアスを-1.15V から 0.3V まで変化、カウンタ回路構成時、図 1 とは別サンプル)

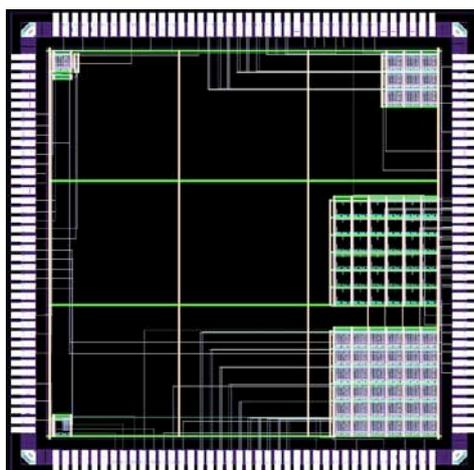


図3：設計を完了した改良チップ第2版のレイアウト

また、製造会社から提供されたデバイスパラメータを用いた回路シミュレーションによると、コーナ条件をSS側に振った場合に、漏れ電流の変化幅が2桁まで大幅に拡大することが確認されており、そのような特性を有するデバイスを使用した状況を、SSコーナ条件に振ったチップの試作によりシミュレートし、最適な動作条件を求めた。

最終的に、これらの工夫を盛り込み、より大きな変化幅が実現可能であることを実証することを目標とした、改良チップ第2版の設計を完了し、無事にテープアウトを行なった(図3)。製造が完了するのは5月初めの予定であり、納入を待って性能の評価を行う予定である。

3. Flex Power FPGA改良チップ第2版のシミュレーション評価

設計を完了したFlex Power FPGA改良チップ第2版について、回路シミュレーションによる予備評価を行った。

図4に改良チップ第2版の漏れ電流削減効果のシミュレーション結果を示す。改良チップの測定結果と同様に、カウンタ回路を構成した6x6タイル部分のコア電流を測定したものであり、左より、全てのしきい値制御ドメイン(576カ所)を低しきい値とした場合(バイアス電圧0V)、全てのしきい値制御ドメインを高しきい値にした場合(バイアス電圧-1.15V)、クリティカルパスとなるしきい値制御ドメインのみを低しきい値にした場合の3つの場合について、コア電流と動作周波数が示されている。この結果から、全て低しきい値とした場合と全て高しきい値とした場合で30倍近い漏れ電流の変化が期待できること、クリティカルパスだけを低しきい値にしたFlex Power FPGAでは、全て低しきい値とした場合との比率は5.2倍程度となると予想されることがわかる。また、クリティカルパスだけを低しきい値にしたFlex Power FPGAでは、全てを低しきい値とした場合と動作周波数も等しいことが確認できている。

さらに、低しきい値の場合のバイアス電圧を従来の0Vから、より正の電圧に変更(フォワードバイアス化)すると、全て低しきい値とした場合と全て高しきい値とした場合の比率は200倍近くまで拡大するという結果が得られたいっぽうで、クリティカルパスだけを低しきい値にしたFlex Power

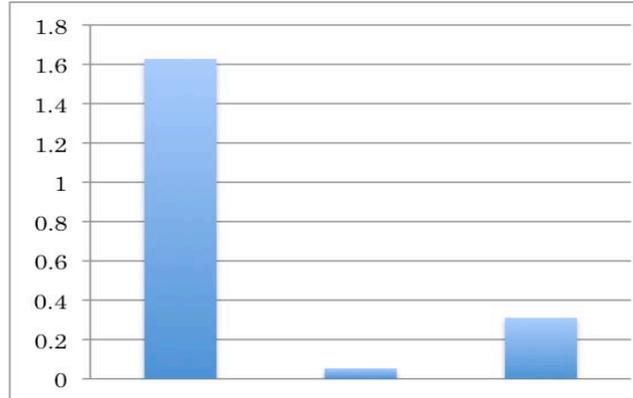


図 4：改良チップ第 2 版の漏れ電流削減効果シミュレーション結果
(左より全て LVT／全て HVT／FP2GA、カウンタ回路構成時)

FPGAと全て低しきい値とした場合との比率は6倍程度で飽和することも分かった。これは、今回試作したFlex Power FPGA改良チップ第2版での、しきい値制御粒度が、タイルあたり16カ所と十分に細かいためであり、これは、そもそも現在の試作チップのタイルアーキテクチャは小規模／確実動作へ向けた最小限の簡略版となっていることに原因がある。今後よりいっそうの漏れ電流削減のために、チップ規模拡大に伴う配線セグメント強化と、粒度のバランスを考慮したロジックエレメント内の更なる細粒度化によって、チップ内のしきい値制御ドメインの粒度をより細粒度化させて行くことが課題となることが確認された。

4. Flex Power FPGA設計ツールの改良

昨年度までに、論理合成、配置配線、Vt マッピング、試作チップへのコンフィギュレーションデータの書き込みまでの一連の CAD フローを実現し、動作の確認を完了していた Flex Power FPGA 設計ツールのソフトウェア群について、今年度は、今後、より高度な評価実験を進めて行くことと、研究成果の技術移転／商用化をも見据えていくための準備として

1. 使用ライセンスに制限の合ったツールの置き換え作業
2. 動作視覚化ツールの開発(図 5)
3. 半導体特性ばらつき対策配線機能のツールへの統合等の作業を進め、改良を行った。

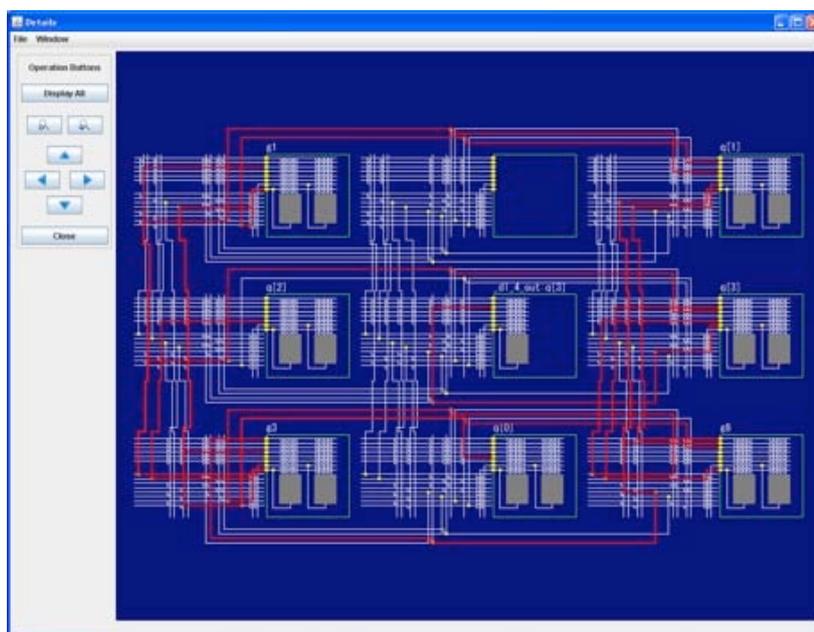


図 5 : FPGA 動作視覚化ツールの表示例

§ 4. 成果発表等

(4-1) 知財出願

CREST 研究期間累積件数(国内 7 件)