

「情報システムの超低消費電力化を目指した技術革新と統合化技術」
平成17 年度採択研究代表者

小林 光

大阪大学産業科学研究所・教授

極限ゲート構造によるシステムディスプレイの超低消費電力化

§ 1. 研究実施の概要

(小林グループ、全体)

本プロジェクトでは、システムディスプレイの超低消費電力化を行う。この目的のため、小林グループでは、硝酸酸化法という新規のゲート絶縁膜低温形成法を有効に利用する。一段階硝酸酸化法では、120℃以下の低温で熱酸化膜よりも緻密でリーク電流密度の低い極薄酸化膜を形成できる。硝酸酸化膜でリーク電流をブロックできるため、その上に CVD 法で形成する酸化膜の膜厚を低減しても、十分に良好なリーク電流特性が得られる。ゲート酸化膜厚の低減によって、TFT の駆動電圧を減少でき、駆動電圧の自乗に比例する消費電力を大幅に削減できる。また、硝酸酸化法は直接酸化法であるため CVD 法などの堆積法に比較して格段に良好な界面特性を持ち、この面からも駆動電圧を低減できる。

21 年度までの研究で、硝酸酸化 SiO₂ 膜(1.8nm)/CVD SiO₂ 膜(40nm)スタックゲート構造をゲート酸化膜に持つ TFT を作製した。作製した P-ch TFT では駆動電圧を 2.5V に、N-ch TFT では 3.5V にまで低減できることがわかった。したがって、従来の 15V 駆動の TFT に比較して P-ch TFT では低消費電力化率 1/36 を、N-ch TFT では 1/18 を達成できた。閾値電圧は P-ch TFT では 1V 以下であったが、N-ch TFT では約 2V であり、改善の余地があった。次に、外注試作ラインで、硝酸酸化 SiO₂ 膜(1.8nm)/CVD SiO₂ 膜(20nm)スタックゲート構造をゲート酸化膜に持つ TFT を作製し、TFT 基本特性(ドレイン電流や閾値電圧など)を評価し、極めて良好な特性を得た。P-ch TFT でも N-ch TFT でも駆動電圧を 2.5V に低減できることを明らかにし、従来の 15V 駆動の TFT に比較して低消費電力化率 1/36 を達成した。作製した TFT のゲート酸化膜厚は 20nm と従来膜厚の 1/4 であったが、それを流れるリーク電流はノイズレベル以下であり、硝酸酸化膜がリーク電流を効果的に遮断していることが実証できた。

TFT の移動度を向上させるため SiO₂/Si 界面の平坦化、汚染防止、界面準位の低減等を検討した結果、N-ch TFT で 200cm²/Vs の移動度が得られた。

二段階硝酸酸化法では、10nm以上の膜厚のSiO₂膜が120℃の低温で形成でき、低温水素処理を行うことによって、900℃以上の高温で形成される熱酸化膜と同等のリーク電流特性や電気容量－電圧特性を持つことがわかった。また、気相硝酸酸化法では液相硝酸酸化法に比較してさらに緻密なSiO₂膜が形成でき、1nm以下の膜厚のSiO₂膜を空気中に放置してもその膜厚が変化しないことがわかった。

システム・アーキテクチャー面からの低消費電力化として、1) リフレッシュレートの低減、2) マルチドライバの利用を検討した。リフレッシュレートは、従来の60Hzから5Hzに低減した。これら二手法を併用することによって、低消費電力化率1/9を達成した。

以上より、現時点で達成した低消費電力化率は、CMOSデバイス部からの1/36、システム部から1/9であり、これらは独立したものであるから合計の低消費電力化率として $1/36 \times 1/9 = 1/324$ の低消費電力化率を達成できた。また、ホスト側機能の一部(表示メモリ)をパネル側に取り込み、ホスト～パネル間の表示データのトラフィックを低減する新たな表示システムについて、表示駆動回路の設計／製作を行った。来年度試作するパネルと組み合わせて、実動作を目指す。

(谷ログループ)

本グループは、硝酸酸化膜形成プロセス技術を開発する小林グループとシステムディスプレイの設計・試作・評価を担当するシャープの今井グループとの間を補完し、システムの超低消費電力化を実現するためのプロセス技術の最適設計、TFTデバイスの評価、TFTデバイスモデルの開発、新回路機能ブロックの提案・設計を行っている。

硝酸酸化膜TFTのSPICEモデルの研究開発では、表面ポテンシャル型のドレイン電流モデルを開発した。TFTに特有の緩やかなサブスレッショルド特性を再現するために、Si/SiO₂界面の界面準位の影響を考慮し、また、短チャネルTFTにも適用できるように、キルク効果、DIBL(Drain Induced Barrier Lowering)効果、チャネル長変調効果なども考慮してモデリングを行った。実測値との比較から、開発したモデルは弱反転領域から強反転領域(線形、飽和領域)までのドレイン電流特性を精度良く計算できることが分かった。さらに、移動度モデルにおいて表面ラフネス散乱の影響を考慮することにより、 g_m の実測値も精度よく再現することができた。

新構造デバイスの研究開発では、二次元デバイスシミュレータを用い、TFTにおけるC-V特性の周波数分散について検討を行った。シミュレーションの結果、kHzオーダーの低い周波数でTFTのC-V特性に大きな周波数分散が生じることが分かった。これは、Si/SiO₂界面の界面準位におけるキャリアの捕獲・放出が入力信号の周波数に追従できなくなるのが主な原因であり、硝酸酸化法により界面準位密度の低減およびゲート酸化膜の薄膜化が実現すれば、大幅な抑制が可能である。

超低消費電力TFT用の新回路機能ブロックの研究開発では、昨年度提案した回路の改良を試みた。新たにカスコード構造を採用することで、素子バラツキに対してより強い耐性を示す回路特性をシミュレーションにより確認した。および消費電力を抑えたユニティゲインバッファを考案した。

(今井グループ)

本グループは、更なる低消費電力化(従来比 1/10)を目指し、表示リフレッシュレートの低周波数化に取り組み、実機を用いて約 1/9 に削減できることを実証した。平成 22 年度に硝酸酸化法による新規 TFT デバイスを用いたトータルシステムの超低消費電力(従来比 1/250)の実パネルシステムの製作に結びつけるため、新規2型のシステムディスプレイ(QVGA (320×RGB×240 dots))の設計の一部を外注し、基本設計を行った。

また、新たな低消費電力化のアプローチとして、ホスト側の一部(表示メモリ)をパネル側画素内部に取り込んだ新方式のシステム液晶ディスプレイの基礎検討(システム・回路方式で 1/50 以下の消費電力低減の可能性)をシミュレーションにより確認し、実パネル評価用の表示駆動回路基板の製作を行った。最終年度は、実パネルを用いて、超低消費電力を活かした太陽電池モジュールを電源とするシステムの実機デモを目指す。

§ 2. 研究実施体制

(1)「小林」グループ

① 研究分担グループ長:小林 光(大阪大学、教授)

② 研究項目

1. 硝酸酸化プロセスの研究開発
2. 気体硝酸酸化法の検討
3. 硝酸法による CVD 堆積膜の改質
4. 新規欠陥消滅法による TFT の高性能化と低消費電力化
5. 大面積 TFT 用硝酸酸化装置の開発
6. 大面積 TFT の硝酸酸化技術の開発
7. 廃液硝酸の高純度化技術

(2)「谷口」グループ

① 研究分担グループ長:谷口 研二(大阪大学大学院、教授)

② 研究項目

1. 硝酸酸化膜 TFT の SPICE モデルの研究開発
2. 新構造 TFT の研究開発
3. 超低消費電力 TFT 用の新回路機能ブロックの研究開発

(3)「今井」グループ

① 研究分担グループ長:今井 繁規(シャープ株式会社、所長)

②研究項目

1. 大面積 TFT の硝酸酸化技術の開発と試作
2. 超低消費電力高機能 SDOG の研究開発
3. メモリ、CPU 内蔵の超低消費電力 SDOG の研究開発

§ 3. 研究実施内容

(文中に番号がある場合は(4-1)に対応する)

[1] 気体硝酸酸化法の検討(小林 G)

21年度は、98%の高濃度硝酸の蒸気を用いる硝酸酸化を検討した¹⁰⁾。濃度98%硝酸の蒸気中の硝酸濃度は99.7%であり、ほぼ純粋の硝酸による酸化といえる。この蒸気を用いて100°Cで酸化した後に観測した断面TEM写真を図1aに示す。0.7nmの均一な膜厚を持つSiO₂膜がシリコン表面に形成されていることがわかる。このSiO₂膜を空气中に2週間放置した後に測定した膜厚も、0.7nmであった。また、この酸化膜の原子密度は、 $2.53 \times 10^{22}/\text{cm}^3$ と熱酸化膜($2.28 \times 10^{22}/\text{cm}^3$)や濃度68%の硝酸蒸気で形成した酸化膜($2.46 \times 10^{22}/\text{cm}^3$)よりも高かった。緻密な酸化膜が形成されたために、酸素の拡散が防止された結果、空气中に放置しても酸化が進行しないと考えられる。硝酸蒸気酸化の温度を200°Cに上昇した場合、SiO₂膜厚は1.6nmに増加した(図1b)。

図2に、~100%硝酸蒸気で形成したSiO₂/Si(100)構造のリーク電流特性を示す。曲線(a)~(d)では100°Cで硝酸酸化を行い、SiO₂膜厚は0.7nmである。硝酸酸化膜上にアルミニウム(Al)電極を形成後、5%の水素雰囲気中250°Cでのpost-metallization anneal (PMA)を施すことによってリーク電流密度が大幅に低減し、同膜厚の熱酸化膜に比較して1/50程度と低いリーク電流密度が得られた。硝酸蒸気で形成したSiO₂膜を電子がトンネル伝導する確率から、SiO₂/Siの平均障壁高として1.02eVを得た。この値は、熱酸化膜の値よりも約0.2eV高い値である。高いエネルギー障壁高の原因は、高い原子密度であると考えられ、これに

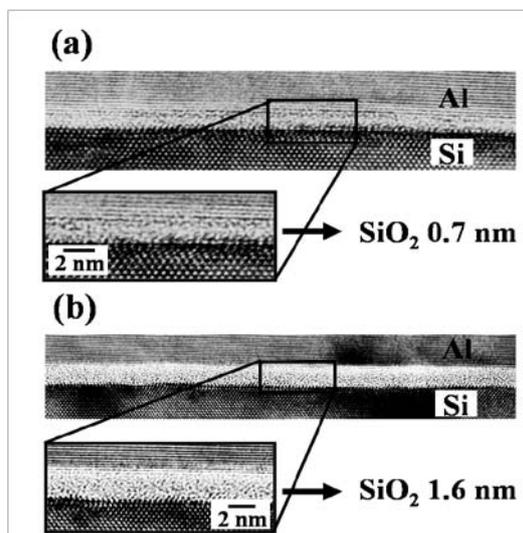


図1 ~100%硝酸蒸気で形成したSiO₂/Si(100)構造の断面TEM写真：(a) 100°Cでの硝酸蒸気酸化；(b) 200°Cでの硝酸蒸気酸化

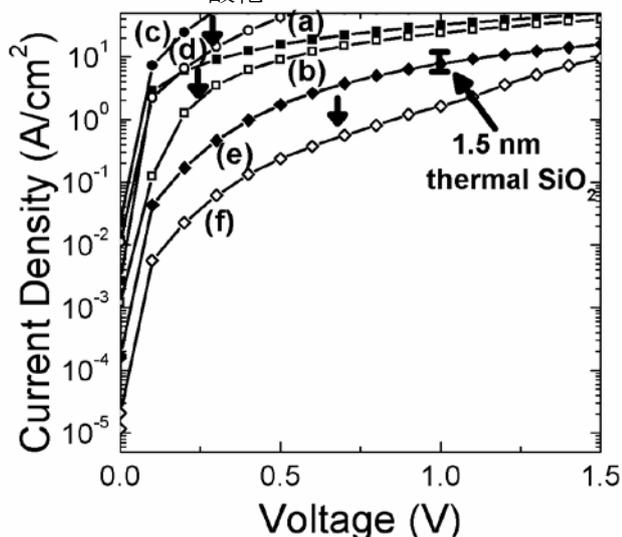


図2 ~100%硝酸蒸気で形成したSiO₂/Si(100)構造のリーク電流特性、酸化膜厚とシリコン基板の比抵抗：(a) 0.65nm, ~10 Ωcm, PMAなし；(b) 0.65nm, ~10 Ωcm, PMAあり；(c) 0.65nm, ~0.01 Ωcm, PMAなし；(d) 0.65nm, ~0.01 Ωcm, PMAあり；(e) 1.5nm, ~10 Ωcm, PMAなし；(f) 1.5nm, ~10 Ωcm, PMAあり

よってトンネル確率が小さくなり低いリーク電流密度が得られたと思われる。

[2] 硝酸酸化膜 TFT の SPICE モデルの研究開発: 表面ポテンシャル型のドレイン電流モデルの開発(谷口 G)

多結晶シリコン TFT における課題の一つとして、緩やかなサブスレッショルド特性のモデリングが挙げられる。多結晶シリコン薄膜の結晶粒が大きく、さらに、その結晶性が良い場合、Si/SiO₂ 界面の界面準位がこの緩やかな電流特性の原因であることが指摘されている。また、緩やかなサブスレッショルド特性により弱反転領域と強反転領域の境界が曖昧になるため、従来からのしきい値電圧をパラメータとして用いたモデリング手法では、高精度なドレイン電流モデルの構築は困難である。

本研究では、界面準位の影響を考慮し、表面ポテンシャルを用いた多結晶シリコン TFT のドレイン電流モデルを開発した⁸⁾。ドリフト-拡散近似に基づいてモデリングを行うことで、弱反転領域から強反転領域(線形、飽和領域)までのドレイン電流特性を単一のドレイン電流式を用いて計算することが可能となった。さらに、本モデルでは、短チャネル TFT にも対応できるように、キルク効果、DIBL(Drain Induced Barrier Lowering)効果、チャネル長変調効果などの影響も考慮している。

図 3 に n 型多結晶シリコン TFT における (a) I_d - V_g 特性と (b) I_d - V_d 特性の実測値と本モデルによる計算値の比較結果を示す。比較に用いたデバイスは、チャネル長 $L=10\mu\text{m}$ 、チャネル幅 $W=20\mu\text{m}$ 、酸化膜厚 $t_{ox}=80\text{nm}$ である。図 3a に示すように、実測値の緩やかなサブスレッショルド特性及び DIBL による I_d - V_g 特性の低ゲート電圧側へのシフト

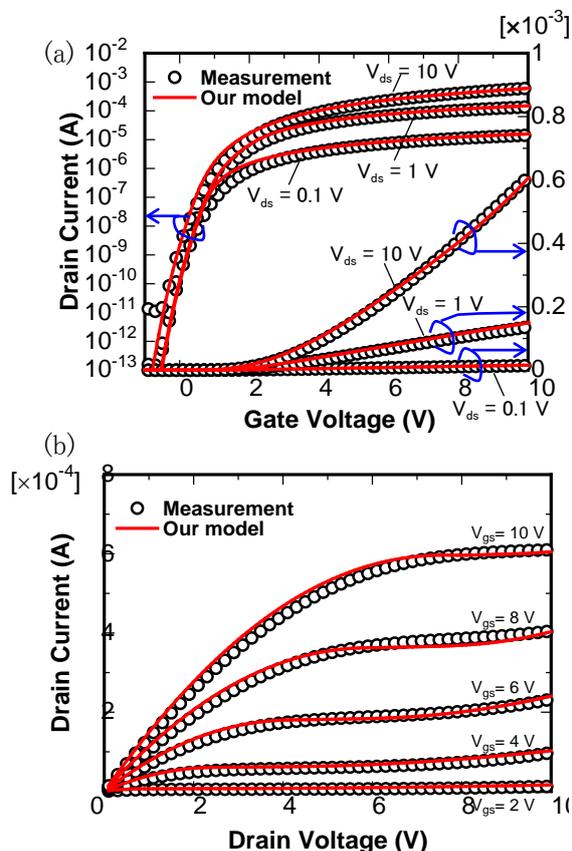


図 3 n 型 poly-Si TFT における(a) I_d - V_g 特性と(b) I_d - V_d 特性の実測値と計算値の比較

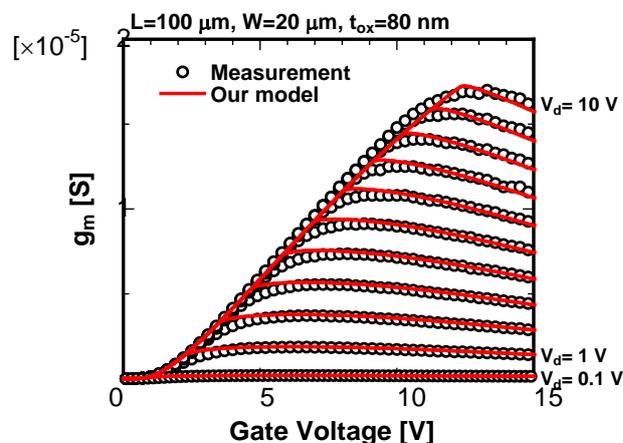


図 4 n 型 poly-Si TFT における g_m - V_g 特性の実測値と計算値の比較

が本モデルにより再現されている。さらに、弱反転領域から強反転領域までの全ての領域で計算値が実測値とよく一致している。また、図 3b から、高ドレイン電圧印加時のキंक効果を含め、線形領域から飽和領域まで、実測値が精度よく再現されており、本モデルの有効性を示している。

さらに、移動度モデルにおいて表面ラフネス散乱の影響を考慮することにより、図 4 に示すように、 g_m の実測値も精度よく再現することができた。

[3] 新構造デバイスの研究開発: TFT における C-V 特性の周波数分散についての検討(谷口 G)

本研究では、二次元デバイスシミュレータを用い、TFT における C-V 特性の周波数依存性の検討を行った。図 5 に C-V 特性のシミュレーション結果を示す。計算には、I-V 特性の実測値から見積もった界面準位密度を用いた。図 5a は Si/SiO₂ 界面に界面準位が存在する場合の計算結果で、kHz オーダーの低い周波数で C-V 特性に大きな周波数分散が生じることが分かる。これは、界面準位におけるキャリアの捕獲・放出が入力信号の周波数に追従できなくなることが主な原因である。一方、図 5b に示すように、界面準位が存在しない場合には、C-V 特性に周波数分散がほとんど見られない。

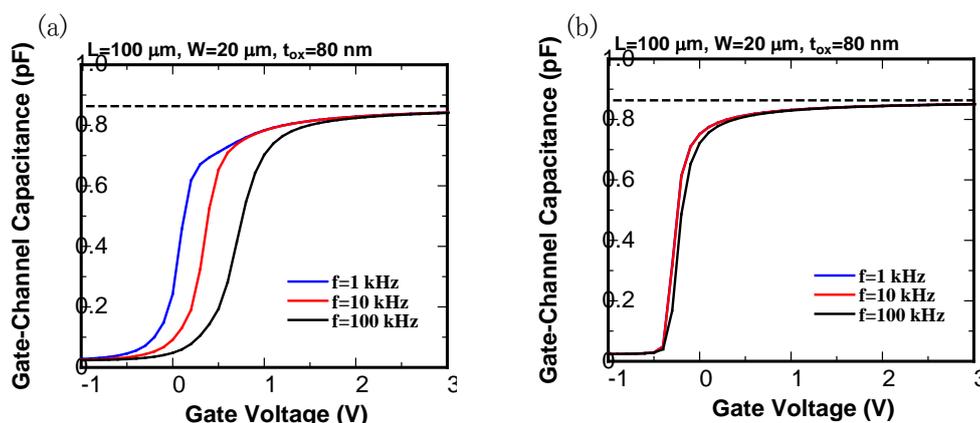


図 5 (a)Si/SiO₂ 界面に界面準位が存在する場合と(b)存在しない場合の TFT における C-V 特性のシミュレーション結果

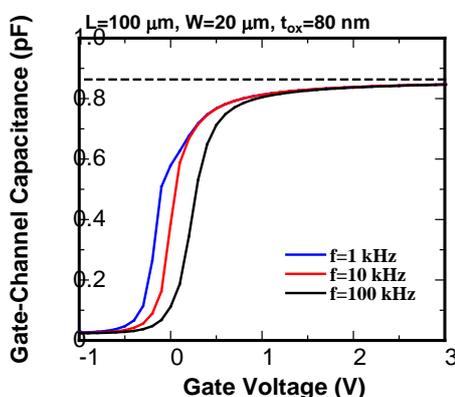


図 6 界面準位密度が 1/2 の場合の C-V 特性のシミュレーション結果

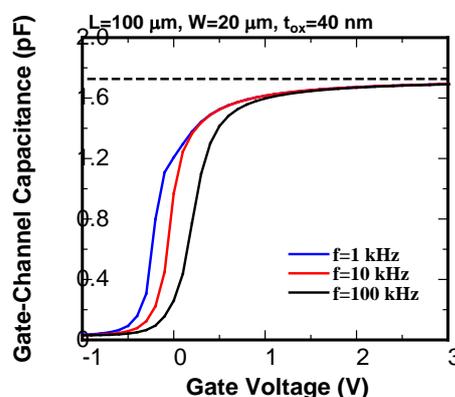


図 7 ゲート酸化膜厚が 1/2 の場合の C-V 特性のシミュレーション結果

次に、C-V 特性の周波数分散に対する界面準位密度およびゲート酸化膜厚の影響を調べるために、界面準位密度を 1/2 にした場合(図 6)と、ゲート酸化膜厚を 1/2 にした場合(図 7)について、C-V 特性の計算を行った。図 6, 7 と図 5a の比較から、界面準位密度が低く、また、ゲート酸化膜厚が薄くなるほど、周波数分散が小さく抑えられることが分かる。以上のことから、硝酸酸化法により界面準位密度の低減および酸化膜の薄膜化が実現すれば、I-V 特性におけるサブスレッショルド特性の改善だけでなく、C-V 特性における周波数分散の大幅な低減も期待できる。

[4] 超低消費電力 TFT 用の新回路機能ブロックの研究開発(谷口 G)

現在システムディスプレイを駆動するための機能回路は別基板上で作成されており、その回路からの出力信号はケーブルによりディスプレイへ接続されている。もしディスプレイと同一のガラス基板上に回路をすべて混載できるなら、ケーブルに付随する浮遊容量への充放電がなくなるため消費電力が減り、さらには製造コスト削減の効果も期待できる。駆動にはソースドライバなどのアナログ回路が必須であるが、移動度やしきい値などといった特性が隣接素子でも大きく異なる TFT でアナログ回路を構成するのは非常に困難であった。昨年度、そのような特性バラツキに対して強い耐性をもつ全差動増幅器を提案したが、今年度更なる改良を加えた。

増幅率が非常に大きい素子に対しフィードバックを施すことで、たとえその素子の増幅率(オープンゲイン)が多少変動したとしても、一定の増幅率が得られる。しかし、TFT は相互コンダクタンスが小さいためオープンゲインを得にくく、特性のバラツキがそのままアナログ回路に出力される問題があった。そこで今年度はカスコード構造を利用してオープンゲインを大きくする工夫を検討した。

図 8 に今回提案したカスコード構造の全差動アンプを示す。丸で囲まれたトランジスタの幅や長さ、およびそのトランジスタのゲートへ印加する電圧値の設定が特に重要であり、そのための条件式を解析することで最適化を施した。シミュレーションによる検証の結果、カスコード構造にすることでバラツキが更に約 1/10 になることがわかった。

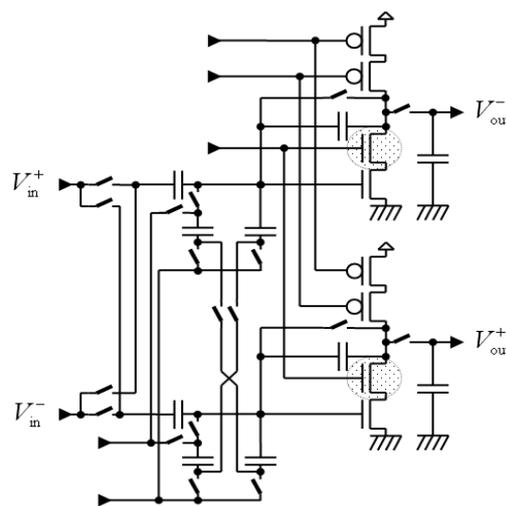


図 8 カスコード構造にした全差動アンプ

これとは別に TFT の電極からなる負荷容量へのユニティゲインバッファを提案した(図 9)。ユニティゲインバッファは入力と同一の電位を出力する回路であるが、入力を直接負荷容量に接続すると駆動能力が低いため充電に時間がかかる。そこで提案回路では一旦

V_{DD} まで充電するようなブースター回路を動作させる。そして、その出力をモニターしながら入力電位と等しくなる時にその回路を切り、容量の電位が入力電位とほぼ等しくなってから入力を接続するようにした。しかもその回路を切断した時点でブースター回路の漏れ電流をなくすように改良した。シミュレーションによる検証結果、消費電力は本質的に必要な消費電力の約 3~4 倍に抑えることができた。

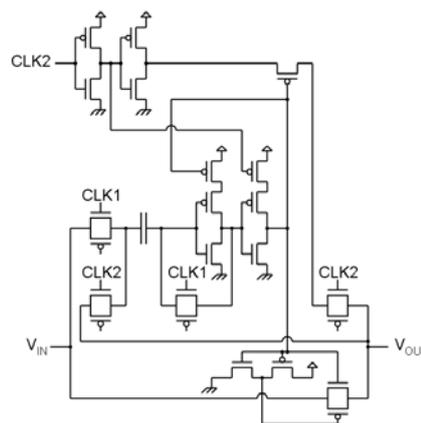


図 9 ユニティゲインバッファ

[5] 超低消費電力高機能 SDOG の研究開発(今井 G)

昨年度は、液晶ディスプレイの駆動方法として、マルチドライバ機能と表示リフレッシュ制御の効果を実証するため、両機能を有する実パネル(従来 TFT)とその表示評価用システム的设计・製作を行い、両機能の効果により消費電力を 2/5(従来比)に低減させることを実機確認することができた。

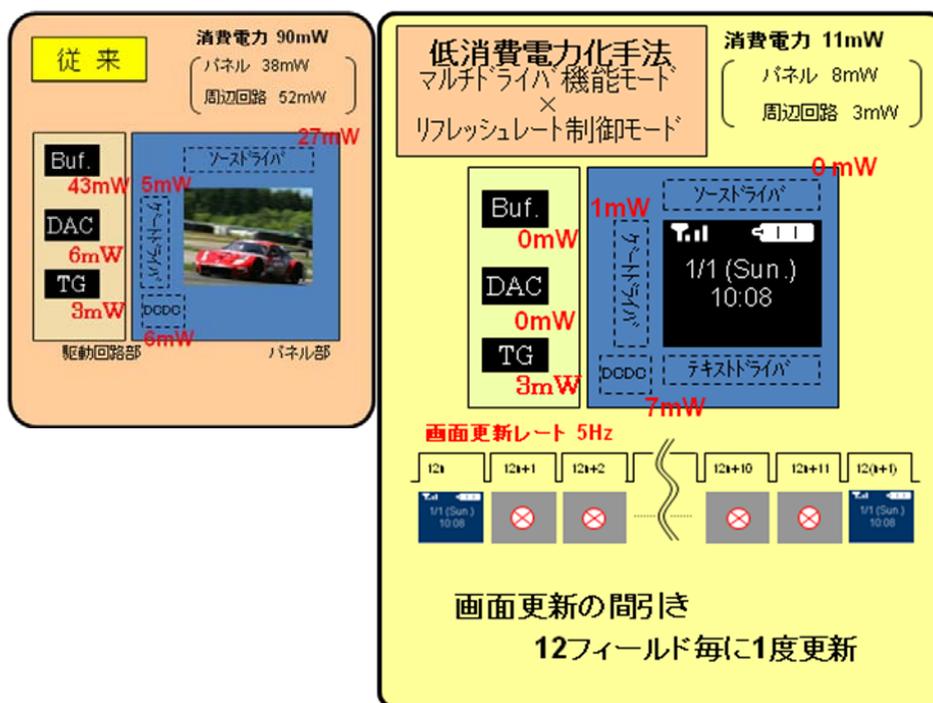


図 10 マルチドライバ機能とリフレッシュレート制御モードの利用による低消費電力化の効果実証

以上を踏まえ、今年度は、更なる低消費電力化を目指し、表示リフレッシュレートの低周波数化に取り組み、図 10 に示すようにマルチドライバ機能と表示リフレッシュ制御の両効果により、消費電力を 1/9(従来比)まで低減させることに成功した。

以上の機能を備えた 2 型 QVGATFT 基板の基本設計を終えた。液晶ディスプレイを低電圧化する上で、TFT 動作電圧(3V 以下)に見合う駆動電圧で動作する入手可能な液晶材料がないこ

とが新たな課題として判明した。来年度、TFT 基板試作ラインの設計ルールとの適合検証とその試作を進めることと並行して、入手可能な液晶材料について調査を行う。

[6] 超低消費電力化の画素メモリの研究・開発（今井 G）

昨年度後半からは、新方式による超低消費電力化へのアプローチの検討を開始した。これまで、液晶ディスプレイの画素部は、TFT とキャパシタで構成され、ホスト側からパネル側に表示データを周期的に転送する必要があった。この表示データ転送のトラフィックの低減に着目し、画素部にメモリを組み込み、セルフリフレッシュを実現させることで、ホスト側データ転送回路を、表示の更新以外は停止させ、更なる低消費電力を図ることが可能となる。また、リフレッシュレートの低周波数化（1 Hz）することもできる。さらに表示モードを透過型から反射型にして、バックライトの代わりに環境光を利用する技術も用いれば、低消費電力化率 1/50 以下が実現可能であることを、シミュレーションによって証明できた。最終年度は、実際に設計試作し、表示システム全体での低消費電力化を実証する。

[7] 液晶ディスプレイデモシステムの開発（今井 G）

究極の低消費電力システム液晶ディスプレイとして、硝酸酸化法を適用した低電圧動作 TFT+マルチドライバ+低リフレッシュ方式を採用した液晶パネル（デモシステム I）の消費電力を測定し、低消費電力化を実証する。また、新たに低消費電力効果を確認した画素メモリ内蔵反射型液晶パネル（デモシステム II）を作製し、システム全体の太陽電池からの給電動作を目指す。

最終年度の研究成果報告会にて、図 11 に示すこれらの実機デモを計画している。

デモシステム I：硝酸酸化法を適用した超低消費電力液晶パネル

【ディスプレイ仕様】

- ・画面サイズ：2.0 型透過型
- ・解像度：QVGA (320×RGB×240 ドット)
- ・画素ピッチ：43×129 (μm)
- ・駆動方式：マルチドライバー+低リフレッシュ
- ・消費電力：従来の 1/250 以下（回路部分）
低駆動電圧化により 1/25 以下、新規駆動回路採用により 1/10 以下
ディスプレイとして表示動作させるには TFT 動作電圧と見合う液晶材料が必要
- ・ゲート絶縁膜の膜厚：20～40 nm
- ・TFT ゲート絶縁膜構造：約 1 nm 硝酸酸化膜+CVD 酸化膜の積層構造
または二段階硝酸酸化膜
または硝酸改質 CVD 膜

【表示駆動回路仕様】

- ・ FPGA+ディスプレイ回路による機能検証レベル

デモシステムⅡ：画素メモリを搭載した反射型超低消費電力液晶パネル

【ディスプレイ仕様】

- ・ 画面サイズ：1.35 型モノクロ反射型
- ・ 解像度：96×96 ドット
- ・ 新たな低消費電力駆動アーキテクチャ（回路部分）
パネル内部（画素）メモリ+低リフレッシュ駆動+低駆動電圧モノクロ液晶材料
- ・ パネルに周辺回路を内蔵し、ホストとシンプル I/F
- ・ パネル消費電力 < 1 mW

【表示駆動回路仕様】

- ・ ワンチップマイコン：汎用 I/O ポート+ソフトウェア
- ・ 消費電力低減：表示更新時のみ表示データ転送
- ・ ホスト I/F 外部からのデータ受信表示

【システム電源仕様】

- ・ 太陽電池パネルによるスタンドアロン動作

デモシステム I :
 硝酸酸化法を適用した
 超低消費電力液晶パネル

デモシステム II :
 画素メモリを搭載した反射
 型超低消費電力液晶パネル

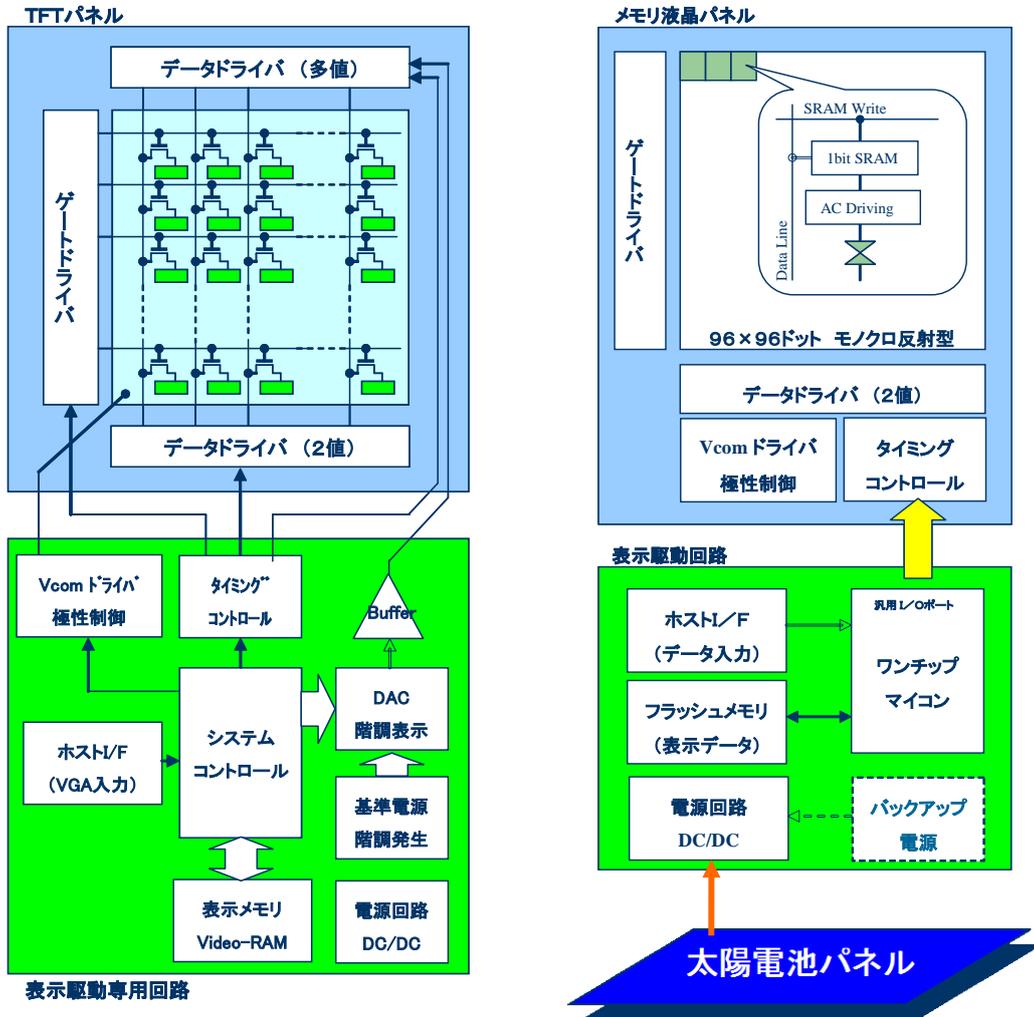


図 11 実機デモシステムのモデル図

§ 4. 成果発表等

(4-1) 原著論文発表

●論文詳細情報

1. M. Takahashi, T. Shishido, H. Iwasa, and H. Kobayashi, Passivation of defect states in surface and edge regions on pn-junction Si solar cells by use of hydrogen cyanide solutions, *Cent. Eur. J. Phys.* 7, 227-231 (2009). [DOI: 10.2478/s11534-009-0025-9]
2. P. Bury, H. Kobayashi, M. Takahashi, K. Imamura, P. Sidor, F. Cernobila, Acoustic spectroscopy and electrical characterization of SiO₂/Si structures with ultrathin SiO₂ layers formed by nitric acid oxidation, *Cent. Eur. J. Phys.* 7, 237-241 (2009). [DOI: 10.2478/s11534-009-0029-5]
3. S. Jurecka, M. Jureckova F. Chovanec, H. Kobayashi, M. Takahashi, M. Mikula, E. Pincik, On the topographic and optical properties of SiC/SiO₂ surfaces., *Cent. Eur. J. Phys.* 7, 321-326 (2009). [DOI: 10.2478/s11534-009-0021-0]
4. W.-B. Kim, Asuha, T. Matsumoto, and H. Kobayashi, Ultrathin SiO₂ layer with an extremely low leakage current density formed in high concentration nitric acid, *J. Appl. Phys.* 105, 103709/1-6 (2009). [DOI: 10.1063/1.3130596]
5. T. Matsumoto, Asuha, W.-B. Kim, M. Yamada, S. Imai, and H. Kobayashi, Low temperature formation of SiO₂ thin films by nitric acid oxidation of Si (NAOS) and application to thin film transistor (TFT), *Microelectron. Eng.* 86, 1939-1941 (2009). [DOI:10.1016/j.mee.2009.03.080]
6. H. Tsuji, Y. Kamakura, and K. Taniguchi, Simple Extraction Method of Interface Trap Density in Thin-Film Transistors, *J. Electrochem. Soc.* 156, H430-H433 (2009). [DOI: 10.1149/1.3110991]
7. W.-B. Kim, M. Nishiyama, and H. Kobayashi, Removal of charging on SiO₂/Si structure during photoelectron spectroscopy measurements by metal overlayer, *J. Electron. Spectros. Related Phenom.* 176, 8-12 (2010). [DOI:10.1016/j.elspec.2009.10.003]
8. H. Tsuji, Y. Kamakura, and K. Taniguchi, Drain current model for thin-film transistors with interface trap states, *J. Appl. Phys.* 107, 034502/1-5 (2010). [DOI:10.1063/1.3289439]
9. K. Imamura, M. Takahashi, Asuha, Y. Hirayama, S. Imai, and H. Kobayashi, Nitric acid oxidation of Si (NAOS) method at 120°C: HNO₃ concentration dependence, *J. Appl. Phys.* 107, 054503/1-5 (2010). [DOI:10.1063/1.3296395]
10. W.-B. Kim, T. Matsumoto, and H. Kobayashi, Ultrathin SiO₂ layer with a low

- leakage current density formed with approximately 100% nitric acid vapor, *Nanotechnology*. 21, 115202/1-7 (2009). [DOI:10.1088/0957-4484/21/11/115202]
11. T. Iwata, T. Matsumoto, S. Terakawa, H. Kobayashi, Fabrication of Al₂O₃ structure by nitric acid oxidation at room temperature, *Cent. Eur. J. Phys.*, *in press*.
 12. Y. Fukaya, T. Yanase, Y. Kubota, S. Imai, T. Matsumoto, H. Kobayashi, Low temperature fabrication of 5~10 nm SiO₂/Si structure using advanced nitric acid oxidation of silicon (NAOS) method, *Appl. Surf. Sci.*, *in press*.
 13. E. Pincick, H. Kobayashi, J. Rusnak, W.-B. Kim, R. Brunner, L. Malinovsky, T. Matsumoto, K. Imamura, M. Jergel, M. Takahashi, Y. Higashi, M. Kucera, M. Mikula, On ultra-thin oxides/Si and very-thin oxide/Si structures prepared by wet chemical process, *Appl. Surf. Sci.*, *in press*.

(4-2) 知財出願

- ① 平成 21 年度特許出願件数(国内 4 件)
- ② CREST 研究期間累積件数(国内 16 件)