

「ディペンダブル VLSI システムの基盤技術」  
平成 21 年度採択研究代表者

山崎 信行

慶應義塾大学 大学院理工学研究科・准教授

## 組込みリアルタイムシステム用ディペンダブル SoC 及び SiP に関する基盤技術の研究

### § 1. 研究実施の概要

本研究の目的は、組込みリアルタイムシステム(特に分散制御システム)の構築をターゲットとして、ディペンダブルな SoC 及び SiP の設計・実装・評価に関する基盤技術を確立することにある。その際、本研究の成果としてできあがる SoC と SiP からなる VLSI システム及び基本ソフトウェアを用いて、各種組込みリアルタイムシステム(特にロボット及び宇宙機)への組込み応用を目指す。

本研究は、基盤ソフトウェア(ディペンダブルオペレーティングシステム)、基盤ハードウェア(ディペンダブルアーキテクチャ及びディペンダブル SoC)、基盤パッケージ(ディペンダブル SiP)、及び組込みアプリケーション(先端ロボット応用によるディペンダビリティ評価)の大きく 4 つにテーマ(グループ)を分けつつも、相互に密接な連携を保ちつつ、コデザインを行いながら研究開発を行った。このうち、慶應義塾大学が基盤ソフトウェア及び基盤ハードウェアを、NEC アクセステクニカが基盤パッケージを、東京大学が組込みアプリケーションを担当した。

基盤ソフトウェアグループでは、組込みアプリケーション(ロボット及び宇宙機)の要求仕様を実現するためにソフトウェアとハードウェアの役割(機能)を切り分け、基盤ハードウェアグループと共にハードウェア側で実現すべきリアルタイムスケジューリング機能の仕様設計を行った。

基盤ハードウェアグループでは、組込みアプリケーショングループのターゲットであるヒューマンノイドの分散制御を実現する SoC のプロトタイプである *D-RMTP I (Dependable Responsive Multithreaded Processor I)* の設計を行った。

基盤パッケージグループでは、高歩留りで信頼性の高い超小型 VLSI システムを構築するために、DRAM および Flash Memory に FFCSP を適用して 3 次元に積層し、*D-RMTP I* 及びその他のデバイスと共に SiP 基板に実装した。

組込みアプリケーショングループでは、既存の大出力脚用単軸モータ駆動基板の制御部用に、*D-RMTP I* SiP を搭載する基板の設計を行った。

## § 2. 研究実施体制

### (1) 慶應グループ

① 研究分担グループ長: 山崎 信行 (慶應義塾大学、准教授)

#### ② 研究項目

本グループでは、ディペンダブル SoC 及びディペンダブル OS の研究開発を行った。本年度は、まず、組込みアプリケーション(ロボット及び宇宙機)の要求仕様を実現するためにソフトウェアとハードウェアの役割(機能)を切り分け、ハードウェアで実現すべきリアルタイムスケジューリング機能の仕様設計を行った。そして、組込みアプリケーショングループのターゲットであるヒューマノイドの分散制御を実現する SoC のプロトタイプである *D-RMTP I* の設計・実装を行った。並行して、時間粒度、速度、消費電力などの QoS を制御可能な基盤ソフトウェア(OS)のベースラインの研究開発を行った。

### (2) NEC アクセステクニカグループ

① 研究分担グループ長: 和田 喜久男 (NEC アクセステクニカ株式会社、グループリーダー)

#### ② 研究項目

本グループではディペンダブル基盤パッケージの研究開発を行った。本年度は基板型 SiP の研究開発として 3cm 角基板の研究(設計・シミュレーション・製造)を実施した。特に信号・ノイズシミュレーションでは、その結果発生するジッタを基盤ハードウェアグループに伝達し、*D-RMTP I* 側でジッタを吸収することでコデザインを実施した。また FPC 型 SiP の研究開発では FFCSP 化による3次元実装の研究(設計・シミュレーション・製造)における結果として DRAM 用 FPC を 2 層から 4 層にすることで信号・ノイズシミュレーションに大きな影響を与える事が判り、回路安定化のために FPC を4層化することとした。

### (3) 東大グループ

① 研究分担グループ長: 稲葉 雅幸 (東京大学大学院、教授)

#### ② 研究項目

・大出力ハード実時間ディペンダビリティ検証用基板の設計

*D-RMTP I* とモータドライバ回路が一体化したことによるモータ駆動回路の発するノイズや熱環境下においてきちんと駆動可能なモータドライバボード回路の基本仕様を求め、回路仕様をコンフィギュラブルに設定可能な評価用ボードを設計し、実際に基礎的なモータ駆動を行うことで回路仕様の決定を行った。

・大出力ハード実時間ディペンダビリティ検証評価環境の構築

上述した基板のノイズに対するディペンダビリティ評価を行うための大出力脚駆動時の大電流に起因するノイズ状況をエミュレート可能なノイズ発生装置及び計測機器環境を構築した。

### § 3. 研究実施内容

(文中に番号がある場合は § 4(4-1)に対応する)

#### ・基盤ソフトウェアグループ

リアルタイムスケジューリング理論は頻繁なプリエンプションを要求するが、その際のコンテキストスイッチのオーバヘッドをほとんど除去するリアルタイム実行(RMT 実行)機構をハードウェアとコデザインすることによって実現した。具体的には、図 1 に示す優先度付き SMT(Simultaneous Multithreading)アーキテクチャを有するプロセッサコア(RMT PU)の黄色の機能ブロック(cache, fetch, issue, reservation stations, reorder buffers 等)において優先度制御を行いリアルタイム実行できるように設計した。並行して、時間粒度、速度、消費電力などの QoS を制御可能な基盤ソフトウェア(OS)のベースラインである favor OS の研究開発を行った。これらの研究開発は、当初の研究計画よりも早めに実現された。

近年の世界的なエネルギーに対する問題意識及びバッテリー駆動時間を長くしたいという要求から、組み込みシステムにおいても消費電力の削減が最も重要な設計ファクターの一つとなっている。そこで、リアルタイム性を維持しつつ電圧と周波数を制御することによって消費電力を削減するリアルタイム電圧周波数制御(RT-DVFS)手法を予定より前倒して研究した[5]。この際、単なる理論ではなく、実機による RT-DVFS が可能になるように研究を行った。並行して、リアルタイム性と精

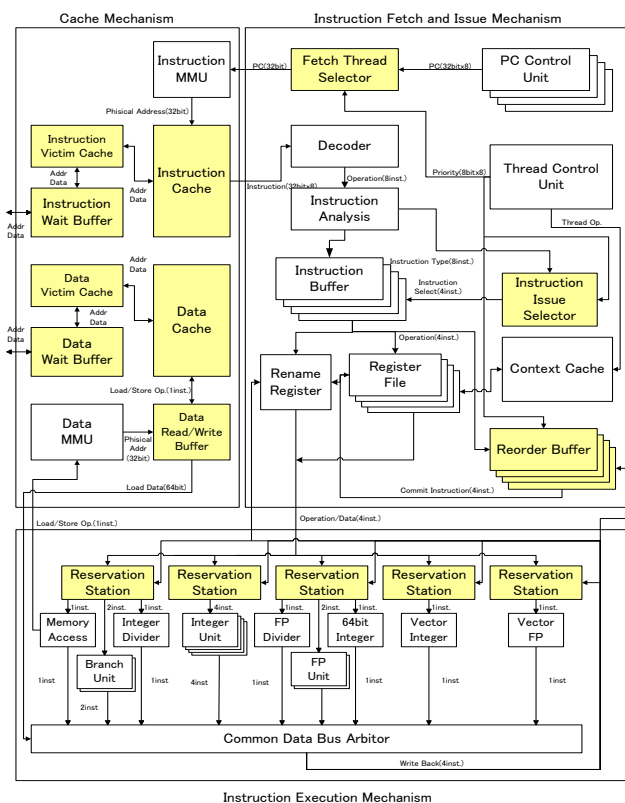


図 1 RMT PUのアーキテクチャ

度のトレードオフをスケジューリング可能なインプリサイス計算を用いたスケジューリングアルゴリズムを研究開発した[1]。

・基盤ハードウェアグループ

時間粒度が非常に細かいリアルタイム性と省電力(電力制御機構)の実現を目指し、リアルタイム処理用プロセッシングコア(RMT PU)及びリアルタイム通信(Responsive Link)を有した分散リアルタイム制御用 SoC *D-RMTP I (Dependable RMTP I)* の設計・実装を行った。この際、単位時間当たりの処理量を制御可能な機構(IPC 制御機構)を前倒して研究開発した。

IPC(Instruction Per Cycle)制御機構(各スレッドの実行速度の制御機構)を有したプロセッサは世界初であり、高スループットで高精度なリアルタイム性を *D-RMTP I* のプロセッサコア(CPU)である *RMT PU* に付与した[4]。

筋骨格ヒューマノイドに内蔵するためには超小型(2cm 角)の SiP を実現しなければならないという要求があり、*D-RMTP I* は図 2 に示すようにロボット及び宇宙機の分散制御に必要な周辺 I/O(DRAM IF, Flash Memory IF, Ethernet, IEEE1394, PCI, SPI, PWM 等)を SoC に全て集積した。

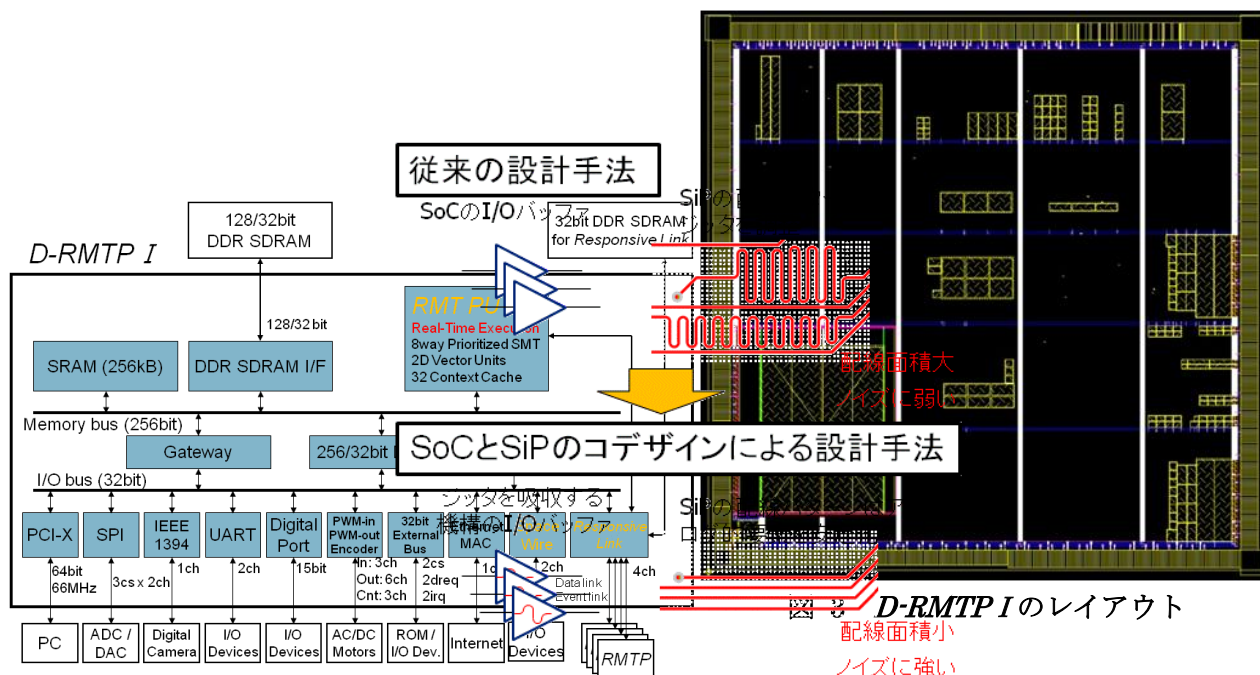


図 3 *D-RMTP I* のブロック図 図 4 SoC と SiP のコーデザイン

さらには宇宙機への応用を目指し、その分散制御に必要な SpaceWire を SiP 上の FPGA に対して設計・実装した。この際、SpaceWire に優先度付きパケットの追越し機能を新たに提案・設計し、互換性を維持しつつ SpaceWire のリアルタイム拡張を行った。

同時に、大出力ヒューマノイドが要求するディペンダビリティ(大電流下でのノイズ耐性・対策、エラー訂正等)に対する厳しい要求も実現するために SoC 及び SiP のコーデザインを行った。具体的には、図 4 に示すように、SiP の設計においてはアナログ的に安定になることを最優先にして設計を行い、耐ノイズ性の向上と面積の最小化を行った。その際、SoC 側では SiP への実装を考慮して、SiP の小型化、ノイズ耐性、及びジッタ削減を狙った I/O ピン及び RDL によるバンプの位置の最適化を行った。SoC 内部の IP の配置とそれに伴う I/O ピンの最適化を行うと共に、図 4 のような設計にしたことに伴う SiP 単独では吸収できない配線ジッタを SoC 側で吸収するように設計・実装を行った。設計した *D-RMTP I* (TSMC 130nm LV-FSG 8 層銅配線 10.0mm 角)のレイアウトを図 3 に示す。

研究計画では SoC と SiP をシミュレーションにより同時に並行して実装する予定であったが、研究の実施段階においてディペンダビリティを向上させるために、まずは SiP 基板を設計・製作して各種測定・実機評価を旧チップ(M-RMTP)を用いて詳細に行いシミュレーションとの乖離等の検討をし、次にその結果をフィードバックして SoC (D-RMTP I)を実装するように変更を行った。したがって、本年度は D-RMTP I の設計は行ったが、SoC の製作自体は行っていない。

近年 NoC に関する技術は非常に注目されているので、2010 年度以降に研究する予定であったリアルタイム NoC(RT-NoC)に関する研究を前倒して行った。具体的には、最高優先度のパケットの遅延時間をハードウェアで保証可能なハードリアルタイム性を有した RT-NoC の研究を行った [2,3,6]。その結果、NoC において実用的なクロックサイクル数で遅延時間保証を可能にした。これにより、マルチコア・メニーコアにおいても時間粒度の細かいリアルタイム処理が可能となる。・基盤パッケージグループ(超小型 3cm 角 SiP 基板の研究開発)

ターゲットアプリケーションのロボットはアクチュエータ毎にリアルタイム処理を行うプロセッサが必要となるため、非常に狭いスペースに高速 DRAM を組み込んだ VLSI システムを実装することが求められる。その際、SiP のサイズは超小型でなければならいと共に、SoC と DRAM 間的高速インタフェース信号(SSTL)の信頼性確保が必要となる。

超小型パッケージを実現する際の最大の課題は、SoC(D-RMTP I)との接続におけるアナログ的要素(ノイズ耐性、クロストーク除去、反射除去)の安定化と、VLSI が発熱する熱処理問題の解決にある。

本課題に対しては基盤ハードウェアグループと共同で信号・ノイズシミュレーションを実施し、基板側ではできるだけ

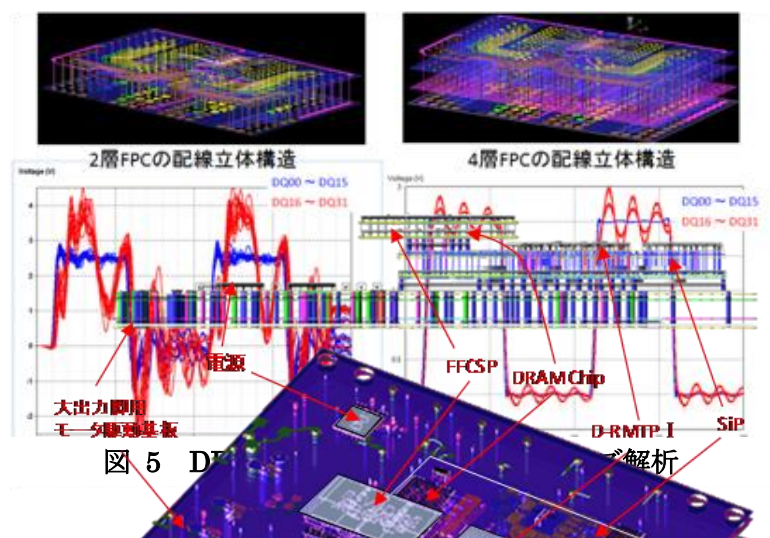
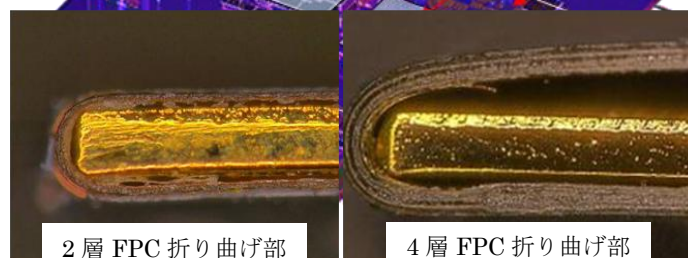


図 5 DF



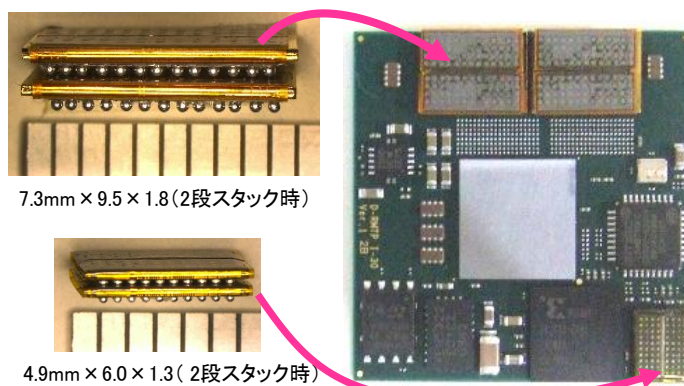
2層 FPC 折り曲げ部 4層 FPC 折り曲げ部

図 6 図 7 FFCSP の FPC 折り曲げ部の検討



アナログ的に安定になるように設計を行った。その結果発生するジッタを基盤ハードウェアグループにフィードバックし、*D-RMTP I* 側でジッタを吸収するようにした。特に FFCSP 化される DRAM の FPC には高速信号が流れるため、シミュレーションによる信号の解析を行った。その結果、FPC を当初の計画の 2 層から 4 層にすることにより、アナログ的に大きく安定するように設計を行った(図 5 参照)。また、部品配置を最適化するために、実際の動作状態である大出力脚用モータ駆動基板へ SiP を実装した状態で電源の IR ドロップ解析および同時スイッチングノイズ解析を実施し、SiP 基板がアナログ的に安定することを確認した(図 6 参照)。

DRAM 用 FPC の 4 層化のためには安定的に FFCSP が製造出来なければならない。4 層 FPC で FFCSP を安定的に製造するには折り曲げ時の FPC の曲がり具合で問題が起こる可能性があるため、4 層 FPC の曲げ評価を実施



した。その結果、4 層では安定的に折り曲げる事が難しい事が判った(図 7 参照)。対策として折り曲げ部分のみ層数と配線パターンを少なくするように FPC を設計するようにした。また、DRAM I/F の高信頼性を実現するために、シミュレーションにより実装するコンデンサの最適な位置を求め、その結果、コンデンサを DRAM チップの最近傍に配置し DRAM と一体化するように設計した。

Flash Memory の FFCSP 化の際にも、DRAM と同様に FPC の剛性に対処する必要があるが、ここでは熱プレス工法を採用することにより 2 段スタックを実現した。この結果、チップサイズ FFCSP も問題無く生産できる事を確認した(図 8 参照)。

最終的に、DRAM, Flash Memory, その他の部品を 3cm 角 SiP に実装した(図 8 参照)。来年度にかけて、引き続き動作確認を行っていく予定である。

当初計画では 21 年度に *D-RMTP I* 3cm 角 SiP の開発を終えるという計画であったが、*D-RMTP I* と SiP 基板の両方を同時に評価すると信頼性確保に時間が掛ることが予想されたため、最初は SoC として実績の有る M-RMTP を用いて SiP を実

図 8 3cm 角 SiP の外観

装し、SiP 基板および FFCSP の評価検証を手順として追加した。その後、*D-RMTP I* を実装し、動作が正しく行われているか比較検証するという手順にし、ディペンダビリティの向上を実現した。そのため、SiP 基板の対 *D-RMTP I* パッドは既開発の *M-RMTP* に合わせて設計し、その Pin 配置と互換性を持たせて *D-RMTP I* のフリップチップを設計した。その結果、設計の品質向上と実装品質の向上等のディペンダビリティを向上させた。このため、21 年度は SiP の事前評価を実施し、22 年度にその評価結果に基づき *D-RMTP I* の実装を行い 3cm 角 SiP の評価を実施することとした。

ディペンダビリティの評価として、DRAM と同等の条件を用い、FFCSP モジュールで熱衝撃試

験(-40℃~+125℃, 各 15 分さらし)を実施した。4,000 サイクル(車載品質相当)までは正常動作する事を確認し、高信頼性である事が判った。継続して試験を実施し、高信頼性の確認を進める。

LSI の 3 次元実装では、PoP(Package on Package)、部品内蔵基板、TSV(Through-Silicon Via)等が多く研究されている。これらの 3 次元実装と比較して、本 SiP はパッシブ部品であるキャパシタを内蔵して電源の安定性を高め、熱対策が容易な構造を持つ FFCSP を採用したことにより、超小型でかつ組み込みシステムに必要な高速 DRAM をはじめとする多種のデバイスを内蔵する高信頼 SiP を実現した。

・組み込みアプリケーショングループ(大出力ディペンダビリティ評価環境の準備)

組み込みアプリケーショングループでは、従来と同サイズながら高出力高効率な駆動制御系を構築することで、介護時の人の抱え上げ等が実現可能な瞬発力を備えた大出力ロボット脚(図 9 参照)を研究開発している。

こうしたロボットでは、大出力発揮中での転倒が重大事故に繋がるため、制御のリアルタイム性やシステムの信頼性・安全性といったディペンダビリティが求められる。本年度では、こうした大出力実ハードディペンダビリティを検証可能な大出力脚プラットフォームの準備として、*D-RMTP I* SiP を搭載可能なモータドライバの基礎設計及び評価計測環境の構築を計画目標として設定した。

既存の大出力脚用単軸モータ駆動基板の制御部に *D-RMTP I* SiP を搭載した基板(図 9 参照)に必要な仕様検討(図 10 参照)を完了した後、本研究で扱う *RMTP*の前バージョンを搭載したドライバ基板の回路設計実装に実績ある業者を選定し回路パターン設計を行った。また、実ロボット動作時の電流ノイズ環境(80V, 200A, 15sec)を含む多様なノイズ環境をシミュレートするためのノイズ発生試験器を導入し、来年度以降の大出力ハード実時間ディペンダビリティの検証評価環境(図 11 参照)の構築を行った。

来年度以降の小型化・分散化でのディペンダビリティ評価で必要となる小型モータ駆動基板の開発・試験を前倒しで行った。モータ駆動系とロジック系を電源分離することで小型かつノイズに強い高出力(90W まで駆動可能)駆動回路を実現している(図 12 参照)。今後、今回試作した駆動基板に *D-RMTP I* SiP を搭載した制御基板を接続することで、小型分散ディペンダビリティの検証を行っ

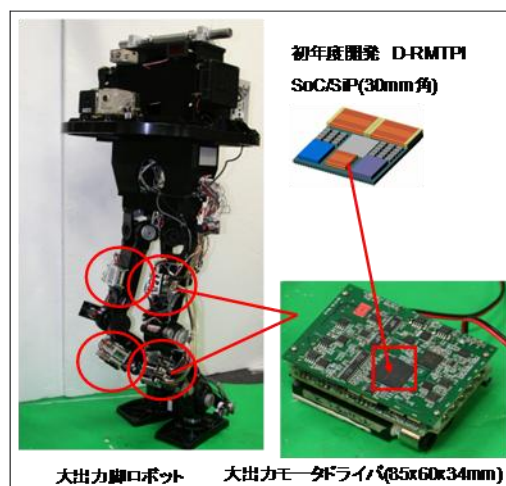


図 9 大出力脚ロボット

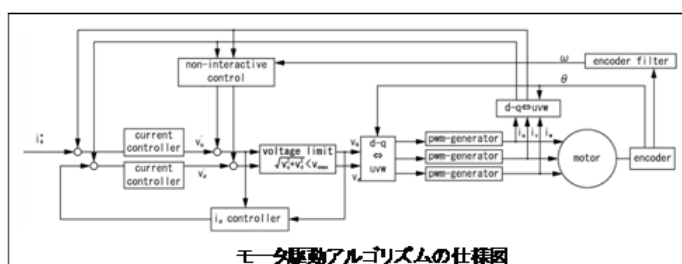


図 10 モータ駆動アルゴリズムの仕様図



ていく。

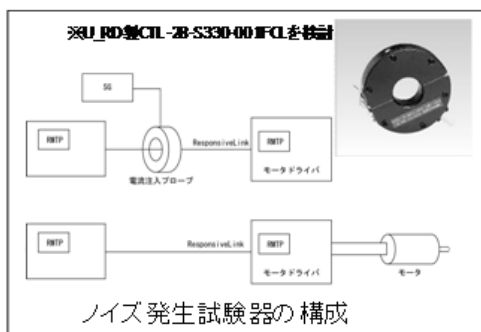


図 11 ノイズ発生器の構成

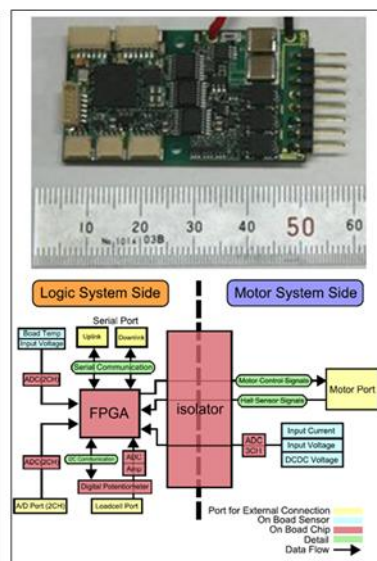


図 12 小型モータ駆動基板

## § 4. 成果発表等

### (4-1) 原著論文発表

- 論文詳細情報

1. 千代浩之, 武田瑛, 船岡健司, 山崎信行, 「拡張インプリサイタスクの固定優先度スケジューリング」, 情報処理学会シンポジウムシリーズ: 第 21 回コンピュータシステムシンポジウム, pp. 67-74, November 26-27, 2009.

### (4-2) 知財出願

- ① 平成21年度特許出願件数(国内 1件)
- ② CREST 研究期間累積件数(国内 1件)