

「ディペンダブル VLSI システムの基盤技術」
平成 21 年度採択研究代表者

竹内 健

東京大学 大学院工学系研究科・准教授

ディペンダブル ワイヤレス ソリッド・ステート・ドライブ

§ 1. 研究実施の概要

フラッシュメモリを用いたストレージであるソリッド・ステート・ドライブ (SSD)、メモリカードは低価格・軽量・低消費電力なストレージとして、携帯端末・パソコン・データセンターなどへの応用が期待されている。フラッシュメモリはフローティングゲートに電子を蓄えることによりデータ記憶を行うが、データ保持中にフローティングゲート中の電子がリークしデータが破壊されるという問題がある。またメモリカードのコネクタはゴミの付着や汚染、メモリカードとホスト機器の頻繁な着脱によるコネクタの摩耗が接触不良や速度劣化を引き起こす。更に、有線通信のメモリカードの高速化実現には、コネクタの容量を減らす必要がある。その結果、ギガ bps 以上の高速通信ではメモリカードとして必要な ESD 保護素子を搭載することが困難になり、人体との接触による静電気破壊に脅かされる。本研究ではフラッシュメモリを用いたテラバイト容量のワイヤレス SSD (メモリカード) 及びホストシステムの研究を行う。書き換え回数やデータ保持時間の増加など使用に伴うメモリの信頼性の劣化、接触不良、動作中の電源遮断や水への接触(人的エラー)、人体との接触による静電気破壊 (ESD) などのエラー要因にディペンダブルな回路システムの開発を目標とする。1mm 程度の通信距離の短距離無線通信・給電により有線通信 (SATA・PCIe) 並みの $10\sim 50\text{Gbps}$ の実現を目指す。本研究では次の3つの研究プログラムを行う。

まず、【研究 1】ではメモリ及び通信チャネルの不良を救済する、高信頼メモリシステムの研究を行う。最適な誤り訂正回路の実現のためには、メモリ及び通信チャネルのエラーパターンをモデリング・解析することが鍵になる。今年度はエラー解析のための、アドバイザ企業との連携して FPGA の NAND フラッシュメモリコントローラーを用いた SSD ボードを開発した。また作成した SSD ボードを用いてメモリの信頼性を測定する Matlab ベースの測定・解析システムを開発した。更に、Dynamic Codeword Transition ECC Scheme という新しい誤り訂正システムを提案し、NAND フラッシュメモリが劣化するにつれてアダプティブに誤り訂正システムの救済効率を上げることで、誤り救済効率を 17 倍向上させることに成功した。

次に【研究 2】では無線給電・通信システムの研究を行う。無線給電では、カード側で急激な負

荷変動が存在する状況においても高い電力伝送効率を保つための回路・システムを開発する必要がある。無線通信においては、磁界結合を用いた多チャンネルのデータ通信に適した送受信機の開発、および、さらなるデータ速度向上のための広帯域結合器の開発が鍵となる。また、電力チャンネルからデータチャンネルへの干渉対策が必須となる。当初計画では、平成 21 年度はシミュレーションによる基礎的な検討までを行う予定であったが、平成 22 年度に予定していた計画を前倒して、試作チップによる考案技術の評価・実証までを達成した。今年度は、無線給電に関して、電力受信側(2 次側)の電圧をモニターして、負荷変動による電圧変動をデータチャンネルを介して電力送信側(ホスト側)にフィードバックして送信電力を調整する方式を考案しチップ試作を行った。試作チップを測定し、1桁程度の負荷変動に対して一定に10%程度の効率で10mW程度の電力を無線給電できることを実証した。また、負荷固定の状態で1.5Wの大電力を70%の効率で送信するための回路を設計して試作を行った。今後、このテストチップを評価して、次年度以降の1.5Wで負荷変動が存在する場合においても効率70%を確保するための回路システムの構築につなげる。

無線通信に関しても、平成 21 年度はシミュレーションによる基礎的な検討までを行う予定であったが、平成 22 年度に予定していた計画を前倒して、試作チップによる考案技術の評価・実証までを達成した。データチャンネルに用いるコイルのレイアウト形状を工夫して、電力チャンネルとデータチャンネルの干渉分離を試みている。石黒グループと共同で電力チャンネルと提案データチャンネルを実装したチップを試作し、考案した干渉対策技術の評価した。考案技術により、無線電力伝送の最中であっても、従来と同じビット誤り率 10^{-12} 以下の高い信頼性で従来の40倍高速な通信を達成できることを実証した。さらに、電磁界シミュレータを用いて、方向性結合器を基本とする広帯域結合器を設計して20GHz程度のフラットな周波数特性が得られることをシミュレーションで確認した。評価用ボードを試作し、特性の評価を進めている。今後、磁界結合の並列チャンネル化による通信速度の向上を目指すと共に、広帯域結合器と送受信機を組み合わせた超高速データ伝送システムの開発を行なう予定である。

通信方式の規格・標準化に関してはアドバイザー企業と協議を行っている。また今年度は非接触で数ワットの電力を伝送する高効率化な電源制御システムを実現するために鍵となる、負荷の変動(同時にインタリーブ動作するメモリのチップの数)を検知する、負荷変動検知システムを設計し試作した。

【研究 3】で利用者の誤使用による電源遮断問題の解決などメモリ・通信のシステム全体のデバッグを向上させる。【研究 3】は平成 22 年度以降に行う。

§ 2. 研究実施体制

(1)「東京大学」グループ

- ① 研究分担グループ長:竹内 健(東京大学、准教授)
- ② 研究項目:メモリシステム

(2)「慶應大学・黒田」グループ

- ① 研究分担グループ長:黒田 忠広(慶應義塾大学、教授)
- ② 研究項目:通信システム

(3)「慶應大学・石黒」グループ

①研究分担グループ長:石黒 仁揮(慶應義塾大学、准教授)

②研究項目:給電システム

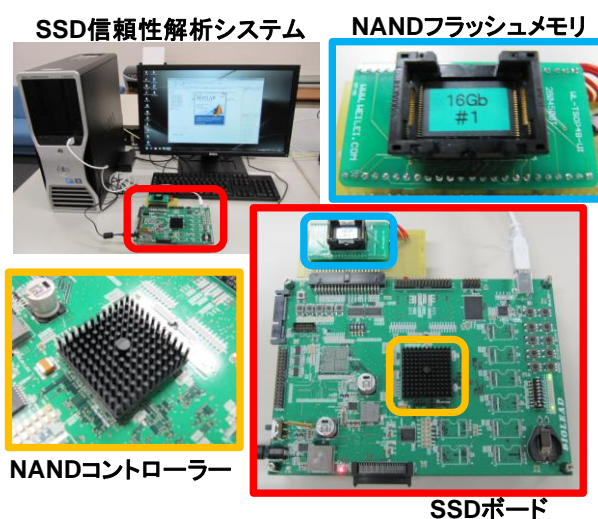
§ 3. 研究実施内容

(文中に番号がある場合は § 4(4-1)に対応する)

【 研究 1 】高信頼メモリシステム

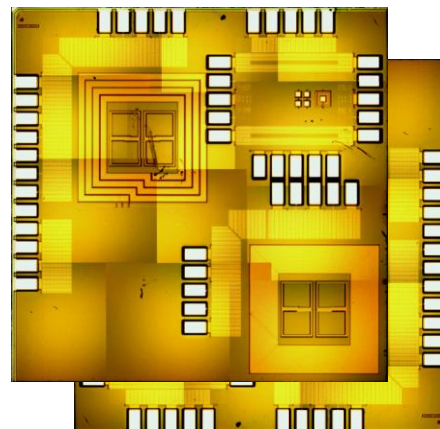
本研究テーマでは、ホストシステム内でメモリと通信の誤りを訂正する誤り訂正システムの研究を行う。ホスト機器内のメモリと通信路の誤り訂正を共有する誤り訂正システムにより、メモリのみならず無線通信に対しても不良救済を行う。最適な誤り訂正回路の実現のためには、メモリ及び通信チャネルのエラーパターンをモデリング・解析することが鍵になる。今年度はエラー解析のための、FPGAのNANDフラッシュ

メモリコントローラーを用いた SSD ボードをアドバイザ企業と連携のもと開発した。また作成した SSD ボードを用いてメモリの信頼性を測定する Matlab ベースの測定・解析システムを開発した。更に、Dynamic Codeword Transition ECC Scheme という新しい誤り訂正システムを提案した。従来の SSD では、信頼性・性能・消費電力などに関して Worst Case を考慮した設計を行っていた。NAND フラッシュは使用するに従って(書き換え回数が増加するに従って)、信頼性が悪化していくデバイスであり、製品のライフエンドの最も信頼性が悪い状態(Worst Case)を想定した強力な ECC を採用すると、製品の全てのライフサイクルを通じて、誤り訂正回路の消費電力の増大、速度の劣化の問題がある。提案する Dynamic Codeword Transition ECC Scheme では、ECC のコード長を最適に調整することで、消費電力の増大・性能劣化を最小限に抑制しつつ、高い信頼性を確保する。アダプティブに SSD の誤り訂正システムの救済効率を上げることで、従来の ECC のコード長を固定した場合に比べて、誤り救済効率を 17 倍向上させることに成功した。この研究成果について、2010 年 5 月にソウルで開催される International Memory Workshop で発表を行う。



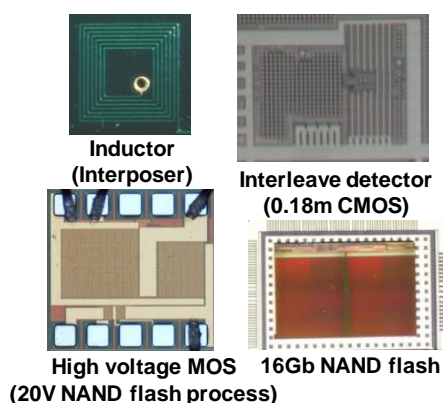
【研究2】適応制御ワイヤレス給電・通信システム

無線給電では、カード側で急激な負荷変動が存在する状況においても高い電力伝送効率を保つための回路・システムを開発する必要がある。また、電力チャネルのデータチャネルへの干渉を軽減する技術が重要となる。今年度は、電力受信側(2次側)の整流後の電圧をモニターして、負荷変動により生じる電圧変動を検出して、データチャネルを介して電力送信側(ホスト側)にフィードバックして送信電力を調整する方式を考案した。チップを試作して測定を行い、1桁程度の負荷変動に対して一定の効率を達成できることを確認した。



また、データチャネルに用いるコイルの形状を工夫して、電力チャネルとデータチャネルの間の干渉を軽減する方式も考案し、試作チップに実装した。従来と同じビット誤り率 10^{-12} 以下の高い信頼性で従来の40倍通信速度を達成できることを実証した。この研究成果をまとめて、Symposium on VLSI Circuits 2010 に論文を投稿した。論文は、高い評価を受けて採択され、2010年6月に成果発表を行う予定である。また、負荷固定の状態での1.5Wの大電力を70%の効率で送信するための回路およびボードを設計して試作を行った。無線電力伝送と同時にNANDの書き換えが必要となる20Vへの昇圧を行なう。適応制御のための基礎データを取得するためにマッチング条件を変えた際の送信電力、効率の変動のデータをシミュレーションで取得し、無線給電ボードを用いた性能評価の準備を進めている。並行して、電磁界シミュレータを用いて広帯域結合器を設計した。マルチセクション型の方向性結合器を基本とするが、1mm程度の通信距離で結合係数が-20dB程度で20GHzの非常に広帯域でフラットな周波数特性が得られることをシミュレーションで確認した。方向性結合器を搭載した評価用ボードを試作し、現在特性の評価を進めている。

通信方式の規格・標準化に関してはアドバイザ企業と協議を行っている。また、非接触で数ワットの電力を伝送する高効率化な電源制御システムを実現するために鍵となる、負荷の変動(同時にインタリーブ動作するメモリのチップの数)を検知する、負荷変動検知システムを設計し試作した。研究成果は、2010年6月ハワイで開催される Symposium on VLSI Circuits で発表を行う。



【研究3】高QoS(Quality of Service)メモリ・通信統合システム

本テーマは、22年度の下期から研究を開始する予定であり、本年度の研究報告はない。

§ 4. 成果発表等

(4-1) 原著論文発表

- 論文詳細情報

1. Tadashi Yasufuku, Koichi Ishida, Shinji Miyamoto, Hiroto Nakai, Makoto Takamiya, Takayasu Sakurai and Ken Takeuchi, “Inductor and TSV Design of 20-V Boost Converter for Low Power 3D Solid State Drive with NAND Flash Memories,” *IEICE Transactions on Electronics*, March 2010. doi:10.1587/transele.E93.C.332