

「ディペンダブル VLSI システムの基盤技術」
平成 20 年度採択研究代表者

米田 友洋

国立情報学研究所・教授

ディペンダブルネットワークオンチッププラットフォームの構築

§ 1. 研究実施の概要

集積システムの微細化・大規模化が進むにつれ、さまざまなアプリケーション製品の高機能化が図られ、VLSI 内収容コア数は急速に増加することになり、その実現はますます難しくなる。まず、チップ内長距離配線の伝送速度低下や伝送障害、配線困難性、配線間干渉等の問題が生じる。また、高速クロックのネットワーク全域への分配困難性や、アイドルネットワーク部の電力消費も大きな問題である。これらを解決するために、GALS-NoC(Globally Asynchronous Locally Synchronous-Network On Chip)方式が研究されるようになってきたが、依然としていくつかの大きな問題がある。単なるコアの寄せ集めによる冗長・不要部分の増加や、微細化によるコア内の局所的な性能劣化等である。前者は、チップの物理的、コスト的な実現性を難しくし、後者はマージン増加による性能低下と信頼性低下を引き起こす。このような問題が及ぼす影響は、プロセスのテクノロジーが進み、微細化が進むにつれてより大きくなることに注意しなくてはならない。そこで、プロセスの微細化により悪影響を受けるのではなく、その恩恵を十分に享受できるプラットフォームの開発が非常に重要になりつつある。このようなプラットフォームとして、我々は「多数のコアが適応的に協調動作して異種多様なタスクを効率よく実行できるプラットフォーム」を考え、それを新しい技術に基づく NoC システムとして実現すること、および、それを車載制御系システムにおいて実証することを目指している。

第2年度である平成21年度は、高アダプタビリティ・高性能・高ディペンダビリティ実現のための要素技術の開発、および、車載制御系システム実証用プラットフォームの開発として、以下を行った。

1. NoC ルータおよびルータ間の伝送方式の詳細な検討を行い、完全非同期式ルータを3種類設計し、比較・評価した。また、同期式ルータとともにそれらをLSIとして試作した。
2. 非同期式ルータの重要な構成要素である非同期式アービタについて、2種類の方式を提案し、従来手法と比較し、性能および公平性について検討を行った。そのうちの1種類を上

記のルータで実際に用いている。

3. 演算器の劣化に耐えられるように、演算器を2線式符号化し、その演算完了までクロックを停止する機構について検討し、V850E コアの乗算器に適用した。
4. 多値技術を活用した Single-Track 方式の提案を行い、この方式によって少配線数、低消費電力でのデータ転送が実現可能であることを示した。また、提案手法を試作チップにて評価し、正しく動作することを確認した。
5. プロセスの微細化による製造時ばらつき、および環境ばらつきへの耐性を考慮した多値回路技術の提案を行い、しきい値電圧、温度、電源電圧等のパラメータを変動させた場合でも、転送動作が正しく行われることを示した。
6. ガソリンエンジン制御で多用される表引き補間演算を行うハードウェアアクセラレータを設計し、上記 V850E コアとともに非同期式ルータで接続した NoC として実現し、LSI チップ試作を行った。
7. カー関連メーカーと共同で、車載制御系システムの実証用アプリケーションとして適切なものは何かを検討し、選定を行うとともに、その Simulink 記述による高位モデルを作成した。
8. HILS(Hardware In the Loop Simulator)システムとのインタフェースボードの設計・実装を行い、制御ソフトウェア開発環境を構築した。

平成 22 年度は、実証用プラットフォームの開発に重点を置き、HILS(Hardware In the Loop Simulator)システムを用いて車載制御系システムの第一次実証用モデルを動作させるとともに、そのために必要な要素技術の開発、カーメーカー等からのフィードバックに基づく評価・検討を行う予定である。

§ 2. 研究実施体制

(1) NIIグループ

- ① 研究分担グループ長: 米田 友洋(国立情報学研究所、教授)
- ② 研究項目
 - (ア) ルータ, 伝送方式, ネットワークインタフェースの全体設計
 - (イ) CPU コア演算部の耐劣化性実現
 - (ウ) ハードウェアアクセラレータの実現

(2) 東大グループ

- ① 研究分担グループ長: 今井 雅(東京大学、特任准教授)
- ② 研究項目
 - (ア) 非同期式回路設計用セルライブラリの評価
 - (イ) 多入力アービタの設計・評価

(ウ) NoC ルータの設計・評価

(3) 東北大グループ

① 研究分担グループ長: 松本 敦(東北大学、助教)

② 研究項目

(ア) ルータ, 伝送方式の設計

(イ) 多値非同期実現に基づく転送方式の実証

(4) 会津大グループ

① 研究分担グループ長: 齋藤 寛(会津大学、准教授)

② 研究項目

(ア) 高位合成技術

(イ) NoC ルータの基礎的検討

§ 3. 研究実施内容

(文中に番号がある場合は § 4(4-1)に対応する)

平成 21 年度は, 高アダプタビリティ・高性能・高ディペンダビリティ実現のための要素技術に関して, 主にルータ等の NoC 主要構成要素の設計開発や伝送方式の技術開発を行い, 実証用 NoC プラットフォームの開発については, アプリケーション選定と高位モデルの構築, および, HILS システムの構築を行った. それぞれの具体的内容は以下の通りである.

① 非同期式ルータの設計・開発

NoC ルータは, パケットを構成する各フリットを受信して, それらを一定の方向に流すことが主な役割であるが, 通常先頭のフリット(ヘッダフリット)到着時には送出パスの計算, アービトレーション, 経路の切り替え等の動作が必要となるため, それ以降のフリットに比べて長い処理時間が必要となる. 同期式ルータでは, このヘッダフリット処理時間でクロックを決めると, 他フリット処理時にはクロックサイクルの大半がアイドルとなり効率が悪い. フリット処理をいくつかのステージに分割し, パイプライン化する. しかし, これはレイテンシの増大を招く. 一方, 非同期式ルータでは, 要求/応答処理のためのハンドシェイクオーバーヘッドを被るが, 各ステージは実際に必要な時間で処理できる. そのため, レイテンシは小さくなり, また, その結果として通信路の解放も早くなり, 全体的な性能向上も見込める. 図1にこのイメージを示す.

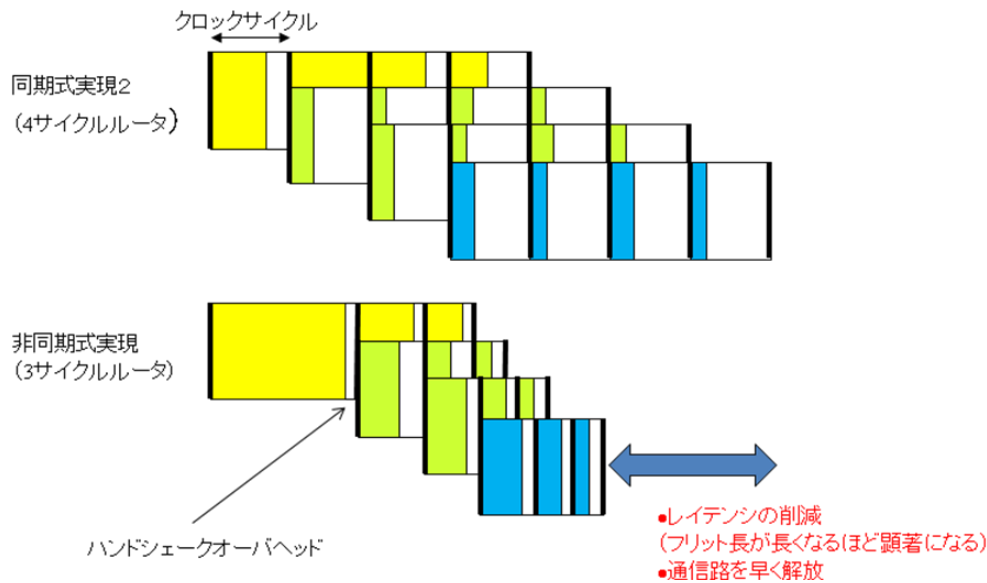


図 1

このような非同期式アービタをNIIグループ、東大グループ、東北大グループの各グループにより、下記のように3種類設計した。

- (a) 東データ3 サイクルルータ:ルーティング, アービトレーション, データパスの切り替えをパイプラインステージで構成し, ややスループット重視のルータ.
- (b) 東データ1 サイクルルータ:前述のように処理時間が可変できるため, パイプラインステージに分割することなく, 1ステージでルーティング, アービトレーション, データパスの切り替えを行う. これにより, スループットは若干低下するが, レイテンシはさらに改善できる.
- (c) 2相2線符号式3 サイクルルータ:東データ方式は各処理ごとの最大遅延を見積もり, 遅延素子でタイミングを生成するが, データパスを2線符号化することで処理の完了を正確に検出することができ, データ依存の遅延変動, 劣化等にも対応できる. さらに, 通常の2線式符号実現で用いる4相式のオーバーヘッドを削減するため, 2種類の2線式符号を用いることで, 休止相を除去している(2相2線式). 制御回路の複雑化により, レイテンシは大きくなると予想され, スループット重視のルータとなる.

設計は完了し, それぞれを比較評価中であるが, 上記(b)のシミュレーション結果を表1に示す. 表中, フリット数は1パケットを構成するフリット数を表す. 同表に示すように, パケットが長くなるほどヘッダフリットの影響が小さくなるため, フリット当りのレイテンシが短くなっており, これが非同期式ルータの大きな特徴である.

表1

ルータ単体のフリット当りのレイテンシ(nS)

フリット数	4	8	16
競合あり	10.77	6.62	5.78
競合なし	6.95	4.77	3.97

4ルータでランダムに送り合う場合のフリット当りのレイテンシ(nS)

フリット数	4	8	16
競合あり	18.71	13.12	9.91
競合なし	13.66	9.68	7.53

また、ルータ間伝送方式についても検討し、上記(c)と同様な 2 相 2 線式を用いることとし、実現のための回路を設計した。伝送路ではルータのような複雑な制御は不要であるため、2 相 2 線式を用いてもレイテンシを悪化させることなく、ルータ間の遅延時間や劣化に依存せずに正しくデータを伝送できるメリットを享受できる。

② 非同期式アービタの開発

もっとも一般的な NoC 構成であるメッシュ構造のネットワークを非同期式ルータを用いて構築する場合、最低でも 4 入力非同期式アービタが必要となる。ルーティングの耐故障化、パスの多重化等を行う場合には、さらに多入力のアービタが必要となる。そのため、高速な多入力非同期式アービタが必要となる。NII グループと東大グループは、Lazy Token Ring Arbiter と Square Arbiter の 2 種類の非同期式アービタを新たに開発し、従来手法と比較検討を行った⁵⁾。その結果、Square Arbiter は負荷状況に関わらずコンスタントに性能がよく、特に同等の従来手法に比べて公平性が高いことがわかった。5 入力の場合の構成を図 2 に示す。この結果から、上記の非同期式ルータではこの Square Arbiter を採用している。

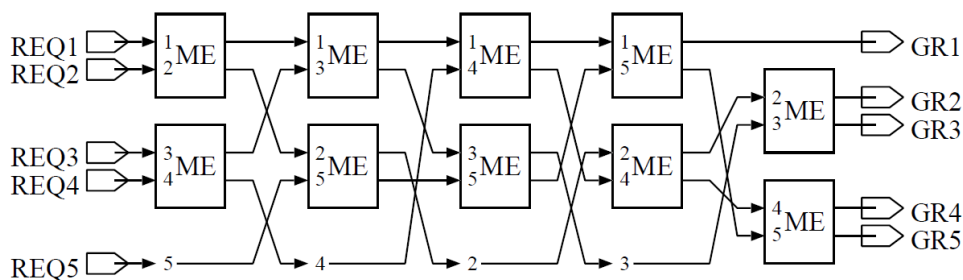


図 2

③ 演算器の耐劣化実現

同期式実現の IP コアにおいて、タイミングマージンが少なく、劣化が生じると直ちに異常出力につながる演算器部分に耐劣化性を持たせる手法について検討した。他チームでもいくつかの方法が提案されているが、我々は同期式回路でも容易に実現でき、しかし非同期式

実現にもつながる2線式論理に基づく手法を評価することとした。この手法は2線式論理を用いるため、多くの縮退故障を検出可能というメリットも併せ持つ。本手法の構成は、図3に示すような、2線式論理実現した演算器部(図では乗算回路)を中心に、エンコーダと演算完了検出部からなる演算器ユニットと、図4に示す停止可能クロック発生器からなる。

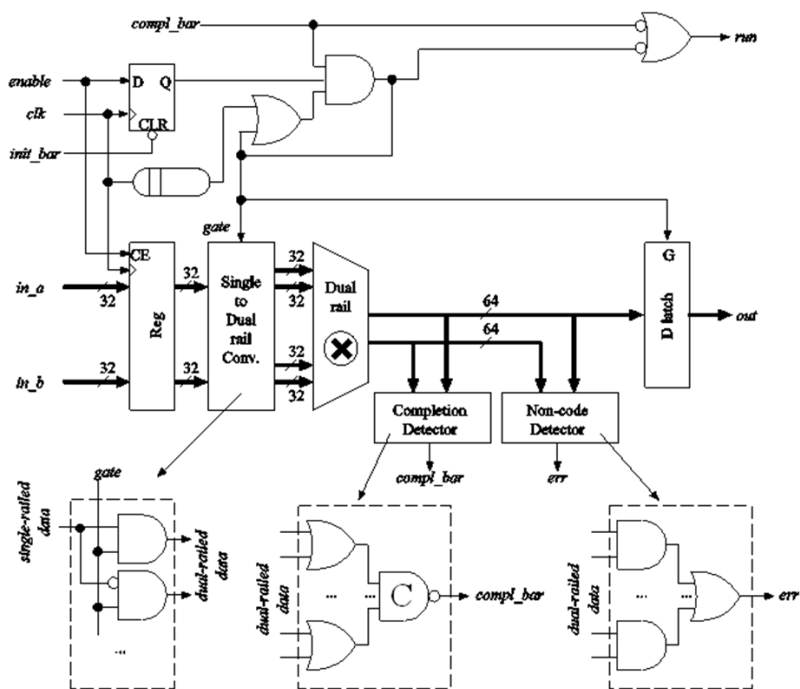


図3

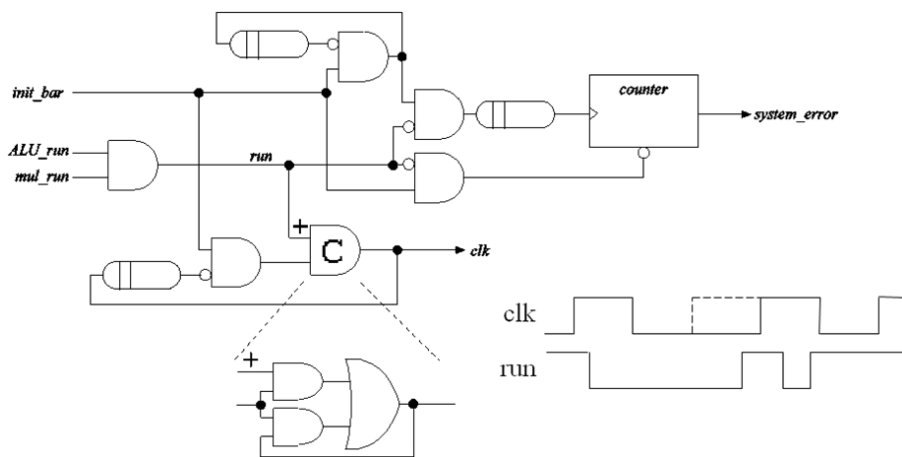


図4

停止可能クロック発生器は、run 入力信号が 0 の間は立ち上がりを引き延ばす機能を持ち、その run 信号を演算器ユニットの完了信号から与えてやることにより、演算完了と共にクロックが立ち上がり、劣化により演算完了がいくら遅れても、常に正しいデータを出力レジスタにラッチできる。

通常クロック周期は乗算器等の計算量の大きな演算器ユニットの遅延時間で決まるが、このアプローチでは、クロック周期を演算器ユニット以外の最大遅延時間で決め、演算器ユニットが使われる場合は通常時でもクロック立ち上がりを待たせるようにすることにより、演算器ユニット使用命令以外は高速なクロックが使用可能となり、耐劣化性だけでなく正常時も高性能化できるという利点を持つ。

この方式を、V850E コアの乗算器に組み込み、シミュレーションで正しく動作することを確認し、LSI 試作を行った。

④ 多値電流モードを用いた Single-Track 方式の開発

ネットワークオンチップのコア間、およびチップ間の配線数を削減するための技術として、多値電流モードを用いた Single-Track 方式²⁾の提案を行った。本手法は、2 値電圧モードによる Single-Track 実装と比較して、多値信号を用いることによる配線数の削減はもとより、小振幅で信号を送信することができるため、動作時消費電力を大幅に削減することが可能となる。本年度は昨年度試作した、提案する多値電流モードに基づく Single-Track 方式を用いた転送回路のプロトタイプチップ(図5-7)について測定、評価を行い、提案する転送方式が正しく動作することを確認した。

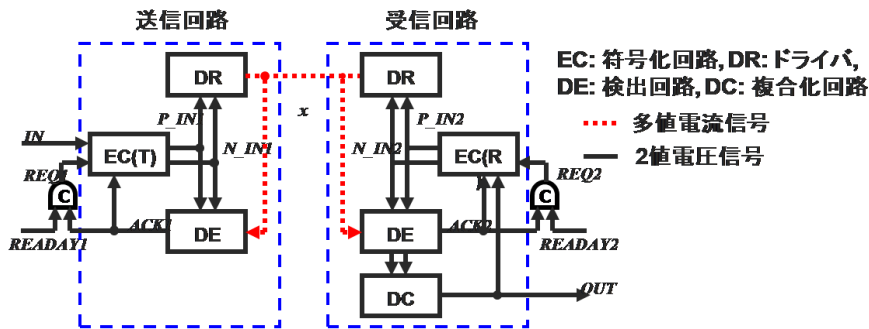


図5

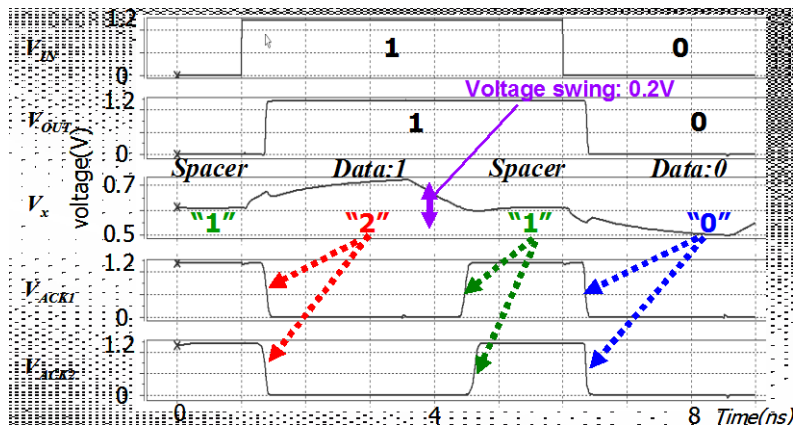


図6

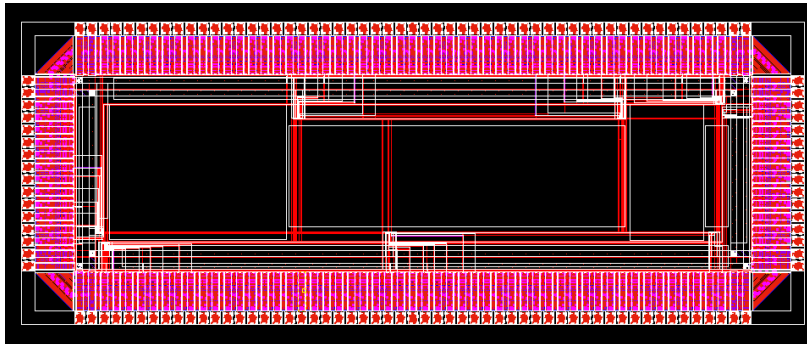


図7

⑤ 多値電流モードによる転送方式の信頼性向上手法の開発

多値電流モードによる転送方式の信頼性をより高めるためには、トランジスタのしきい値電圧ばらつきに代表される製造時のばらつき、および温度ばらつきや電源電圧ばらつきに代表される使用時のばらつきへの耐性を高める必要がある。本年度は上記ばらつきに対するディペンダビリティを向上させるための要素技術として、使用する符号語部分に重点的に大きな電流値マージンを割り当てる符号語の定義、および多値信号を判別するための参照信号生成機構の提案¹⁾を行った。これらの技術を用いることにより、前述のばらつき条件下であっても多値電流モードに基づく転送回路が正しく動作することを確認した。加えて、本年度は本提案手法に基づく転送回路の試作を行った(図8-9)。

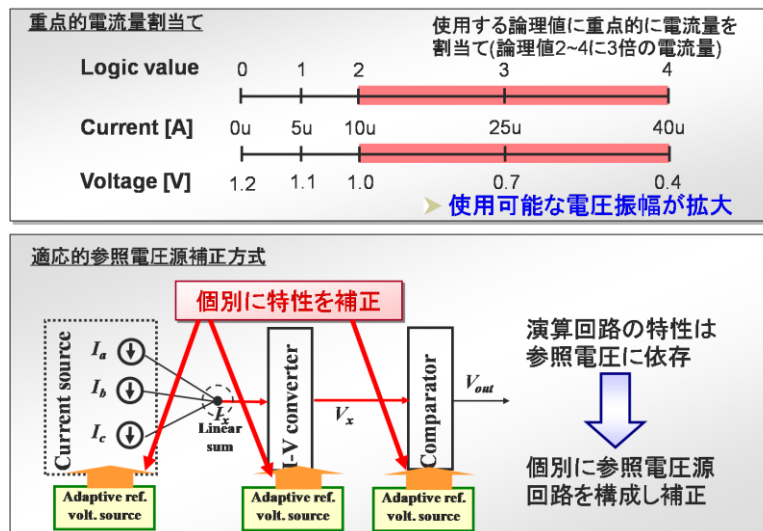


図8

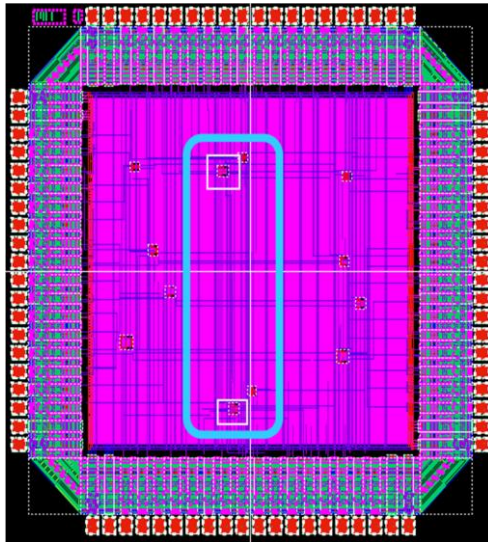


図9

⑥ NoC 試作

ガソリンエンジン制御で多用される表引き補間演算を行うハードウェアアクセラレータを設計し、(3)の演算器を組み込んだ V850E コア、および通常の V850E コアとともに、図10に示すような構成の2種類のNoCをLSI試作した。図11にチップ写真を示す。なお、ルータは(1)項(b)のレイテンシ重視のものを使用した。来年度はこの LSI 上で、次項で示すアプリケーションを実行し、HILS システムを用いて車載制御系システムの第一次実証モデルを動作させる予定である。

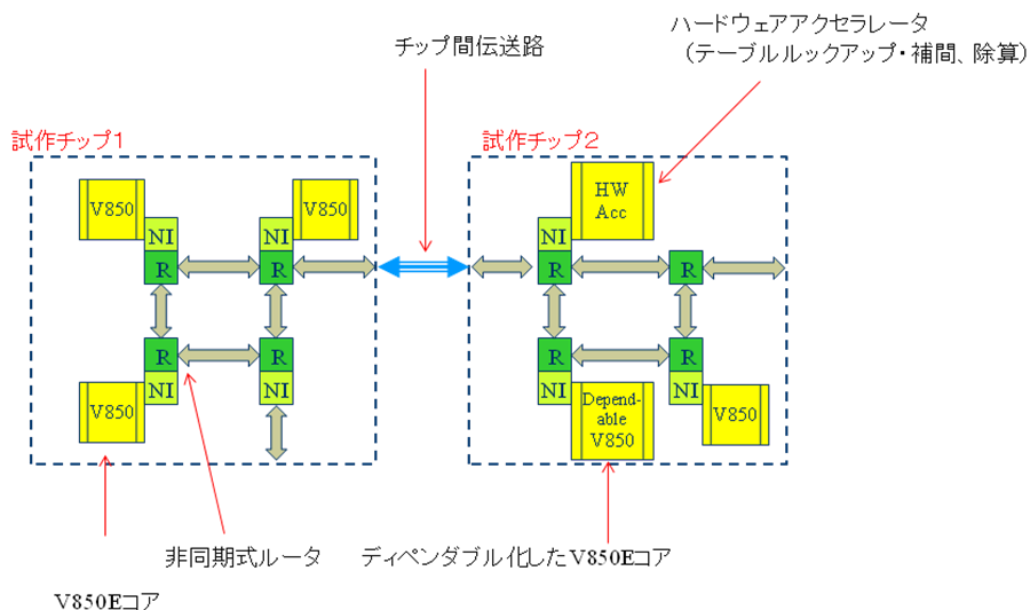


図10

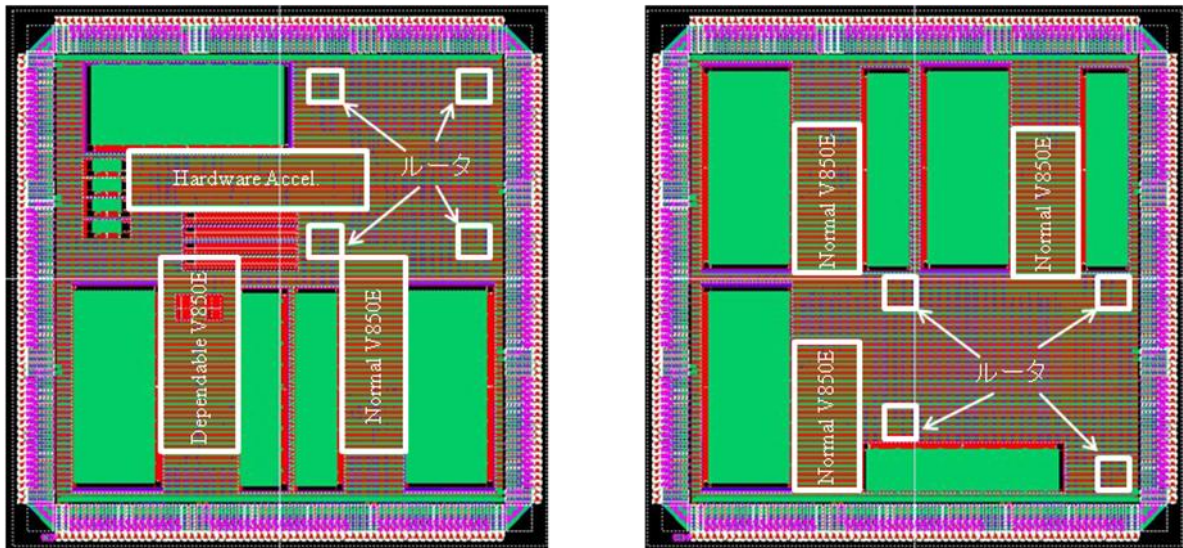


図11

⑦ 実証用アプリケーション選定

従来4つ程度の独立したECUを用いて実現されていた車載制御系アプリケーションをNoCプラットフォーム上の統合化ECUで実行し、提案手法の有効性を実証することを目指している。そのために、適切なアプリケーションを選定する必要がある。我々は、カーメカとの議論およびアドバイスを基に、ECU製作等を手がけているカー関連メカと共同で、ハイブリッドカーにおける車載制御を想定した以下のようなアプリケーションを選定した。

- (a) ガソリンエンジン制御(点火タイミング, 燃料噴射量, 燃料噴射タイミング等の計算)
- (b) 動力用モータ制御(必要なトルクを生成するための制御入力計算)
- (c) 発電機・スタータ制御(必要なトルクを生成するための制御入力計算)
- (d) バッテリ制御(放電量, 充電量計算)
- (e) 駆動輪スリップ制御(ブレーキ液圧およびエンジン・駆動用モータトルク値計算)
- (f) 上記の連携(アクセル/ブレーキペダル値, 車速から決められた状態遷移に基づきエンジン・動力用モータのトルク制御, 発電・放電制御等を行う)

現在、カー関連メカと共同でこれらの高位モデルである Simulink 記述を開発中である。

⑧ HILS システム構築

来年度の第一次実証用モデル実行をスムーズに進めるために、HILS システムとのインタフェースボードを実装し、実CPU用制御ソフトウェア(Cまたはアセンブラ)開発環境を整備した(図12)。現在、ガソリンエンジン制御の基本部分を実CPUで実際に実行することができている。

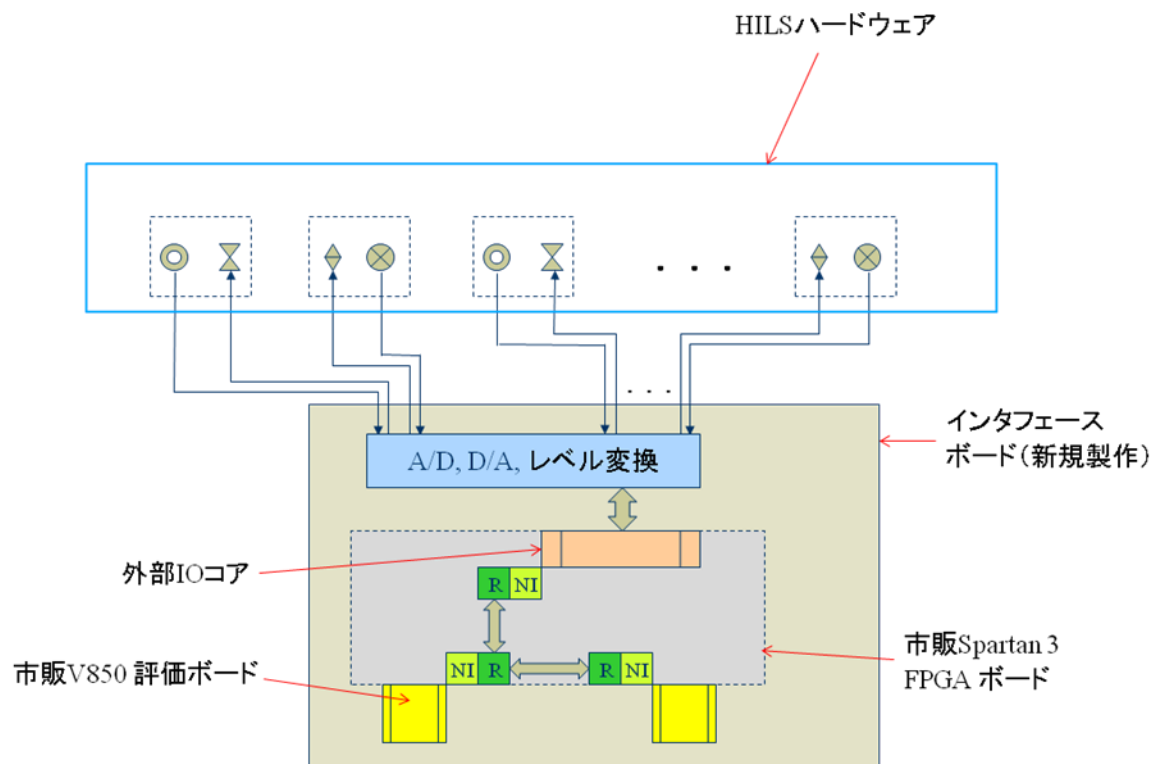


図12

⑨ その他

昨年度設計・試作した 32 元線形連立方程式ソルバ⁴⁾の LSI について、実チップにおいて機能・性能を評価した。また、符号化された非同期式回路において、スレッショルド電圧の異なるトランジスタを用いてリーク電力を削減する手法³⁾を開発した。さらに、非同期ルータとの通信親和性を考慮した多値電流モード非同期転送方式⁸⁾、および通信方式変換用コンバータ⁷⁾を開発した。一方、非同期式アクセラレータを自動合成するツールの一部として、束データ方式による非同期式回路を想定したフロアプラン手法を提案し、プログラミング言語を用いて実装した⁶⁾。

§ 4. 成果発表等

(4-1) 原著論文発表

● 論文詳細情報

- [1] Naoya Onizawa and Takahiro Hanyu: Robust Multiple-Valued Current-Mode Circuit Components Based on Adaptive Reference-Voltage Control, Proc. 39th IEEE International Symposium on Multiple-Valued Logic, Okinawa, Japan, (May, 2009).

DOI:10.1109/ISMVL.2009.44

- [2] Yo Ohtake, Naoya Onizawa, and Takahiro Hanyu: High-Performance Asynchronous Intra-Chip Communication Link Based on a Multiple-Valued Current-Mode Single-Track Scheme, Proc. 2009 IEEE International Symposium on Circuits and Systems, Taipei, Taiwan, (May, 2009). DOI:10.1109/ISCAS.2009.5117927
- [3] Masashi Imai, Kouei Takada, and Takashi Nanya: Fine-grain Leakage Power Reduction Method for m-out-of-n Encoded Circuits Using Multi-Threshold-Voltage Transistors, Proc. Async 2009, pp.209-216, Chapel Hill, NC, USA, (May, 2009). DOI:10.1109/ASYNC.2009.11
- [4] T. Yoneda, M Imai, H. Saito, A. Matsumoto : Achieving degradation tolerance in a hardware accelerator with parallel functional units, Proc. of Third Workshop on Dependable and Secure Nanocomputing (WDSN 2009), pp. 28-33, Lisbon, Portugal, (June, 2009) DOI:none
- [5] M. Imai, T. Yoneda, T. Nanya : N-way Ring and Square Arbiters, Proc. of ICCD, pp.125-130, Lake Tahoe, CA, USA, (October, 2009). DOI:10.1109/ICCD.2009.5413164
- [6] Hiroshi Saito, Naohiro Hamada, Tomohiro Yoneda, and Takashi Nanya : A Floorplan Method for Asynchronous Circuits with Bundled-data Implementation on FPGAs, Proc. of 2010 IEEE International Symposium on Circuits and Systems, (accepted).
- [7] Naoya Onizawa, and Takahiro Hanyu : High-Throughput Protocol Converter Based on an Independent Encoding/Decoding Scheme for Asynchronous Network-on-Chip, Proc. 2010 IEEE International Symposium on Circuits and Systems. (accepted)
- [8] Atsushi Matsumoto, Naoya Onizawa, and Takahiro Hanyu : One-Color Two-Phase Asynchronous Communication Links Based on Multiple-Valued Simultaneous Control, Proc. 40th IEEE International Symposium on Multiple-Valued Logic (accepted)

(4-2) 知財出願

CREST 研究期間累積件数(国内 1 件)