

「ディペンダブル VLSI システムの基盤技術」
平成 20 年度採択研究代表者

梶原 誠司

九州工業大学 情報工学研究院・教授

フィールド高信頼化のための回路・システム機構

§ 1. 研究実施の概要

研究のねらいと概要

本研究は、VLSI の故障によりフィールド運用中のシステムが突然ダウンすることを事前に防止し、システムの安心安全性を高めることをねらいとする。その実現方法として、システムの空き時間(パワーオン・パワーオフ・アイドル時など)を利用した VLSI の自己テスト・診断により、劣化の事前検知と故障検出を可能とする技術を開発する。研究のアプローチとしては、以下の4つの観点から各種の要素技術を開発し、並行してシステム化およびフェジビリティ検証を進める。

D(取扱い可能な劣化要因の比率)の向上

A(測定精度により検出可能な比率)の向上

R(修復可能な比率×修復によるMTTF増加比率)の向上

T(パワーオン・パワーオフテストによる検出率)の向上

また、本技術の実用化の観点から半導体及びシステム関連企業(5社)のヒアリングを実施し、課題と問題点を洗い出した。今後、共同の評価・実用化について検討を促進する。

進捗状況と成果

DART の各要素技術は、国際会議や専門誌での論文発表、セミナー講演等を通じて世の中に認められてきている。一方、企業のヒアリングではテスト時間や品質、及びリソースの面で極めて厳しい要求を提示され、システム化を睨んだ技術目標の定量化を急いでいる。以下に概要を記す。

D 項目は、劣化検知箇所選定手法の開発をほぼ終了し、成果は国際会議に採択されている。NoC に対しては、非同期インターコネクットのテストを重要課題と位置付け課題抽出を実施した。A 項目は、劣化検知の基本アーキテクチャを国際会議と学会誌に発表した。また、測定精度向上にはテスト時温度安定化が重要との分析結果に基づき、対応する技術を開発し、成果は有力国際会議に採択された他、国内半導体企業による評価も検討中である。これらの詳細技術は特許を 2

件出願した。R 項目は企業の意見を踏まえ、開発技術の絞り込みおよび診断性に着目し見直し中である。T 項目は、BIST のテスト品質評価法を確立し国際会議で発表した。また、高品質な遅延テストのテストコスト制御手法を開発し、国際会議に論文が採択された。テスト分割によるテスト時間制御手法についても、フィールドテスト固有の新しいテスト課題として提案した。

今後の見通し

今後は、開発中の要素技術の高度化を行うとともに、平成 23 年度開始予定の試作及びシミュレーションによるシステム化の評価を一部前倒し、早期にフィードバックを得る予定である。また開発中の技術は、フィールドテストのみならず生産テスト(出荷前テスト)の高品質化・効率化にも効果が大きいとの指摘を受け、要素技術レベルでも企業での評価・実用化を推進する。また、フィールド高信頼化の要求項目がアプリケーションによって大きく異なることが判明しており、アプリケーションに応じた技術の組合せ(取捨選択)とコスト評価の検討及びレビューを進める。

§ 2. 研究実施体制

(1) 九工大「グループ

① 研究分担グループ長: 梶原 誠司(九州工業大学、教授)

② 研究項目

研究実施項目(1): 劣化検知箇所選定とテスト生成

研究実施項目(2): テスト時間制御(計画書: 網羅的分割テスト)

研究実施項目(3): 補正を伴う劣化判定

(2) 「奈良先端大」グループ

① 研究分担グループ長: 藤原 秀雄(奈良先端科学技術大学院大学、教授)

② 研究項目

研究実施項目(1): テスト時温度均一化(計画書: SoC/NoC 温度解析)

研究実施項目(2): 高品質遅延テスト(計画書: テストアクセス機構)

研究実施項目(3): インターコネクトテスト(計画書: 非同期インターコネクト)

(3) 「首都大学」グループ

① 研究分担グループ長: 三浦 幸也(首都大学東京、准教授)

② 研究項目

研究実施項目(1): 補正を伴う劣化判定

研究実施項目(2): 測定回路設計

§ 3. 研究実施内容

(文中に番号がある場合は § 4(4-1)に対応する)

(A) 劣化検知箇所選定とテスト生成

フィールドでの劣化検知のテストでは、テスト時間とテストデータ量の制約からすべての素子の劣化を網羅的にテストすることは困難であり、テスト対象を絞り込むことが求められる。そこで、フィールド運用時に劣化の進行しやすい箇所と、タイミングマージンの少ない箇所の情報から、NBTIによる遅延増加により実動作に影響が生じやすいパスをフィールドテストの対象として選択する手法を開発した^{A-1)}。従来は劣化による遅延増加を各トランジスタに一定の割合で推定していたが、実際に使用されるような入力パターンにより推定すると、選択されるテスト対象パスも変わってくるということが明らかになった。表 A-1 は、トランジスタの ON 比率 α により、劣化後の遅延時間がどのように変わるかを示す。これらの結果は、従来の $\alpha=1$ に近い値による遅延増加率の見積もりは、平均的には 6.5%程度が9.1%程度と過剰な見積もりとなる一方、局所的には危険な箇所が見過ごされている可能性があることを示唆している。この結果は、国際会議に投稿し、採録されている。また、テスト生成においては、遅延に影響をもたらす回路のノイズが少ないテストパターン生成手法を開発した^{A-2),A-3)}。(本項目の達成度:3, 技術水準:4)

表 A-1. 平均パス遅延時間の増加率

Circuit Name	Aging delay				
	$\alpha=1$	$\alpha=0.75$	$\alpha=0.5$	$\alpha=0.25$	Sim α
s1238	9.5%	9.2%	8.6%	7.7%	7.8%
s5378	9.0%	8.6%	8.1%	7.3%	7.2%
s9234	9.4%	9.1%	8.5%	7.6%	7.1%
s13207	8.8%	8.4%	7.9%	7.1%	4.9%
s15850	8.7%	8.4%	7.9%	7.1%	5.9%
s35932	9.6%	9.3%	8.6%	7.7%	8.1%
s38417	8.9%	8.5%	8.0%	7.2%	5.8%
s38584	9.2%	8.9%	8.3%	7.4%	5.5%
Average	9.1%	8.8%	8.2%	7.4%	6.5%

(B) テスト時間制御

パワーオン・パワーオフテストでは、通常の製造テスト時間の数百 *ms* 程度よりも短い時間の数十 *ms* 程度(つまり少ないテストパターン数)でテストする必要が生じる。そこで、与えられたテスト時間の制約に対応しながら、必要なテストを行う研究を当初計画から一年前倒しで開始した。故障検出のためのテストパターンを分割し、複数回のパワーオン・パワーオフテストで故障検出する手法を提案した。また、分割テストの利点と欠点からテストパターン分割時に考慮すべき条件を明確にし、新しいテスト技術の課題として問題提起と解法アルゴリズムの考案を行った。本研究はテスト時間の削減は可能にするが、テストデータ量の問題は解決しない。その問題の解決は、奈良先端大Gと連携して、テストアクセス機構の研究((F)項目)におけるテストパターン数削減と合わせて対応す

る。その他、前年度開発した X(ドントケア)を含む 3 値テストパターンから遅延テスト品質を評価する手法を国際会議で発表し^{B-1)}、さらに、テスト品質を高めるような X 割手法を開発した。(本項目の達成度:4, 技術水準:3)

(C) 補正を伴う劣化判定と測定回路設計

本課題では、トランジスタ劣化に伴う遅延時間の増加を、高精度に測定する回路技術の確立を目指している。まず、フィールドテストと劣化判定のための全体的なテストアーキテクチャを明確にし、国際会議で発表した^{C-1)}。遅延計測系の精度については、全体の精度を 20~50ps、そのうち補正回路の精度を 20ps と見積もり、これを達成するために、リング発振器 (RO) の周波数を基準に 3%(RO 周期で 10ps に相当) 以内の精度で動作温度および電圧の推定を行うことを目標にした。まず、異なる特性の RO による温度・電圧推定精度の向上と、RO の製造ばらつきの影響調査、トランジスタ劣化の影響調査^{C-2)}を行った。図 C-1 は、NAND ゲート構成の RO (RO1) を基準に、回路構造を変更したとき (RO2:トランジスタサイズ変更、RO3:NOT ゲート構成、RO4:NOT ゲート擬似 nMOS 構造) の発振周波数の温度特性を示している。回路構造やトランジスタサイズを変えることで緩い温度勾配や特性の線形性を得ることができた。RO2, RO3 では発振周波数に対する温度勾配を 24~30%改善できた。また一次近似式による推定では全温度範囲で、RO1 では 7.2%の推定温度誤差を、RO4 では 3.9%まで改善できた。電圧特性についても概ね同様の結果を得た。

また実チップでは製造のばらつきが問題であり、低電圧 NAND では V_{tn} ばらつき(最大で 40mV)の影響が支配的である。また経験的に RO のばらつきは $1/(n)^{1/2}$ 、 n は段数、に比例することが知られている。図 C-2 は理論的に計算した RO 段数に対する発振周波数の変動量を表している。 $n \geq 81$ では周波数変動を 0.3%以内に抑えることができ、これは、昨年度のデータを基に計算すると推定温度誤差は約 0.5°C以内であり、前述の推定誤差を含めても初期目標を達成できた。(本項目の達成度:3, 技術水準:3)

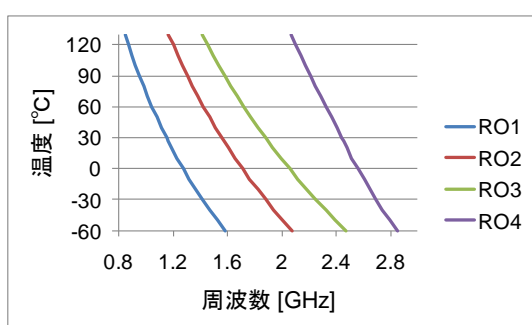


図 C-1. 各種タイプの RO の発振周波数特性

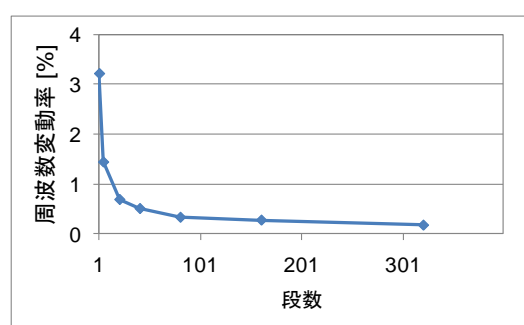


図 C-2. V_{tn} ばらつきの周波数への影響

(D) テスト時温度均一化

平成 21 年度は、SoC/NoC の温度解析に留まらず、テスト時の温度変動を最小化するテスト時熱均一化のためのテストパターン生成法を提案した^{D-4)}。ベンチマーク回路による評価では、低消費電力を指向したテストパターンと比較して、提案法は回路の場所による温度の分散が平均 65%

減少するという結果を得た(図 D-1 参照)。本研究成果は、VLSI テストの分野で最高権威の国際会議の一つである IEEE VLSI Test Symposium に採択されている。この発表では、テスト精度向上のためのテスト時温度均一という概念を世界で初めて発表する予定である。また、本発表の基礎となるテスト時の消費電力、発熱に関するいくつかの発表^{D-1), D-2), D-3)}を行った。

本年度の当初の研究計画は、SoC におけるテスト実行時の温度変動の解析であったが、解析の結果、テスト実行時の温度変動が大きく、テスト精度に大きく影響することが判明した。そこで、テスト時温度均一化という概念を提唱し、国内外に先駆けて研究成果を発表することを目指し、テスト時の温度変動を最小化するためのテストパターン生成法の開発を行った。回路中の論理パス中の遅延値は、テクノロジーにも依存するが、20°Cの変動で 5-6%の遅延の変動に繋がるという報告もなされている。本チームで提案する劣化検知メカニズムでは、数十 ps という精度でのタイミング測定を目標にしており、これを達成するためにテスト時の温度均一化は重要である。(本項目の達成度:5, 技術水準:4)

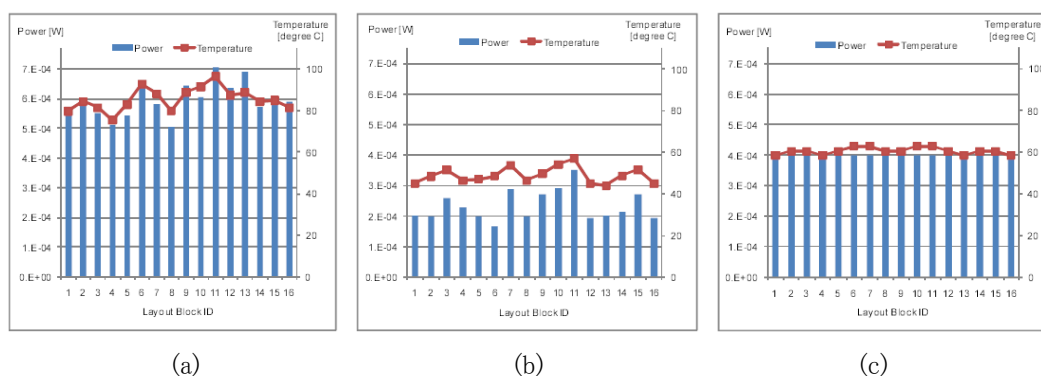


図 D-1. テスト時の温度および消費電力のブロック間のばらつき(ITC99 ベンチマーク b17 回路を 16 ブロックに分割した結果):(a)消費電力・温度を考慮しないテストパターン, (b)低消費電力指向テストパターン, (c)温度均一化指向テストパターン(提案法).

(E) 高品質遅延テスト

SoC, NoC フィールドマージンテストのためのテストアクセス機構に必要な、テスト品質の評価尺度の検討、高品質なテストパターン生成法、過剰テストを回避するためのフォールスパス判定法^{E-1), E-2), E-3)}に関する研究を行った。

フィールドマージンテストの品質の評価尺度としては、回路中の遅延欠陥の量、テストクロックなどのテスト環境を総合的に評価する統計的遅延欠陥品質モデル SDQM(Statistical Delay Quality Model, 本研究チームの佐藤らが過去に提案)を採用した。SDQM は、主要 EDA ベンダー(Synopsys, Cadence, Mentor Graphics)の ATPG(自動テストパターン生成)ツールでも採用されている評価モデルである。フィールドテストでは、短いテスト時間で高品質な遅延テストを実現する必要がある。本年度は、与えられたテスト集合からテスト品質のよい小さなテスト集合を高速に選択する手法を提案した^{E-4)}。図 E-1(a)は、提案法では 2000 テストパターンで得るテスト品質を、遷移故障検出率に基づく選択法では 2 倍のテストパターン、ATPG 生成順に基づく選択法では5倍以上

上のテストパターンが必要になることを示す。このように、提案法により同じテスト品質を持つテスト集合を従来手法の 20～50%の少ないテストパターン数で実現可能となった。本研究成果は、九工大が主導する分割テスト(上記(B) 項目)でのテスト時間削減効果に加え、テストデータ量削減にも貢献する。(本項目の達成度:4, 技術水準:3)

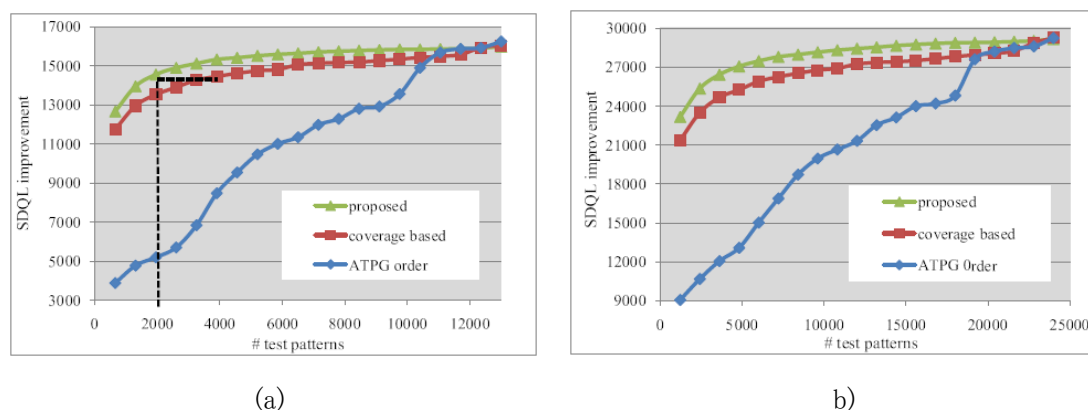


図 E-1. ITC99 ベンチマーク回路に対する高品質遅延テスト選択法:(a)b18, (b)b19.

(F) インターコネクトテスト

符号化方式および束データ方式の非同期インターコネクトに対するテスト容易化設計法の研究を進めている。符号化方式では、CHAIN(W. J. Bainbridge (Univ. of Manchester)らによる提案、実用化ツールあり)に対する面積・遅延オーバーヘッドを低減する部分スキャン設計法を提案した。束データ方式では、非同期素子自身をスキャンセルとして用いる新しいスキャンパス構成を提案し、従来法と比べて故障検出能力を向上した。

NoC の設計については、領域内で米田チームが研究を行っており、非同期インターコネクトの設計とテストの連携を進めている。本年度は米田チームと打合せを行い、高速性が要求されるアプリケーション向けには2相ハンドシェイクを用いるのが有効であるとの情報を得て、この方式に対する既存のテスト技術の調査を行った。また、実際に米田チームで試作中のNoCに搭載された、2相ハンドシェイクを用いた符号化方式の非同期チャンネルおよび束データ方式の非同期ルータに対するテスト容易化設計の検討を行っている。(本項目の達成度:3, 技術水準:3)

§ 4. 成果発表等

(4-1) 原著論文発表

- 論文詳細情報

[B-1] S. Kajihara, S. Oku, K. Miyase, X. Wen, Y. Sato, “On Calculation of Delay Range in Fault Simulation for Test Cubes”, *International Symposium on VLSI Design, Automation, and Test (VLSI-DAT)*, pp. 64-67, April. 2009, 10.1109/VDAT.2009.5158096

- [D-1] M. Inoue, T. Yoneda, M. Hasegawa and H. Fujiwara, "Partial scan approach for secret information protection," *14th IEEE European Test Symposium (ETS)*, pp.143-148, May 2009, 10.1109/ETS.2009.15.
- [C-1] Y. Sato, S. Kajihara, Y. Miura, T. Yoneda, S. Ohtake, M. Inoue and H. Fujiwara, "A Circuit Failure Prediction Mechanism (DART) for High Field Reliability", *8th International Conference on ASIC (ASICON)*, pp. 581-584, Changsha, China, Oct. 20-23, 2009, 10.1109/ASICON.2009.5351352
- [D-2] M. E. J. Obien and H. Fujiwara, "F-scan: an approach to functional RTL scan for assignment decision diagrams," *IEEE 8th International Conference on ASIC (ASICON)*, pp.589-592, Oct. 2009, 10.1109/ASICON.2009.5351354
- [C-2] Y. Miura, "A Feasibility Study of Active Current Testing," *Information Technology Letters, Forum on Information Technology 2009 (FIT)*, RC-014, pp.211-216, Sendai, September 2009.
- [A-2] K. Miyase, Y. Yamato, K. Noda, H. Ito, K. Hatayama, T. Aikyo, X. Wen, S. Kajihara, "A Novel Post-ATPG IR-Drop Reduction Scheme for At-Speed Scan Testing in Broadcast-Scan-Based Test Compression Environment," *International Conf. on Computer-Aided Design (ICCAD)*, pp. 97-104, Nov. 2009, 10.1145/1687399.1687420
- [A-3] K. Miyase, X. Wen, H. Furukawa, Y. Yamato, S. Kajihara, P. Girard, L.-T. Wang, M. Tehranipoor, "High Launch Switching Activity Reduction in At-Speed Scan Testing using CTX: A Clock-Gating-Based Test Relaxation and X-Filling Scheme" *IEICE Transactions on Information and Systems*, Vol.- E93-D, No. 1, pp.2-9, Jan. 2010, 10.1587/transinf.E93.D.2
- [E-1] H. Iwata, S. Ohtake and H. Fujiwara, "Enabling false path identification from RTL for reducing design and test futileness," *5th IEEE International Symposium on Electronic Design, Test & Applications (DELTA)*, pp.20-25, Jan. 2010, 10.1109/DELTA.2010.23.
- [D-3] H. Fujiwara and M. E. J. Obien, "Secure and testable scan design using extended de bruijn graphs," *15th Asia and South Pacific Design Automation Conference (ASP-DAC)*, pp.413-418, Jan. 2010, 10.1109/ASPDAC.2010.5419845.
- [E-2] S. Ohtake, N. Ikeda, M. Inoue and H. Fujiwara, "A Method of Unsensitizable Path Identification using High Level Design Information," *International conference on Design & Technology of Integrated Systems in nanoscale era (DTIS)*, 2010 (accepted).
- [E-3] S. Ohtake, H. Iwata and H. Fujiwara, "A Synthesis Method to Propagate False Path Information from RTL to Gate Level," *IEEE International Symposium on Design and Diagnostics of Electronic Circuits and Systems*, April 2010 (accepted).
- [D-4] T. Yoneda, M. Inoue, Y. Sato and H. Fujiwara, "Thermal-Uniformity-Aware X-filling to Reduce Temperature-Induced Delay Variation for Accurate At-Speed Testing," *IEEE VLSI Test Symposium*, Santa Cruz, April, 2010 (accepted).
- [A-1] M. Noda, S. Kajihara, Y. Sato, K. Miyase, X. Wen, Y. Miura, "On Estimation of NBTI-Induced

Delay Degradation," *15th IEEE European Test Symposium (ETS)*, May 2010 (accepted).

[E-4] M. Inoue, A. Taketani, T. Yoneda, H. Iwata and H. Fujiwara, "Test Pattern Selection to Optimize Delay Test Quality with a Limited Size of Test Set," *15th IEEE European Test Symposium (ETS)*, May 2010 (accepted).

(4-2) 知財出願

① 平成21年度特許出願件数(国内 2件)

② CREST 研究期間累積件数(国内 2件)