

「情報システムの超低消費電力化を目指した技術革新と統合化技術」
平成 18 年度採択研究代表者

後藤 敏

早稲田大学大学院情報生産システム研究科・教授

低消費電力メディア処理 SoC の研究

1. 研究実施の概要

超低消費電力メディア処理 SoC の実現のため、画像、暗号、誤り訂正符号の各方式の最適な分担およびアルゴリズム最適化手法、さらにはハードウェア・ソフトウェア実装最適化手法を融合させ、従来技術と比較して 1/100 の電力削減を図ることで研究を進めている。

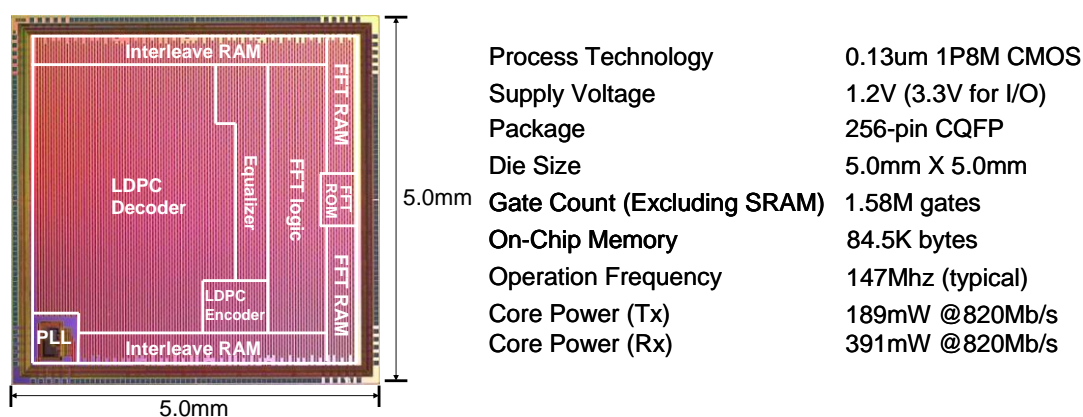
(1) 本年度は、画像処理、暗号処理、符号化処理等の領域を統合する方式の検討を進め、AES 暗号回路の消費電力を 1/2、誤り訂正符号回路の消費電力を 1/2 に削減可能な見通しを得た。また、(2) 高速（高精細画像通信）、高信頼の近距離無線通信を対象としたベースバンド LSI の設計、試作、評価を行い、1/3 以下の低電力化（性能電力比）を達成した。ハードウェア指向設計の研究では、(3) 高位レベルでの配線遅延の正確な評価を行うためのフロアプラン手法の高速化・高精度化と LDPC による評価を進め、現時点での暫定評価では面積を 3/4 に、遅延を 9/10 に削減している。また、(4) ゲートレベルでの細粒度パワーゲーティング手法の研究を進め、消費電力を 4/5 程度に削減する効果が得られることを確認した。ソフトウェア指向設計の研究では、(5) 命令メモリのアクセスを考慮した命令フェッチ回数の削減より、プロセッサ全体で最大 2/3 にエネルギーを削減することができた。

2. 研究実施内容

超低消費電力メディア処理 SoC の実現のため、本プロジェクトでは、メディア処理低消費電力アルゴリズム技術、ハードウェア指向設計技術、ソフトウェア指向設計技術の 3 つのサブテーマに基づき取り組みを進めてきた。

メディア処理低消費電力アルゴリズム技術では、システムレベルとアルゴリズムレベルの 2 つの視点から取り組みを行った。システムレベルでは、画像処理、暗号処理、符号化処理等の領域を統合する方式をメディア情報の重要度に応じて、暗号強度や誤り訂正能力を適応的に変化させ、統合的観点から消費電力を削減する方式検討を継続して進めた。昨年度から暗号処理と動画圧縮処理 (H. 264) の一体化と誤り訂正と画像処理の一体化を進め、計算量として 1/5 に削減し、AES 暗号回路も消費電力で 1/2 に削減を行った。また誤り訂

正と画像処理の一体化では計算量として 1/4 に削減を行い、誤り訂正符号 (LDPC) の消費電力を 1/2 に削減できた。また、アルゴリズムレベルの取り組みとしては、誤り訂正符号 (LDPC) の低演算量化を進めた。昨年度報告を行った LSI において用いたミニサムアルゴリズムに代えてレイヤードアルゴリズムを導入し、さらに、約 1/2 の計算量削減ができることが確認できた。また、車載や工場などの劣悪な環境下における高速(高精細画像通信)、高信頼の近距離無線通信を対象としたベースバンド LSI の設計、試作、評価を行った。最先端の無線方式である UWB-OFDM と最先端の誤り訂正方式である LDPC を融合させ、820Mb/s、30dB(CNR@ 10^{-4} BER)を達成した。メモリベース 4-way FFT 回路、パイプライン型振幅・位相補正器、完全並列型イレギュラー-LDPC、時間インタリーブなど多くの手法を提案し、LSI に搭載した。UMC0.13um CMOS 技術を用いた試作評価の結果、電力は 189mW(Tx)、391mW(Rx)となり、ISSCC2005 で報告されている同種のベースバンド LSI の 1/3 以下(性能電力比)を達成した。また、本成果を第4回アジア固定回路会議 A-SSCC2008 において発表した。本論文は、信号処理分野(SoC & Signal Processing System)において日本で唯一採択されたものであり、半導体産業新聞においてプログラム委員会による注目論文として紹介された。



ハードウェア指向設計の研究では、応用システムの低電力化のための設計手法の研究の一環として、高位レベルでの配置配線の正確な評価を行うためのフロアプラン手法の研究、演算モジュールの電力最適化手法の研究およびゲートレベルでの細粒度パワーゲーティング手法の研究を行った。フロアプランに関しては、昨年度、世界最高性能を達成していたが、今回、マルチレベル最適化手法を用いて基本性能をさらに向上させ、アルゴリズムの高速化と生成される解の改良を行った。ベンチマークデータでの評価では昨年度比で配線長を 9/10 に、処理速度を 2.5 倍に高速化した。これは既存の代表手法を大きく凌駕している。さらにこのフロアプラン手法と商用レイアウトツールを結合し、LDPC デコーダの例題に対して人手設計との比較に着手した。現時点での暫定評価では面積を 3/4 に、遅延を 9/10 に削減している。これにより高位レベル設計との結合による電力削減の基盤をほぼ固めた。演算モジュールの低電力化に関しては、並列プレフィックスグラフ加算器に対し、与えられたタイミング制約下での電力最小化ツールを実現し、Brent-Kung や Sklansky などこれまでに提案されている手法に比べ 6/7 ~ 2/3 の電力にできる

という結果を得た。本手法は、とくに与えられた遅延制約が緩い時に Switching 確率の総和の最小化に対し、良い結果が得られた。また、論理素子の制御値に基づくゲートレベルの細粒度のパワーゲーティング手法において、各ポートのスイッチング確率を計算して、確率の高い順に電源制御を行うブロックを決定するヒューリスティック手法および遅延制約を考慮した手法を実現し、ISCAS 85 ベンチマークを用いて電力削減の効果を評価した。二分決定グラフに基づくスイッチング確率の総和に基づく評価と同時に SPICE シミュレータを用いた評価を行い、実際の LSI に関しても 4/5 に電力を削減できることを確認した。本手法は、リーク電力の削減だけでなく、一部動的電力の削減にも効果が認められる。これらにより、ハードウェア指向設計全体として電力を 2/3 に削減した。

ソフトウェア指向設計の研究では、新たにプロセッサを開発し、その上に搭載されるソフトウェア面に着目し超低消費電力化を目指す。本年度は、命令メモリの消費電力をソフトウェアレベルで削減する手法の研究を行った。我々は、命令メモリのアクセスを考慮した、プロセッサ全体の消費電力を最適化するアルゴリズムの構築・改良を行った。まず、昨年度提案した命令ビット幅を削減アルゴリズムのうち、オペコードビット幅削減アルゴリズム及びオペランドビット幅削減アルゴリズムを改良した。これに加え、結合命令影響度の概念を導入し、命令フェッチの回数削減手法を提案した。本手法は、NOP 命令部に次サイクル以降で実行される結合命令を時間的に格納し、次サイクル以降の結合命令を専用レジスタに格納することで、実行される結合命令は命令メモリからのフェッチではなく、専用レジスタからのフェッチとなる。これにより、命令メモリのアクセス数が減り、メモリアクセスにおけるエネルギーを 2/3 に削減することに成功した。現在、提案手法の制御アーキテクチャを含む低消費電力拡張可能な VLIW プロセッサのハードウェア化の検討を進め、さらなるプロセッサ全体の低消費電力化の検討に着手している。

3. 研究実施体制

①研究分担グループ長:後藤 敏(早稲田大学大学院 教授)

②研究項目

超低消費電力メディア処理SoCの研究

4. 研究成果の発表等

(1) 論文発表 (原著論文)

【国内】

1. 山崎大輔, 小原俊逸, 戸川望, 柳澤政生, 大附辰夫, "SIMD 型プロセッサコアの面積/遅延見積もり", 情報処理学会論文誌, no.10, pp.3462-3481, 2008 年 10 月.
2. 平塚 誠一郎, 後藤 敏, 池永 剛, "適応的な画素間引きと計算予測打ち切りによる超低計算量動き検出アルゴリズム", 電子情報通信学会論文誌 D, Vol. J91-D, No. 8, pp.2080-2088, Aug 2008.
3. 平塚 誠一郎, 後藤 敏, 池永 剛, "モバイル向け 0.3mW 1.4mm² 動き検出プロセッサ LSI",

電子情報通信学会論文誌 C, Vol. J91-C, No. 5, pp.304-310, May 2008.

【国際】

1. S. Chen, Z. Xu, and T. Yoshimura, "A generalized v-shaped multi-level method for large scale Floorplanning", Proc. 10th International Symposium on Quality Electronic Design, San Jose, USA, March 2009
2. M.-F. Chiang, T. Okamoto, and T. Yoshimura, "Lagrangian relaxation based register placement for high-performance circuits", Proc. 10th International Symposium on Quality Electronic Design, San Jose, USA, March 2009
3. Liangwei Ge, Song Chen and Takeshi Yoshimura, "Exploration of Schedule Space by Random Walk", IPSJ Transactions on System LSI Design Methodology, Vol.2, Feb 2009
4. Zhenyu Liu, Yang Song, Ming Shao, Shen Li, Lingfeng Li, Shunichi Ishiwata, Masaki Nakagawa, Satoshi Goto, Takeshi Ikenaga, "HDTV1080p H.264/AVC Encoder Chip Design and Performance Analysis", IEEE Journal of Solid-State Circuits, Vol. 44, No. 2, pp 594-608, Feb. 2009.
5. Wen Ji, Yuta ABE, Takeshi IKENAGA, Satoshi GOTO, "A High Performance Partially-Parallel Irregular LDPC Decoder Based on Sum-Delta Message Passing Schedule", IEICE Special Section on VLSI Design and CAD Algorithms, Vol.E91-A, No.12 pp.3622-3629, Dec. 2008.
6. Y. Yang and S. Kimura, "Efficient Hybrid Grid Synthesis Method Based on Genetic Algorithm for Power/Ground Network Optimization with Dynamic Signal Consideration," IEICE Trans. Fundamentals, vol.E91-A, No.12, pp.3431-3442, Dec. 2008.
7. L. Chen, T. Horiyama, Y. Nakamura and S. Kimura, "Fine-Grained Power Gating Based on the Controlling Value of Logic Elements," IEICE Trans. Fundamentals, vol.E91-A, No.12, pp.3531-3538, Dec. 2008.
8. Yiqing Huang, Qin Liu and Takeshi Ikenaga, "Macroblock Feature based Complexity Reduction for H.264/AVC Motion Estimation", IEICE Trans. Fundamentals, Vol. E91-A, No. 10, pp. 2934-2944, Oct. 2008.
9. Qin Liu, Yiqing Huang, Satoshi Goto, Takeshi Ikenaga, "Edge Block Detection and Motion Vector Information Based Fast VBSME Algorithm", IEICE Trans. Fundamentals, Vol. E91-A, No. 8, pp. 1935-1943, Aug. 2008.
10. Zhenyu Liu, Satoshi Goto, Takeshi Ikenaga, "Content-Aware Fast Motion Estimation for H.264/AVC", IEICE Trans. Fundamentals, Vol. E91-A, No. 8, pp. 1944-1952, Aug. 2008.
11. Liangwei Ge, Song Chen, Y.Nakamura and T.Yoshimura, "A Synthesis Method of General Floating-Point Arithmetic Units by Aligned Partition", IPSJ Trans. On SLDM, Vol.1, No.1, pp67-77, 2008.8
12. Akira Ohchi, Nozomu Togawa, Masao Yanagisawa, Tatsuo Ohtsuki, "Floorplan-Driven High-Level Synthesis for Distributed/Shared-Register Architectures," IPSJ Tras. on SLDM, Vol.1, pp.78-90, Aug.2008.
13. Zhenyu Liu, Lingfeng Li, Yang Song, Shen Li, Satoshi Goto, Takeshi Ikenaga, "Motion

Feature and Hadamard Coefficient based Fast Multiple Reference Frame Motion Estimation for H.264”, IEEE Transactions on Circuits and Systems for Video Technology, Vol. 18, No. 5, pp.620–632, May 2008.

14. Song Chen and T.Yoshimura, “Fixed–Outline Floorplanning: Block Position Enumeration and a New Method for Calculating Area Costs”, IEEE Transactions on CAD Vol.27, No.5, pp858–871, 2008.5
15. Kazunori Shimizu, Nozomu Togawa, Masao Yanagisawa, Tatsuo Ohtsuki, “Low Power LDPC Decoder Architecture Based on Intermediate Message Compression Technique”, IEICE Trans. on Fundamental, vol.E92–A, No.4, Apr., 2008.
16. Yiqing Huang, Zhenyu Liu, Yang Song, Satoshi Goto, Takeshi Ikenaga, “Inter Search Mode Reduction Based Parallel Propagate Partial SAD Architecture for Variable Block Size Motion Estimation in H.264/AVC”, IEICE Trans. Fundamentals, Vol. E91–A, No. 4, pp. 987–997, Apr. 2008.
17. Qin Liu, Seiichiro Hiratsuka, Kazunori Shimizu, Shinsuke Ushiki, Satoshi Goto, Takeshi Ikenaga, “A 41mW VGA@30fps Quadtree Video Encoder for Video Surveillance Systems”, IEICE Trans. Electronics, Vol. E91–C, No. 4, pp. 449–456, Apr. 2008.
【未発行論文(“accepted”、“in press”等)】
18. Dajiang Zhou, Zongyuan You, Jiayi Zhu, Ji Kong, Yu Hong, Xianmin Chen, Xuewen He, Chen Xu, Hang Zhang, Jinjia Zhou, Ning Deng, Peilin Liu, and Satoshi Goto, “A 1080p@60fps Multi–Standard Video Decoder Chip Designed for Power and Cost Efficiency in a System Perspective”, Symposium on VLSI Circuits 2009, Kyoto, Japan, June 2009 (Accepted).
19. Jinjia Zhou, Dajiang Zhou, Hang Zhang, Yu Hong, Peilin Liu, Satoshi Goto,” A 136 cycles/MB, Luma–Chroma Parallelized H.264/AVC Deblocking Filter for QFHD Applications”, ICME 2009, Mexico, June 2009 (Accepted).
20. Jin Xin, Satoshi Goto, King Ngi Ngan ,”Composite Modeling Of Optical Flow For Artifacts Reduction”, ICME 2009, Mexico, June 2009 (Accepted).
21. Dajiang Zhou, Jinjia Zhou, Satoshi Goto, “Prioritized Reference Decision for Efficient Motion Vector Coding”, 2009 IEEE International Symposium on Circuits and Systems(ISCAS2009), Taiwan, May.2009 (accepted)
22. Minghui Wang, Tianruo Zhang, Chen Liu, Satoshi Goto,” Region–of–Interest BasedDynamical Parameter Allocation for H.264/AVC Encoder”, PCS 2009, Chicago, May2009 (Accepted)
23. Jin Xin, Satoshi Goto, King Ngi Ngan,” Optical Flow Based DC Surface Compensation For Artifacts Reduction”, PCS 2009, Chicago, May 2009 (Accepted).
24. N. Tojo, N. Togawa, M. Yanagisawa and T. Ohtsuki, “An L1 Cache Design Space Exploration System for Embedded Applications,” IEICE Trans. Fundamentals, vol. E92–A (accpeted).

(2) 特許出願

平成 20 年度 国内特許出願件数 : 0 件 (CREST 研究期間累積件数 : 0 件)