

「情報システムの超低消費電力化を目指した技術革新と統合化技術」
平成 17 年度採択研究代表者

高田 広章

名古屋大学大学院情報科学研究科・教授

ソフトウェアとハードウェアの協調による組込みシステムの消費エネルギー最適化

1. 研究実施の概要

情報家電や情報携帯端末などの組込みシステムを対象として、ソフトウェアとハードウェアの協調により、サービス品質(性能、計算精度、信頼性など)を保証しつつ、消費エネルギーを最小限にするための最適化技術を開発する。メモリアーキテクチャとコンパイラの協調や、低消費エネルギースケジューリング機構を持つマルチプロセッサリアルタイム OS などにより、消費エネルギーを 60 分の 1 に低減することを目標とする。

平成 20 年度は、以下のテーマについて研究を行った。

1. 低消費エネルギー化リアルタイム OS と HW の統合最適化手法の検討と実装
2. 低消費エネルギー化リアルタイム OS とコンパイラの統合最適化手法の検討と実装
3. 低消費エネルギー化ハードウェアアルゴリズムの実装と評価
4. 低消費エネルギー化ハードウェアの開発
5. 低消費エネルギー化 HW とコンパイラの統合最適化手法の開発
6. 電力見積もりツールの開発
7. 評価環境を利用した命令レベルでの消費電力データ収集
8. マルチコアシミュレータと、それを利用した評価アプリケーションの仕様検討
9. DVFS 制御アルゴリズムの拡張
10. QoS 要求分析手法の検討

現在までに開発した個々の要素技術や統合技術の最大削減率(ベンチマークプログラムや各種パラメータを変更して実験した結果、最も削減率が大きかった場合)を積算すると、システム全体の消費エネルギーが約 16 分の 1 となる。今後は、個々の技術を改良すると同時に、評価条件を統一した場合に、消費エネルギーが 60 分の 1 に削減されることを目指す。

2. 研究実施内容(文中にある参照番号は 4.(1)に対応する)

「名古屋大学」グループ

名古屋大学グループでは、平成 20 年度は以下の 3 つのテーマについて研究した。

- 1.低消費エネルギー化リアルタイム OS と HW の統合最適化手法の検討と実装
- 2.低消費エネルギー化リアルタイム OS とコンパイラの統合最適化手法の検討と実装
- 3.低消費エネルギー化ハードウェアアルゴリズムの実装と評価

低消費エネルギー化リアルタイム OS と HW の統合最適化に関しては、まず、前年度に引き続き、本研究室で開発している ITRON 仕様のリアルタイム OS である TOPPERS/JSP カーネルに対して、DVFS (Dynamic Voltage/Frequency Scaling) 機構と DPM (Dynamic Power Management) 機構を導入し、有効性を評価した。ユーザタスクだけでなく、周期的に実行されるタイマ割込み処理に対しても低電力化を行っている点で、従来手法よりも優れている。本研究の成果は情報処理学会の論文誌 TSLDM に掲載された[2]。次に、動的に電源電圧と動作周波数を最適に制御する DVFS (Dynamic Voltage/Frequency Scaling) 技術と、各コンポーネントの電力モード (休止モード、電源オフなど) を最適に管理する DPM (Dynamic Power Management) 技術に加え、動的にハードウェアの構成を再構成する DHR (Dynamic Hardware Reconfiguration) 技術を、同時に制御するスケジューリングアルゴリズムを開発した。リアルタイム性を保証しつつ、消費エネルギーが最小となるように、タスクスケジューリング、DVFS、DPM、および、DHR を行う。シングルプロセッサシステムを対象とした研究成果は情報処理学会論文誌 TSLDM[10]への採録が決定している。マルチプロセッサに対する拡張を行った研究成果は国際会議 ISOC 2009 で発表し、LG Electronics Best Paper Award を受賞した。また、DVS の効率を高めるプログラミングに関する研究も行った[9]。

低消費エネルギー化リアルタイム OS とコンパイラの統合最適化については、まず、スクラッチパッドメモリの有効性の評価を行った。今後、半導体の微細化が進んでも、スクラッチパッドメモリが組み込みシステムの低消費エネルギー化に有効であることを示した。本研究の成果は電子情報通信学会の論文誌 ELEX に掲載された[4]。次に、タスクスケジューリングを考慮し、スクラッチパッドメモリに配置すべき関数を決定する手法を開発した。まず、非プリエンプティブなマルチタスクシステムを対象とした手法を開発した[11]。本研究の成果により、本プロジェクトに参加している修士課程 2 年の高瀬英希君が、平成 20 年度情報処理学会コンピュータサイエンス領域奨励賞など、合計 3 つの賞を受賞した。その後、プリエンプティブなマルチタスクシステムに対する拡張を行った。本研究は九州大学グループと密に協調しながら実施した。

低消費エネルギー化ハードウェアアルゴリズムについては、演算器の小面積化による漏れ電流の削減の、低消費エネルギー化への貢献について検討し、回路を構成するセルの少ない小面積型乗算器の設計を行った。

「九州大学」グループ

九州大学グループでは、平成 20 年度は以下の 3 つのテーマについて研究した。

- 4.低消費エネルギー化ハードウェアの開発
- 5.低消費エネルギー化 HW とコンパイラの統合最適化手法の開発

6. 電力見積もりツールの開発

低消費エネルギー化ハードウェアの開発に関しては、アプリケーションプログラムの種類やその実行状況、あるいはハードウェアモジュールの性能個体差に応じて、使用するメモリブロックやプロセッサの使用電圧と動作周波数を変更できるプロセッサアーキテクチャを開発した。東京大学 VDEC から提供される 90nm プロセスを利用して上記の機能の一部を搭載するプロトタイプを設計し、シミュレーションにより評価した。また、同チップ試作サービスを利用して 65nm プロセスで上記プロセッサの一部を試作した。現在、評価用 FPGA ボードの開発など、評価環境の構築を行っている。

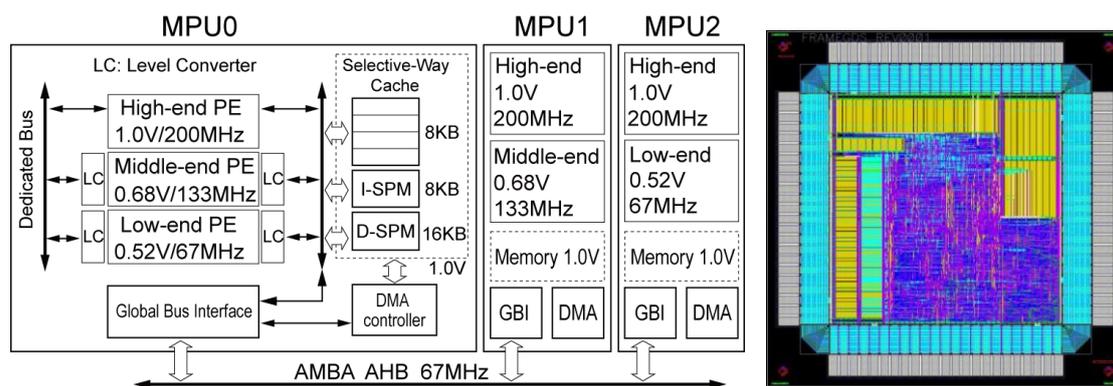


図 1. 90nm プロセスで設計したプロセッサの構成図

図 2. 65nm プロセスで試作したチップ

研究成果は国内外の研究会と論文誌 [6]で発表し、第 10 回 LSI IP デザイン・アワード MeP 賞および Intel Asia Academic Forum 2008 Best Research Award を受賞した。他にも、性能と電力の異なる 2 種類（以上）のメモリをアクセス頻度に応じて使い分けることによりメモリの電力を削減する方法や、1 サイクルでアクセス可能な 2 階層のオンチップキャッシュメモリを開発し、シミュレーションによりその有効性を確認した。また、命令レベル並列プロセッサにおいて性能と電力の異なる 2 種類（以上）の命令発行ユニットを命令のクリティカルリティに応じて使い分けることにより、アプリケーションプログラムのクリティカルパス遅延を増加させることなく命令発行に必要なエネルギーを削減する手法を提案した。研究成果は IEICE の Transaction [1]に掲載された。

低消費エネルギー化 HW とコンパイラの統合最適化については、名古屋大学と協調して研究を進めている。ターゲットアプリケーションのプロファイル情報に基づいてプログラムコードをスクラッチパッド領域、キャッシュ領域、アンキャッシュ領域の 3 つの物理アドレス空間に最適配置する手法を開発した。GNU の C コンパイラ(GCC)のポストプロセッサとして実装し、生成された目的コードが正常に動作することを既存のプロセッサモデル(ルネサス社 SH3 プロセッサ)を用いて確認した。研究成果は海外の論文誌 (Journal of Signal Processing Systems) で発表した [3]。さらに、上述の試作プロセッサのキャッシュウェイ選択機能を利用して、アプリケーションの基本ブロックごとにキャッシュウェイを最適に割り当てる手法を開発した。これにより、見かけ上のキャッシュ容量を減らすことなく、平均稼働ウェイ数を減らすことができ、プロセッサの性能を落とすことなくキャッシュの消費電力を削減できることを確認した。その他にも、SRAM セルにおけるリーク電流のばらつきをチップ製造後に計測し、その計測結果に基づいて SRAM モジュールにおけるリーク電流の期待値が最小になるようにアプリケーションプログラムの目的コードを

生成するコンパイラ技術を開発した。研究成果は国内外の論文誌で発表した [5][7][8]。

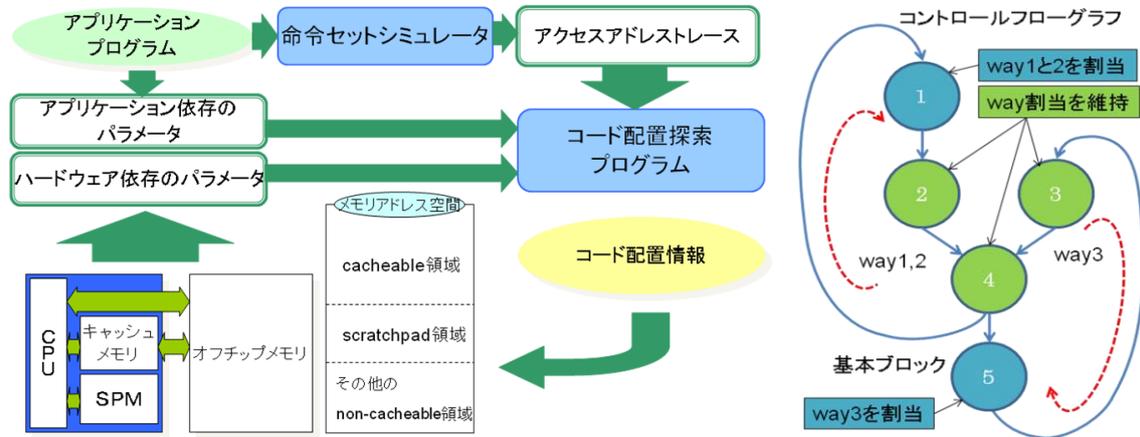
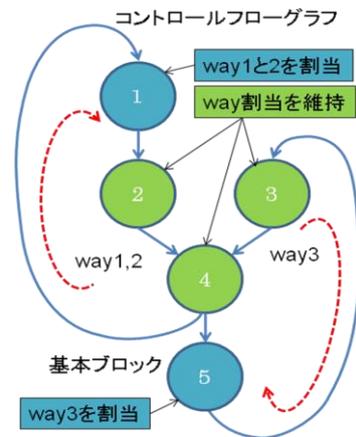


図 3. 消費エネルギー最小化プログラムコード配置のフロー

図 4. キャッシュウェイ割り当ての例



電力見積もりツールについては、平成 18 年度に開発したシングルプロセッサ向け見積もりツールのマルチコアプロセッサに対する拡張について研究を進めている。具体的には東芝製の MeP マルチコアプロセッサ上で動作する複数のアプリケーションが消費する電力を見積もるツールの検討を行った。

「東芝」グループ

東芝グループは、以下の4テーマに関する研究を行った。

- 7. 評価環境を利用した命令レベルでの消費電力データ収集
- 8. マルチコアシミュレータと、それを利用した評価アプリケーションの仕様検討
- 9. DVFS 制御アルゴリズムの拡張
- 10. QoS 要求分析手法の検討

消費電力測定については、前年度構築した評価環境を拡張して、命令レベルや命令列レベルでの消費電力測定結果を得たことが成果として上げられる。前年度の区間計測法を応用し、単一命令実行時の消費電力を測定するだけでなく、異なる命令の組み合わせによって有意差があるかについても評価を行った。その結果、命令が異なるだけで数倍以上の消費電力の差が現れるという結果が得られたばかりでなく、同一命令であっても、命令列中の順番によって消費電力に差が出るという結果を得ることができた。また、測定結果については、測定方法の見直しにより精度が向上している。

次に、本研究の成果を利用した総合評価で用いる評価アプリケーションとして、ビデオ会議システムの開発に着手した。本システムは、マルチコアシミュレータ上で動作することを想定して作成され、シミュレータ上の各コアに対して、映像または音声のエンコーダまたはデコーダの処理のどれかを、一つずつ割り当てることを想定して作成した(図 5, 図 6)。マルチコアシミュレータは、コアの構成に関する複数の構成を手軽に試すことができるため、効率的な電力評価を行うことが可能となる。また、最終的には OS やハードウェア設計仕様などを、シミュレータ上に実装し、本アプリケーションを用いて評価することで、省電力技術を総合的に評価することが可能となると考えてい

る。

DVFS 制御については、アスペクト指向プログラミングと機械学習を応用したモジュラーな DVFS 制御方式の制御アルゴリズムを拡張した。動作スピードの決定に用いる情報を、過去の制御スタックの戻り番地の組のみ利用する方式から、関数の引数値を利用する方式へと拡張した。新方式では、メディアの codec 処理のようにデータに応じて計算量が変動する場合でも需要予測が上手く働くと期待できる。今後、新方式の有効性評価へ進む。

QoS 要求分析手法に関しては、要求分析工程を大きく 4 段階(要求獲得, 要求分析, 要求仕様化, 要求調整)に区分し, それぞれのステップにて有効と考えられる技術(要求分析と要求仕様化では USDM(Universal Specification Description Manner), 要求調整では QFD(Quality Function Deployment)など)を選択し, 適宜低消費エネルギー向けにカスタマイズして用いる, という方針の概略をまとめたまたこれに基づくごく簡単なケーススタディを行った。これらの内容について夏の合同合宿にて報告を行った。

次に夏の合同合宿以降, ユーザ満足度と低消費エネルギー実現手段との因果関係の分析を新たに組み込み, 手法の洗練を行った。その結果, 次に挙げる 8 つのステップで構成される手法となった(図 7)。

- ステップ 1: 要求獲得
- ステップ 2: 要求の構造化(分析)
- ステップ 3: 省電力案の創出
- ステップ 4: 省電力の実現手段開発
- ステップ 5: 省電力効果の見積もり
- ステップ 6: 実現方法が要求に及ぼす影響の見積もり
- ステップ 7: 実現方法の選択
- ステップ 8: 採用した実現手段による要求の調整

上記のいくつかのステップでは, MI などで行われる分析手法, 発想法, 調整法などを用いている。また「ネットブックベースのネットワーク会議システム」を対象に手法の試行を行った。なお今回の試行では, 省電力効果量や満足度への影響量の見積もりに関しては, 精度のある数値を用いることはできなかったため, 想定値を用いている。この想定値に基づけば, システム全体に対する消費電力削減量として, 22.2%程度の削減を行える見込みであるという結果が得られた。なお本 CREST テーマが研究対象としている範囲(チップ, OS, ソフトウェア)に限れば, その範疇の消費電力量のうち, 33.7%程度の削減を行える見込みであるという結果が得られた。

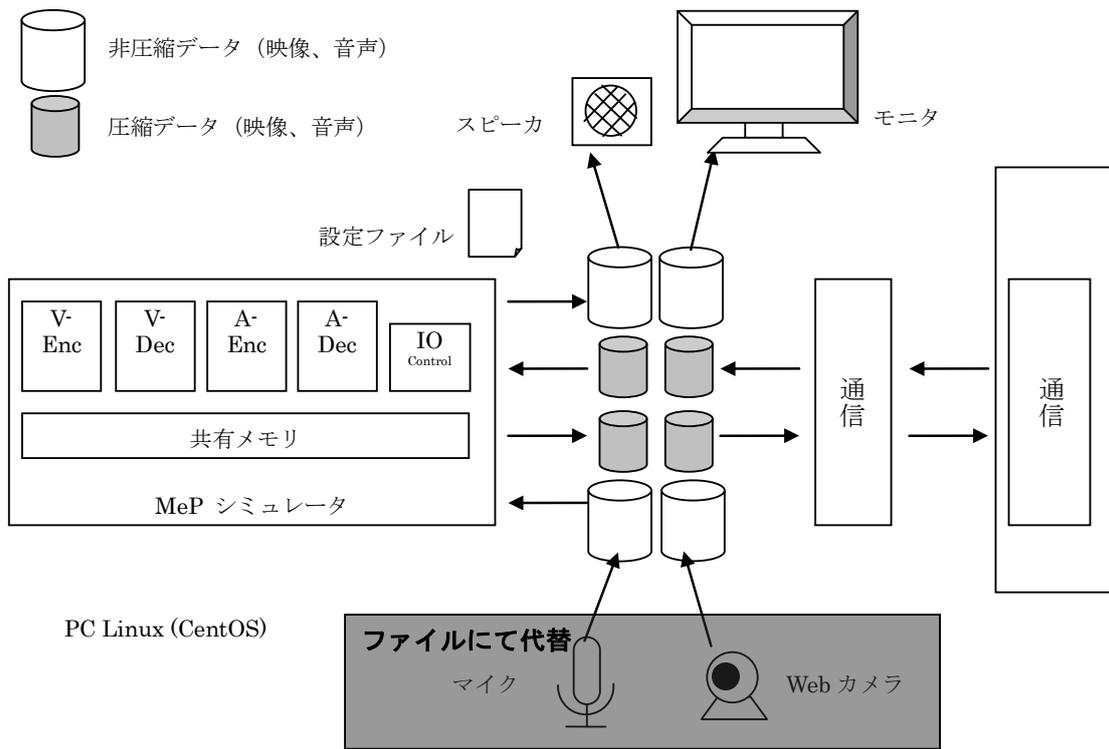


図 5. サンプルアプリケーションの動作概念図

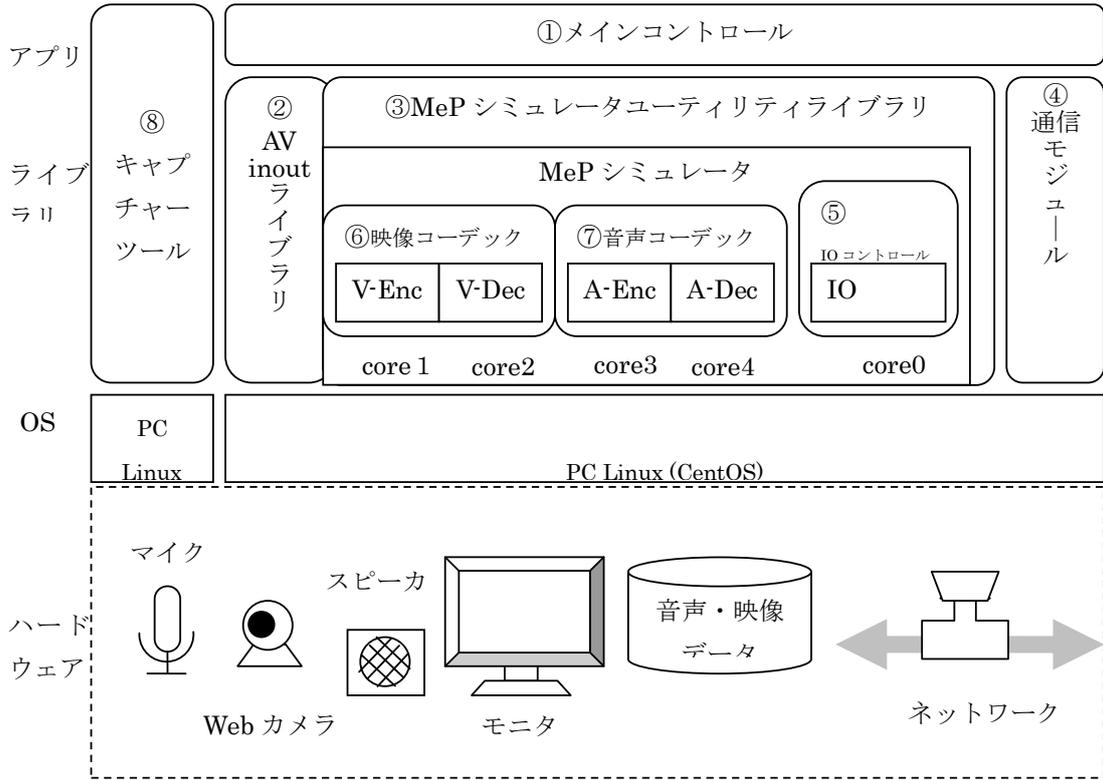


図 6. サンプルアプリケーションのソフトウェア構成図

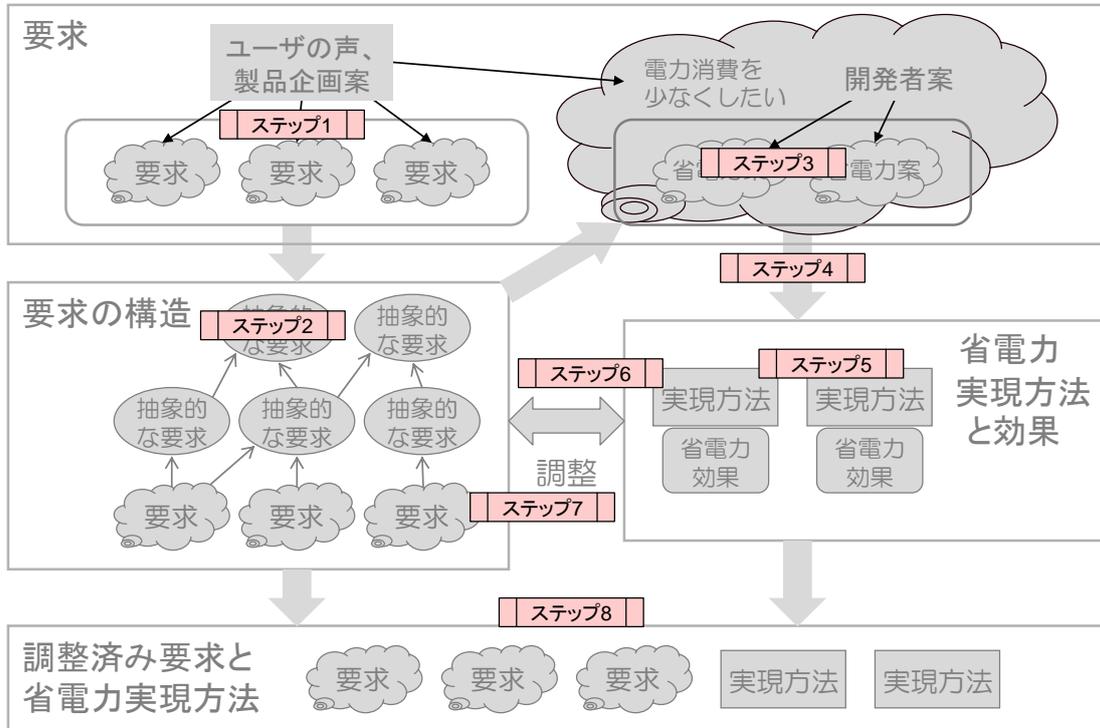


図 7. QoS 要求分析手法 概略

3. 研究実施体制

(1)「名大」グループ

① 研究分担グループ長:高田 広章(名古屋大学大学院 センター長/教授)

② 研究項目

1. 低消費エネルギー化リアルタイム OS と HW の統合最適化手法の検討と実装
2. 低消費エネルギー化リアルタイム OS とコンパイラの統合最適化手法の検討と実装
3. 低消費エネルギー化ハードウェアアルゴリズムの実装と評価

(2)「九大」グループ

① 研究分担グループ長:石原 亨(九州大学 准教授)

② 研究項目

1. 低消費エネルギー化ハードウェアの開発
2. 低消費エネルギー化 HW とコンパイラの統合最適化手法の開発
3. 電力見積もりツールの開発

(3)「東芝」グループ

① 研究分担グループ長:深谷 哲司(株式会社東芝 グループ長)

② 研究項目

1. 評価環境を利用した命令レベルでの消費電力データ収集
2. マルチコアシミュレータと、それを利用した評価アプリケーションの仕様検討
3. DVFS 制御アルゴリズムの拡張
4. QoS 要求分析手法の検討

4. 研究成果の発表等

(1) 論文発表 (原著論文)

1. Shingo Watanabe, Akihiro Chiyonobu, and Toshinori Sato, "A Low-Power Instruction Issue Queue for Microprocessors", IEICE Transactions on Electronics, Vol.E91-C, No.4, pp.400-409, Apr. 2008.
2. G. Zeng, H. Tomiyama, and H. Takada, "Dynamic Power Management for Embedded System Idle State in the Presence of Periodic Interrupt Services," IPSJ Trans. on System LSI Design Methodology, vol. 1, pp. 48-57, Aug. 2008.
3. Yuriko Ishitobi, Tohru Ishihara and Hiroto Yasuura, "Code and Data Placement for Embedded Processors with Scratchpad and Cache Memories," Journal of Signal Processing Systems, Nov. 2008 (online edition).
4. H. Takase, H. Tomiyama, G. Zeng, and H. Takada, "Energy Efficiency of Scratch-Pad Memory in Deep Submicron Domains: An Empirical Study," IEICE Electronics Express, vol. 5, no. 23, pp. 1010-1016, Dec. 2008.

5. Maziar Goudarzi, Tohru Ishihara, and Hiroto Yasuura, "A Software Technique to Improve Lifetime of Caches Containing Ultra-Leaky SRAM Cells Caused by Within-Die Vth Variation," Elsevier Journal of Microelectronics, 39(12), pp. 1797-1808, Dec. 2008 (online edition).
6. Maziar Goudarzi, Tadayuki Matsumura and Tohru Ishihara, "Way-Scaling to Reduce Power of Cache with Delay Variation", IEICE Trans. Fundamentals, Vol.E91-A, No.12, pp.3576-3584, Dec. 2008.
7. Maziar Goudarzi, Tohru Ishihara, Hamid Noori, "Software-Level Instruction-Cache Leakage Reduction using Value-Dependence of SRAM Leakage in Nanometer Technologies," Trans. on HiPEAC (Transactions on High-Performance Embedded Architectures and Compilers), vol.3, issue 4, Nov. 2008..
8. Maziar Goudarzi, Tohru Ishihara, "Process-Variation-Aware Instruction Rescheduling to Reduce Leakage in Nanometer Instruction Caches," CSI (Computer Society of Iran) Journal on Computer Science and Engineering, in press.
9. 横山哲郎, 今井敬吾, 曾剛, 富山宏之, 高田広章, 結縁祥治, "動的電圧制御システムにおける評価戦略選択に基づく高効率消費エネルギー関数型プログラミング," 情報処理学会論文誌プログラミング, vol. 2, no. 2, pp. 54-69, 2009年3月.
10. Gang Zeng, Hiroyuki Tomiyama, and Hiroaki Takada, "A Generalized Framework for Energy Savings in Hard Real-Time Embedded Systems," IPSJ Trans. System LSI Design Methodology, accepted.
11. Hideki Takase, Hiroyuki Tomiyama, and Hiroaki Takada, "Partitioning and Allocation of Scratch-Pad Memory in Priority-Based Multi-Task Systems," IPSJ Trans. System LSI Design Methodology, accepted.
12. Seiichiro Yamaguchi, Yuriko Ishitobi, Tohru Ishihara, and Hiroto Yasuura, "Single-Cycle-Accessible Two-Level Caches and Compilation Technique for Energy Reducion", IPSJ Trans. System LSI Design Methodology, accepted.
13. Tadayuki Matsumura, Tohru Ishihara, and Hiroto Yasuura, "An Optimization Technique for Low-Energy Embedded Memory Systems", IPSJ Trans. System LSI Design Methodology, accepted.

(2) 特許出願

平成 20 年度 国内特許出願件数 : 0 件 (CREST 研究期間累積件数 : 1 件)